

UNISINOS - Universidade do Vale do Rio dos Sinos
Mestrado Profissional em Engenharia Elétrica

**Seminário I - Estudo sobre arquiteturas de conversores
AD**

Aluno: Guilherme Angelo Piaia

Professor: Cesar Crovato

22 de outubro de 2019



JESUÍTAS BRASIL



Sumário

- 1 Introdução
- 2 SAR
- 3 $\Sigma - \delta$
- 4 Flash
- 5 Pipeline
- 6 Dual Slope
- 7 Referências Bibliográficas



Introdução

- Este trabalho contém um breve compilado sobre topologias de ADCs (*Analog to digital converters*):
 - SAR (*successive approximation register*)
 - SigmaDelta ($\Sigma - \delta$)
 - Flash
 - Pipeline
 - Dual Slope

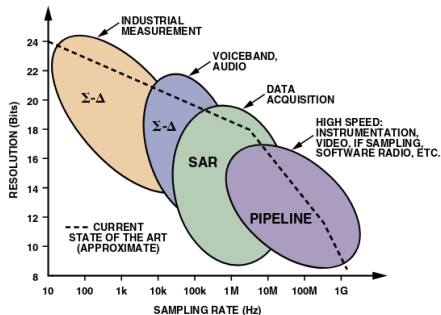


Figura 1: Relações entre as principais arquiteturas de conversores AD (2005).

- Utilizado para aquisição de dados;
- É a arquitetura mais comum, principalmente se o projeto necessita de várias entradas e multiplexadas;
- Possuem elevada performance, atingindo amostragens na casa de 3MSPS;
- Interfaceado via SPI ou I2C;
- *sample-and-hold*(SHA) mantém constante o sinal durante a conversão;

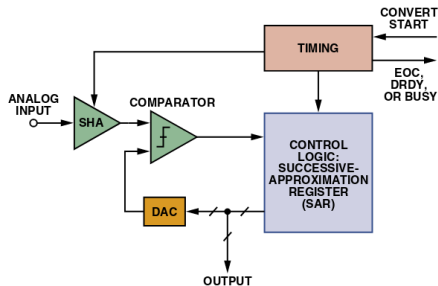


Figura 2: Diagrama da arquitetura SAR.

- A conversão começa quando o DAC é configurado para a metade da escala;
- O comparador determina se o sinal de entrada é maior ou menos que o do DAC, salvando em um registrador o bit mais significativo (MSB);
- Após isso, o DAC é configurado para $\frac{1}{4}$ ou $\frac{3}{4}$, dependendo do resultado da operação anterior;
- Após a conversão, o sinal de *BUSY* é atualizado;



- Utilizado para instrumentação que exigem elevada resolução (16 - 24 bits);
- Opera numa faixa de centenas de Hertz;
- Como apresenta *oversampling*, simplifica o filtro de *antialiasing*;
- Alta resolução;
- Lento pelo processo de *oversampling*;

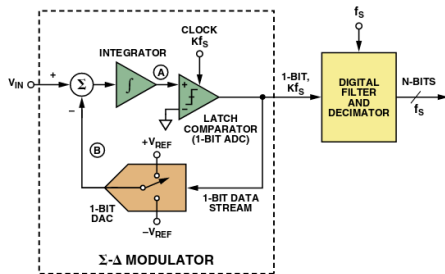


Figura 3: Diagrama da arquitetura $\Sigma - \delta$ de primeira ordem.

- A conversão ocorre em um único ciclo de clock;
- Ocupam grande área e são de elevada potência;
- O tempo de conversão é a soma dos delays com o delay lógico;
- Baixa resolução;

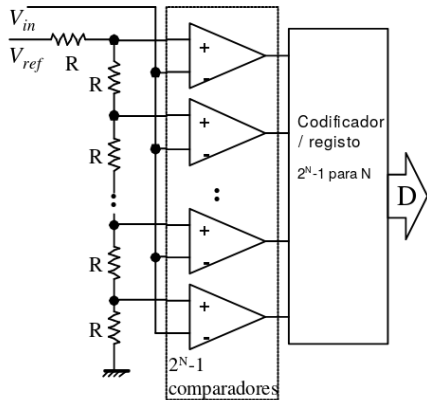


Figura 4: Diagrama da arquitetura Flash.

- Utilizado em aplicações que requerem amostragens maiores que 5 MSPS;
- Topologia semelhante a SAR;
- Utilizado em analisadores de espectro, radares e Rádio via Software;
- Baixa resolução (6-8 bits);

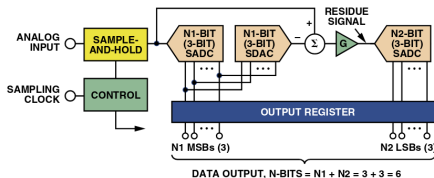
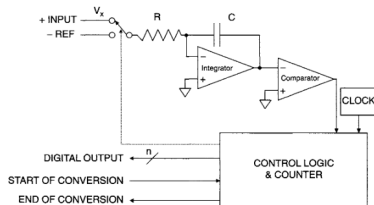


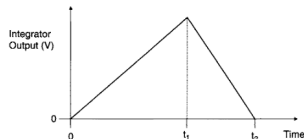
Figura 5: Diagrama da arquitetura Pipeline de primeira ordem.

Dual Slope

- Utiliza relés e integradores;
- O ruído na entrada é reduzido pela média;
- O valor do capacitor e clock não afetam a acurácia;
- Boa linearidade;
- Aplicável em instrumentação com necessidade de alta resolução;
- Baixa amostragem, na casa de 10 SPS;
- É usado em voltímetros digitais;



(a) Block Diagram



(b) Typical Conversion Sequence

Figura 6: Diagrama da arquitetura Dual-Slope.

- [1] Kester, W., "Which ADC Architecture Is Right for Your Application?", Analog Dialogue 39-06, Junho de 2005.
- [2] Austerlitz, H., "Data Acquisition Techniques Using PCs", Second Edition, 2003.



Obrigado pela Atenção!

