

修士論文

組み合わせ回路における 信頼性の効率的計算手法

氏名：津島 雅俊

学籍番号：6611130040-3

指導教員：山下 茂 教授

提出日：2015 年 2 月 6 日

立命館大学大学院 情報理工学研究科
博士課程前期課程 情報理工学専攻

内容梗概

近い将来，トランジスタによって構成される組み合わせ回路では，動作中に発生する可能性のあるソフトエラーが深刻な問題となることが予想されている．したがって，論理回路の信頼性を効率的に評価する手法の開発は，回路の設計において非常に重要となってきた．

論理回路の信頼性を評価するための既存の手法としては，Probabilistic Transfer Matrix (PTM) を用いた手法が存在する．しかし，この手法は，最悪の場合，非常に大きなメモリが必要となる．そこで，本研究では，既存手法とは異なるアプローチを用いてメモリの使用量を削減する．このアルゴリズムは，各入力に対して出力が正しく得られる確率を用いて，ゲート数に比例した空間計算量で計算する．計算途中に発生する同じ計算を減らすことによって，計算時間を減らす工夫も行われている．

本手法は，最新の PTM を用いた手法の結果と比較実験を行った．その結果，最も効果的なケースでは，メモリの使用量を 2 万分の 1 程度に削減することに成功した．

目次

第1章 はじめに	1
第2章 Probabilistic Transfer Matrix (PTM)	3
2.1 ゲートや回路と対応した PTM の構築	3
2.2 Algebraic Decision Diagram (ADD)を用いた計算	6
第3章 信頼性の効率的計算手法	8
3.1 評価式の変形による効率化手法	8
3.1.1 正しい出力が得られる確率の計算	9
3.1.2 異なる入力間での計算結果の再利用	11
3.1.3 正しい確率が得られないケース	12
3.2 数式処理による計算手法	13
3.2.1 補正ルールの検討	13
3.2.2 補正ルールを考慮した数式処理システム	14
3.2.3 数式の生成	15
第4章 実験結果と考察	18
第5章 おわりに	21

図目次

2.1	組み合わせ回路の例	4
2.2	ADD によって行列を表現する例	6
2.3	等価な節点の共有	7
2.4	冗長な節点の削除	7
3.1	4 入力 2 出力の回路における入力パターンが変更した際の再計算 .	12
3.2	2 箇所での再収斂によって正確な結果が得られない例	12
3.3	再収斂が 1 箇所存在するケース	13
3.4	図 3.2 の回路を分割する例	17

表 目 次

4.1	PTM を用いた既存手法との計算時間とメモリ 使用量の比較	18
4.2	実験環境	19
4.3	計算時間の改善	19
4.4	正確性の検証	20

第1章 はじめに

集積回路の縮小や動作電圧の低下に伴い、放射線がゲートに与える影響は、無視できないものとなっている。このような影響によって一時的に発生するエラーは、ソフトエラーと呼ばれる [1]。近年、ソフトエラーの発生が顕著になってきたことで、このエラーの発生を考慮した設計が求められるようになった。そのため、回路の正確な信頼性を、できるだけ効率的に評価する手法が必要となってきた。

ソフトエラーの発生は、必ずしも回路の外部出力に影響を与えとは限らない。例えば、2 入力の AND ゲートに本来 $(00)_2$ の入力を与えるべき状況において、二つのうち一つの入力が反転したとしても最終的な結果が変化することはない。このように、ゲートの論理によってソフトエラーの伝搬を防ぎ止める効果を論理マスクと呼ぶ。一方で、入力が $(11)_2$ の際には、どちらの入力も反転することは許されない。この例のように、論理マスクが発生するかどうかは、ゲートの論理とその入力によって決定される。したがって、回路の出力が最終的に誤りとなる確率は、ゲートの組み合わせとその回路に与えられる入力に依存する。すなわち、回路の入力数 n に対して 2^n パターンの場合の回路の故障確率を考える必要がある。そこで、 n 入力の回路を評価する際には、 2^n パターンについての信頼性を考慮しなくてはならない。このような計算は、 n が大きくなると困難であるため、通常はモンテカルロ法を用いたフォールト挿入テストが用いられる。あるいは解析的な手法として、Probabilistic Transfer Matrix (PTM) [2] を用いた手法が存在する。一方、これらとは異なる考え方として、論理マスクについて見積る手法も提案されている [3]。

PTM を用いた手法では、ゲートや部分回路の入出力の対応を行列で表し、その行列同士の積やクロネッカー積を用いて目的とする回路に対応した行列を得る。この時、行列のサイズは、クロネッカー積によって指数的に増加する。そこで、既存手法では Algebraic Decision Diagram (ADD) [4] を用いた実装を行い、空間計算量の問題に対処している。ADD は、論理関数を表現する Binary Decision Diagram [5] から派生したデータ構造の一つであり、行列やベクトルをコンパクトに管理しながら、演算を行うことができる。しかしながら、ADD の終端ノードは、行列中の保持しなくてはならない値の種類数だけ存在する。したがって、最悪の場合は指数的な量のメモリが必要となり、大規模な回路に対する PTM を生成するためには十分ではない。

そこで本論文では、空間計算量を削減した評価手法を提案する。提案手法では、

既存手法の最終的な評価式を変形し，各入力に対する出力が正しく得られる確率を，無閉路有向グラフとして計算する．この手法によって，ゲートの数に比例した量のメモリで計算することができる．特に大幅にメモリの使用量を削減したケースとして，PTM を使った手法と比べて約 2 万分の 1 となったケースも存在する．この手法は，再収斂が存在する回路では正しい結果が得られないが，その誤差は，疑似乱数を用いたシミュレーション結果と比較して 10% 程度に抑えられている．さらに，時間計算量と正確性の向上に向け，本論文では数式処理によって計算する手法も提案する．この手法は，ファンアウト・ポイントで分割し，一つの部分回路を関数とみなして計算を行う．このとき，同一の部分回路を表す関数同士の計算には，特殊な演算規則を適用するようにすることで，再収斂に対する問題を回避する．

以下では，まず，第 2 章で既存手法として PTM について解説する．次に，第 3 章では空間計算量を削減した評価手法とその改良について提案する．その後，第 4 章で実験と考察を述べ，第 5 章で本研究のまとめと今後の課題について述べる．

第2章 Probabilistic Transfer Matrix (PTM)

PTM は，ゲートや回路の入力に対する出力の確率を表す行列である．この章では，回路の信頼性を計算する既存手法として，PTM を用いた手法について説明する．回路全体に対応する PTM は，基本的なゲートや結線の分岐に対応する PTM からいくつかの演算を用いて構成される．この計算は Algebraic Decision Diagram [4] を用いることで，効率的に行うことができる．

2.1 ゲートや回路と対応した PTM の構築

m 入力， n 出力の部分回路を考える．この回路に， \mathbf{i} を 2 進数で表現した長さ m のビット列 $\text{bin}(\mathbf{i}, m)$ を入力し，出力が長さ n のビット列 $\text{bin}(\mathbf{o}, n)$ となる確率を p とする．この部分回路に対応する PTM は 2^m 行 2^n 列で， M_p の $\mathbf{i} + 1$ 行 $\mathbf{o} + 1$ 列目の値は p とする．

$$M_p(\mathbf{i} + 1, \mathbf{o} + 1) = p$$

PTM の 1 行は，ある入力パターンに対して，各出力パターンが発生する確率を表現し，その総和は 1 となる．したがって，行列 M の行と列は，それぞれ入力と出力のパターン数だけ存在する．

例えば，出力が $p = 0.05$ で反転するような AND ゲートは，以下の様な行列で表現できる．

$$AND_p = \begin{bmatrix} 1-p & p \\ 1-p & p \\ 1-p & p \\ p & 1-p \end{bmatrix} = \begin{bmatrix} 0.95 & 0.05 \\ 0.95 & 0.05 \\ 0.95 & 0.05 \\ 0.05 & 0.95 \end{bmatrix} \quad (2.1)$$

この例の 1 行目は，入力が $\text{bin}(\mathbf{i}) = (00)_2$ となる時，出力は 0.95 の確率で $\text{bin}(\mathbf{o}) = (0)_2$ となるが，0.05 の確率で反転して $\text{bin}(\mathbf{o}) = (1)_2$ となることを表している．一方 4 行目は，入力が $\text{bin}(\mathbf{i}) = (11)_2$ となる時，出力は 0.95 の確率で $\text{bin}(\mathbf{o}) = (1)_2$ となるが，0.05 の確率で反転して $\text{bin}(\mathbf{o}) = (0)_2$ となることを表している．また，図 2.1 の回路に存在するような 2 個に分岐する部分は以下のように表す．

$$F_2 = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}$$