

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ  
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ  
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
«НОВОСИБИРСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ  
ГОСУДАРСТВЕННЫЙ  
УНИВЕРСИТЕТ» (НОВОСИБИРСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ, ННУ)

## Факультет ФИЗИЧЕСКИЙ

Кафедра **ФИЗИКО-ТЕХНИЧЕСКОЙ ИНФОРМАТИКИ**

Направление подготовки **03.04.02 ФИЗИКА**

Образовательная программа **БАКАЛАВРИАТ**

# ВЫПУСКНАЯ КВАЛИФИКАЦИОННАЯ РАБОТА БАКАЛАВРА

Андреев Андрей Андреевич

(фамилия, имя, отчество автора)

## Тема работы Электроника стенда по исследованию сцинтилляционных кристаллов

## «К защите допущена»

Заведующий кафедрой,  
канд. физ.-мат. наук, доцент,  
зав. лаб. ИЯФ СО РАН

Кроковский, П. П. /  
(фамилия, И. О.) (подпись)  
« » 2020 г.

Научный руководитель  
канд. физ.-мат. наук,  
с.н.с. ИЯФ СО РАН

Жулянов В. В. /  
(фамилия, И. О.) (подпись)  
« \_\_\_\_\_ » 2020 г.

Дата защиты: « \_\_\_\_\_ » \_\_\_\_\_ 2020 г.

Новосибирск, 2020

# **Аннотация**

Здесь будет аннотация

# Содержание

|  |           |
|--|-----------|
| <b>Введение</b>  | <b>3</b>  |
| <b>1 Физика эксперимента</b>   | <b>4</b>  |
| 1.1 Сцинтиляционные кристаллы . . . . .                              | 4         |
| 1.2 Сцинтиляционные методы детектирования . . . . .                  | 5         |
| <b>2 Установка стенда по исследованию сцинтиляционных кристаллов</b> | <b>7</b>  |
| 2.1 Схема стенда . . . . .   | 7         |
| <b>3 Система на кристалле Xilinx Zynq-7000</b>                       | <b>11</b> |
| <b>4 Цель и задачи работы</b>  | <b>13</b> |
| <b>5 Дизайн системы на кристалле</b>                                 | <b>14</b> |
| 5.1 Процессорная система . . . . .                                   | 14        |
| 5.2 Программируемая логика . . . . .                                 | 17        |
| <b>6 Операционная система</b>  | <b>24</b> |
| <b>7 Веб-сервер</b>  | <b>25</b> |
| 7.1 Серверная часть . . . . .  | 25        |
| 7.2 Клиентская часть . . . . .                                       | 25        |
| <b>Заключение</b>  | <b>26</b> |
| <b>Список литературы</b>   | <b>27</b> |

# Введение

Детекторы ионизирующего излучения — это одни из наиболее важных элементов практически любой современной экспериментальной установки в области физики высоких энергий. В институте ядерной физики СО РАН реализуется проект по выращиванию неорганических сцинтилляционных кристаллов, которые являются неотъемлемой частью таких детекторов. Сцинтилляторы — это вещества, способные излучать фотоны при поглощении ионизирующего излучения.

Для проверки характеристик и качества изготавливаемых сцинтилляционных кристаллов ведётся разработка специального стенда. Данний стенд имеет довольно сложное устройство, о нём будет рассказано подробнее в разделе "Установка стенда по исследованию сцинтилляционных кристаллов". Главным управляющим компонентом стенда является система на кристалле(СнК) Xilinx Zynq-7000, являющейся объединением процессора и программируемой логической интегральной схемы. Оператор сможет через порт Ethernet подключиться к веб-серверу, запущенному на СнК, через который будет производиться управление стендом и визуализация данных. Оценка параметров исследуемых сцинтилляционных кристаллов производится путём настройки временных характеристик формирователей входных сигналов.

Ранее было начато создание интерфейса для взаимодействия со стендом — веб-сервер, запускаемый непосредственно на СнК, доступ к которому оператор получал через порт Ethernet. Также была частично реализована программируемая логика, подробнее она будет описана в соответствующей главе.

# 1 Физика эксперимента

Детектор ионизирующего излучения — это устройство, которое способно преобразовывать энергию излучения в иной вид энергии, удобный для последующей регистрации. По физическим принципам действия детектора можно выделить основные группы:

- сцинтилляционные;
- ионизационные;
- полупроводниковые.

В рамках данной работы особый интерес представляют сцинтилляционные методы детектирования. Но перед их рассмотрением стоит сказать о сцинтилляторах и некоторых их свойствах.

## 1.1 Сцинтилляционные кристаллы

Как уже было сказано ранее, сцинтилляторы — это вещества, способные излучать свет при поглощении ионизирующего излучения. Сцинтилляторы характеризуются множеством параметров, но основными являются:

- конверсионная эффективность;
- технический выход;
- время высвечивания.

Конверсионной эффективностью или физическим выходом называется отношение энергии световой вспышки к энергии, потерянной частицей в кристалле. Таким образом, физический выход характеризует эффективность преобразования энергии ионизирующей частицы в световую в сцинтилляторе. Как правило, данная характеристика лежит в диапазоне от долей процента до десятков процентов.

Однако высокое значение конверсионной эффективности не является показателем пригодности вещества в качестве сцинтиллятора в детекторе. Для его использования необходимо, чтобы излучаемый свет мог свободно покидать пределы кристалла. Отношение энергии световой вспышки, вышедшей из кристалла, к полной энергии, потерянной частицей в нём, называется техническим выходом или технической эффективностью. Именно этот параметр является основополагающим в определении

удовлетворительности сцинтиллятора. Он зависит от множества аспектов: толщины слоя сцинтиллятора, состояния его поверхности, концентрации поглощающих примесей, прозрачности кристалла к собственному излучению и так далее.

Зачастую интенсивность излучения кристалла  $I$  в зависимости от времени  $t$  описывается экспоненциальной формулой:

$$I(t) = I_0 e^{-\frac{t}{\tau}}, \quad (1)$$

где  $I_0$  - амплитуда светового импульса,  $\tau$  - время, в течение которого интенсивность излучения падает в  $e$  раз и называется временем высыпчивания сцинтиллятора. В данной работе этот параметр является очень важным, поскольку он определяет время, а вместе с ним и объём памяти, который необходимо выделять для правильной записи экспериментальных данных. Данная деталь будет описана ниже при рассмотрении технической реализации системы.

## 1.2 Сцинтилляционные методы детектирования

Первый сцинтилляционный детектор назывался спинтарископом и был изобретён Уильямом Круксом в 1903 году. Главной его частью был небольшой экран, покрытый сульфидом цинка ( $ZnS$ ). При попадании на него заряженных  $\alpha$ -частиц возникает слабая световая вспышка - сцинтилляция, которую можно наблюдать в микроскоп или даже адаптированным к темноте невооружённым глазом.

В настоящее время сцинтилляционный детектор представляет собой устройство, содержащее кроме сцинтиллятора фотоприёмник и зарядочувствительный усилитель (ЗЧУ). Схема устройства представлена на рисунке () .

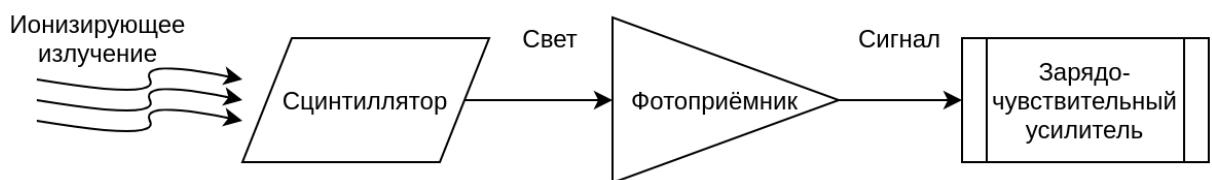


Рис. 1: Схема сцинтилляционного детектора

Фотоприёмник преобразует излучённую кристаллом световую вспышку в импульс электрического тока. Полученный сигнал принимается ЗЧУ, который преобразует электрический ток в заряд. По его величине можно восстановить количество энергии, потраченной сцинтиллятором на вы- свечивание за определённое время.

## 2 Установка стенда по исследованию сцинтилляционных кристаллов

Блок-схема установки изображена на рисунке().

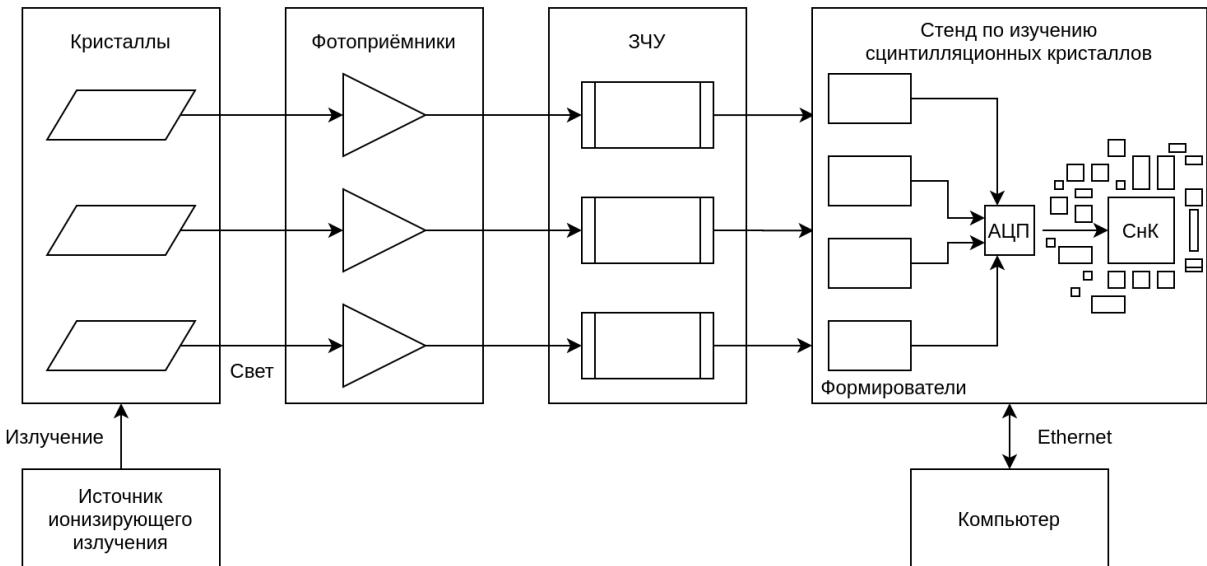


Рис. 2: Блок-схема установки

Ионизирующее излучение с источника попадает на три сцинтилляционных кристалла: исследуемый и два вспомогательных. Излучаемые кристаллами фотоны регистрируются в фотоприёмниках и преобразуются в электрические сигналы. После усиления в зарядо-чувствительных усилителях сигналы подаются на входные каналы стеда, где они обрабатываются. Результат обработки отправляется на компьютер оператора через интерфейс Ethernet. Стенд имеет, кроме основного канала, предназначенный для исследуемого кристалла, два дополнительных для вспомогательных кристаллов.

### 2.1 Схема стенда

На рисунке() представлена блок-схема стенда.

Как было сказано выше, стенд имеет 3 входных канала: основной и 2 вспомогательных. На каждом из них предусмотрен усилитель, сигнал с которого в набор формирователей, определяющих время формирования сигнала. Далее через промежуточный буфер с дифференциальным выхо-

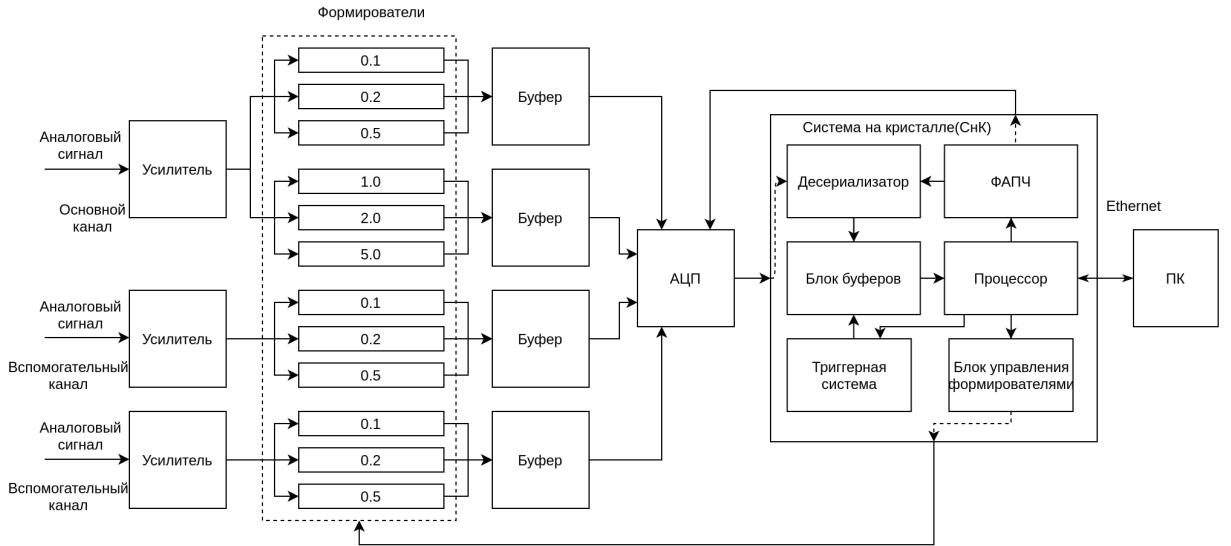


Рис. 3: Блок-схема стенда

дом сигнал поступает в 14-битный АЦП, где происходит его конвертация в цифровой вид. Оцифровка происходит на тактовой частоте 125 МГц, выдаваемой модулем фазовой автоподстройки частоты (ФАПЧ), реализованным в системе на кристалле. Цифровые данные в последовательно упакованном формате передаются в СнК, где проводится их обработка. В первую очередь, происходит обратная конвертация из последовательности бит в число (десериализация), после чего, при срабатывании триггерной системы, данные из блока буферов отправляются в процессор для последующей обработки. Для связи с компьютером используется протокол Ethernet.

На рисунке () представлена фотография стенда с выделением основных блоков:

1. Блок питания;
2. Система на кристалле Zynq-7000 с необходимой периферией;
3. 4-х канальный АЦП;
4. Формирователи основного и вспомогательных каналов
5. Усилители сигналов;
6. Входные разъёмы.

Далее будут рассмотрены подробнее особенности устройства некоторых частей описанной системы.

### **Основной канал**

Основной канал имеет 2 набора формирователей с различными вре-

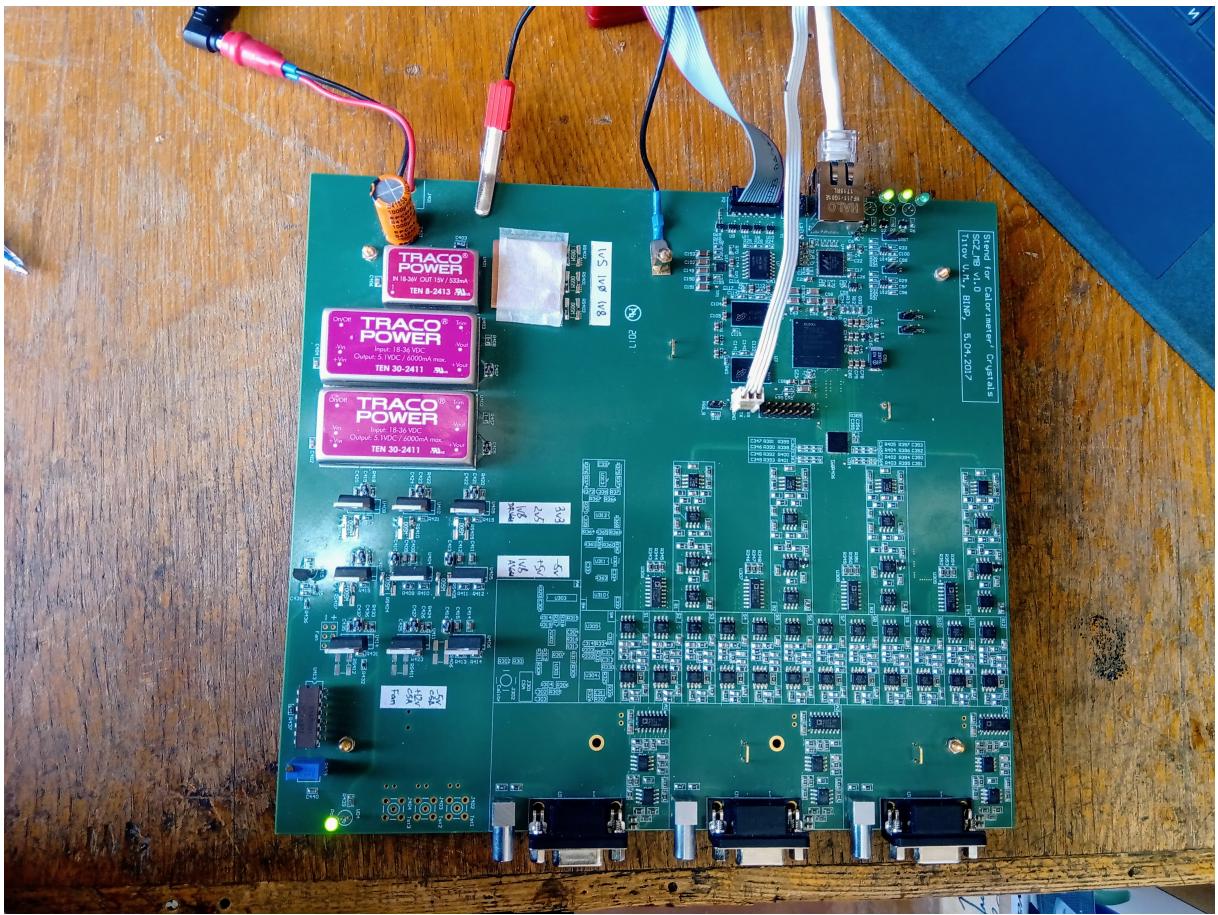


Рис. 4: Фотография стенда

менами формирования: 0.1, 0.2, 0.5 и 1, 2, 5 мкс соответственно. Данные временные значения формирователей подобраны на основе анализа свойств сцинтилляционных кристаллов, а так же имеющегося опыта работы с ними. Такие времена способны обеспечить корректную работу с большим набором кристаллов: от со сравнительно малыми временами высвечивания до больших.

После каждого формирователя установлены электронные ключи, с помощью которых можно подключить выход одной секции из набора через буфер ко входу АЦП. На основном канале, таким образом, имеется возможность подключить одновременно 2 формирователя из диапазона 0.1 - 0.5 и 1 - 5 мкс соответственно. Оцифрованные данные непрерывно записываются в кольцевой буфер, откуда они могут быть выгружены для обработки и сохранения при поступлении команды о полезном событии от триггерной системы.

### **Вспомогательные каналы**

Вспомогательные каналы служат источниками дополнительных сиг-

налов, необходимых для правильной работы триггерной системы. Устройство вспомогательных каналов аналогично основному во всём, кроме:

- каждый из них содержит только по одному набору формирователей с тремя секциями с временами 0.1, 0.2, и 0.5 мкс;
- к аналогово-цифровому преобразователю может быть подключен выход только одной секции формирования канала.

## **Триггерная система**

Триггерная система выполняет задачу формирования сигнала, означающего возникновение полезного события, при котором данные из кольцевого буфера необходимо выгрузить для последующей обработки. Система может работать в двух режимах: принудительный старт и срабатывание по порогу. В первом случае триггерная система вырабатывает сигнал при получении команды от оператора. Во втором случае триггер срабатывает при превышении текущими цифровыми значениями основного и/или некоторых вспомогательных каналов заданных оператором порогов.

### 3 Система на кристалле Xilinx Zynq-7000

Управляющим компонентом стенда является система на кристалле Xilinx ZYNQ-7000 XC7Z020 CLG400, являющейся объединением процессорной системы и программируемой логики. Архитектура данного кристалла представлена на рисунке( ).

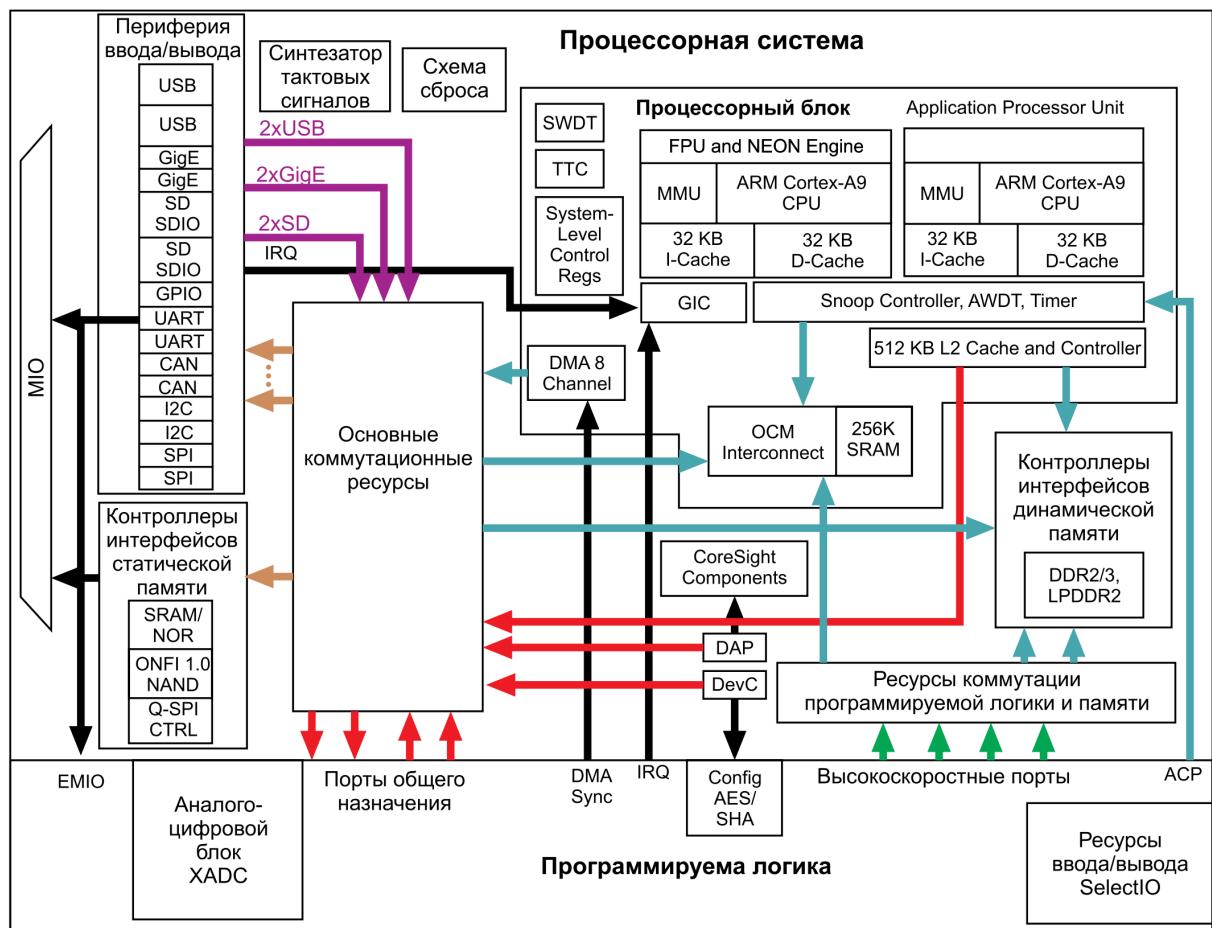


Рис. 5: Архитектура программируемой системы на кристалле XC7Z020

Процессорная система реализована на базе аппаратного блока, включающего в себя два ядра ARM Cortex-A9 MPCore, кэш-память первого и второго уровней объёмом 32 и 512 кбайт соответственно. В качестве оперативной памяти присутствует внутрикристальное ОЗУ ёмкостью 256 кбайт, а также контроллеры внешней высокоскоростной оперативной динамической памяти, поддерживающие многие современные спецификации. Периферия ввода/вывода включает в себя интерфейсы USB 2.0, Tri-mode Gigabit Ethernet, SD/SDIO, UART, CAN 2.0, I2C и SPI, каждый из

которых реализован дважды.

Программируемая логика данной системы на кристалле близка к ПЛИС семейства Artix-7. Это решение включает в себя 87040 логических ячеек, 140 модулей памяти Block RAM общей ёмкостью 560 кбайт, 220 секций цифровой обработки сигналов DSP48E1 и один аналогово-цифровой блок XADC.

Взаимодействие двух рассмотренных частей: программируемой логики и процессорной системы осуществляется через порты интерфейса AXI.

Данный кристалл даёт возможность одновременно использовать преимущества процессорных вычислений и параллельной обработки данных программируемой логики.

## 4 Цель и задачи работы

Главной целью данной работы является разработка программного обеспечения для системы на кристалле Zynq-7000 и доведение стенда до готовности к предстоящей эксплуатации по назначению. Таким образом, предстоит довольно широкий ряд работ, от разработки дизайна программируемой логики до конфигурации операционной системы и написания веб-сервера для взаимодействия со стендом.

Ранее для СнК уже проводились следующие работы:

- создание сервера и клиентской части, а также процессорной системы для их тестирования — необходима доработка;
- конфигурация операционной системы — остался только бинарный файл и тот под другую версию кристалла, который установлен на тестовой плате;
- разработка программируемой логики — некоторые модули системы завершены, некоторые требуют доработки или написания с нуля.

Стоит отметить, что данные модули были реализованы отдельно друг от друга без возможности совместного функционирования.

Итак, в рамках данной работы были поставлены следующие задачи:

- доработка ранее написанной программируемой логики, проектирование процессорной системы и их интеграция для совместной работы;
- разработка дизайна программируемой логики для подсчёта статистики данных с АЦП;
- конфигурация операционной системы;
- доработка сервера и клиентского веб-интерфейса, расширение его функционала.

## 5 Дизайн системы на кристалле

Для создания программируемой логики внутри СнК и реализации её взаимодействия с процессором проектируется дизайн системы на кристалле. Соответственно, он делится на две части: программируемая логика и процессорная система, для каждой из которых разрабатывается свой поддизайн. Важной задачей является осуществление их взаимодействие. В данной работе используется следующие типы взаимодействия:

- чтение/запись данных напрямую в блок памяти через выделенный порт;
- чтение/запись регистров.

Как уже было сказано выше, в системе на кристалле Zynq-7000, в качестве управляющего протокола используется шина AXI, которая имеет 3 интерфейса:

- AXI4 — для высокопроизводительной работы с устройствами, отображаемых на адресное пространство памяти;
- AXI4-Lite — для простой, низкоскоростной связи с периферийными устройствами, не имеющих высоких требований к пропускной способности(например, для регистров управления и состояния);
- AXI4-Stream — для высокоскоростной потоковой передачи данных.

Разработка производилась в среде программирования Xilinx Vivado Design Suite на языке описания программной аппаратуры интегральных схем VHDL.

### 5.1 Процессорная система

Для разработки процессорной системы существует возможность использовать готовые блоки, предоставляемые компанией - производителем Xilinx. В данной работе используются некоторые из них. Также для передачи команд и параметров оператора был разработан пользовательский блок виртуальных регистров. Список всех блоков и их краткое описание представлены в таблице()

Как видно из приведённой таблицы, в процессорной системе используется несколько готовых блоков от компании Xilinx и один пользовательский модуль, который имеет смысл рассмотреть подробнее. Он раз-

Таблица 1: Блоки дизайна процессорной системы

| Наименование блока                                   | Описание   |
|--|--|
| Процессорная система ZYNQ7 Processing System         | Программный интерфейс вокруг процессорной системы платформы Zynq-7000  |
| Контроллер блоков памяти AXI BRAM Controller         | Является конечным ведомым модулем для интеграции с интерфейсом шины AXI и системными главными устройствами для связи с локальными блоками оперативной памяти |
| Интерфейс шины AXI Interconnect                      | Соединяет один или более AXI устройств, отображенных на память в режиме мастера, к одному или более устройствам, отображённых на память в режиме ведомого    |
| Сброс процессорной системы Processor System Reset    | Обеспечивает индивидуальные сбросы для всей процессорной системы, включая процессор и периферийные устройства  |
| Интерфейс модуля виртуальных регистров reg_interface | Пользовательский блок, использующий интерфейс AXI4-Lite  |
| Генератор блоков памяти Block Memory Generator       | Автоматизирует создание блочных запоминающих устройств для программируемой логики  |

работан с использованием AXI4-Lite — данного интерфейса хватает для корректной работы модуля в силу небольшого объёма данных, передаваемых за одну транзакцию. Задача блока reg\_interface заключается в передаче коротких параметров, команд и сигналов подтверждения из процессора в программируемую логику. Сигналы модуля представлены на рисунке().

Каждый пользовательский сигнал (dataPLtoPS, regWE, regNum, dataPStoPL) ассоциирован с определённым участком в памяти, таким образом, текущее значение по выбранному адресу является состоянием сигнала. Блок модуль связан с модулем reg\_file программируемой логики, подробное описание которого будет приведено в соответствующей главе. Сейчас важно то, что этот модуль содержит виртуальные регистры; операции с ними осуществляются посредством рассматриваемого модуля reg\_interface, который переводит их в операции с реально существую-

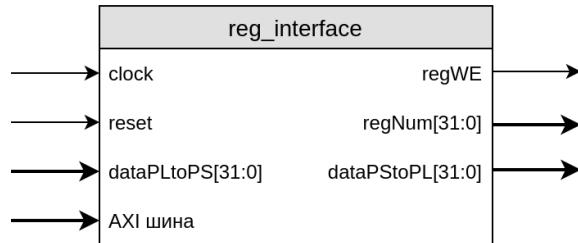


Рис. 6: Сигналы блока reg\_interface

щими регистрами.

Для записи в виртуальный регистр необходимо вставить данные в сигнал dataPStoPL, затем установить номер регистра в сигнал regNum, после чего подать единицу в сигнал regWE.

Для чтения из виртуального регистра необходимо установить номер интересующего регистра в сигнал regNum, после считать данные из сигнала dataPLtoPS.

Общая диаграмма блоков процессорной системы изображена на рисунке().

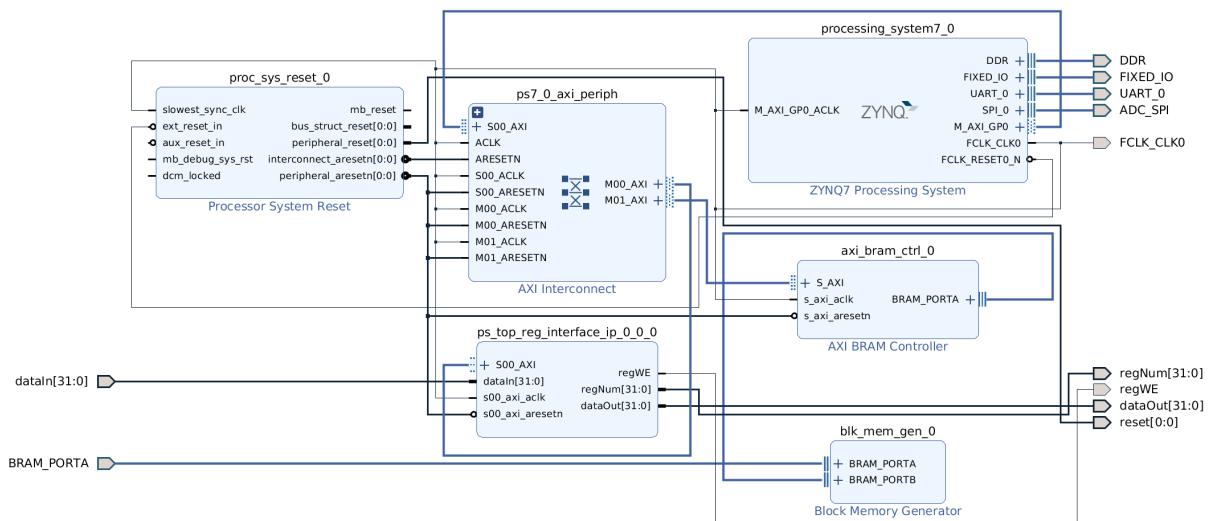


Рис. 7: Диаграмма блоков процессорной системы

Кроме интерфейса виртуальных регистров, рассмотренного выше, для обмена данными между процессорной системой и программируемой логикой используется модуль двухпортовой памяти blk\_mem\_gen\_0: через порт А происходит запись данных из программируемой логики, а через порт В информация считывается и отправляется в процессор. Дан-

ный модуль предназначен для передачи экспериментальных данных для их последующего отображения оператору стенда.

## 5.2 Программируемая логика

На рисунке() представлена схема программируемой логики.

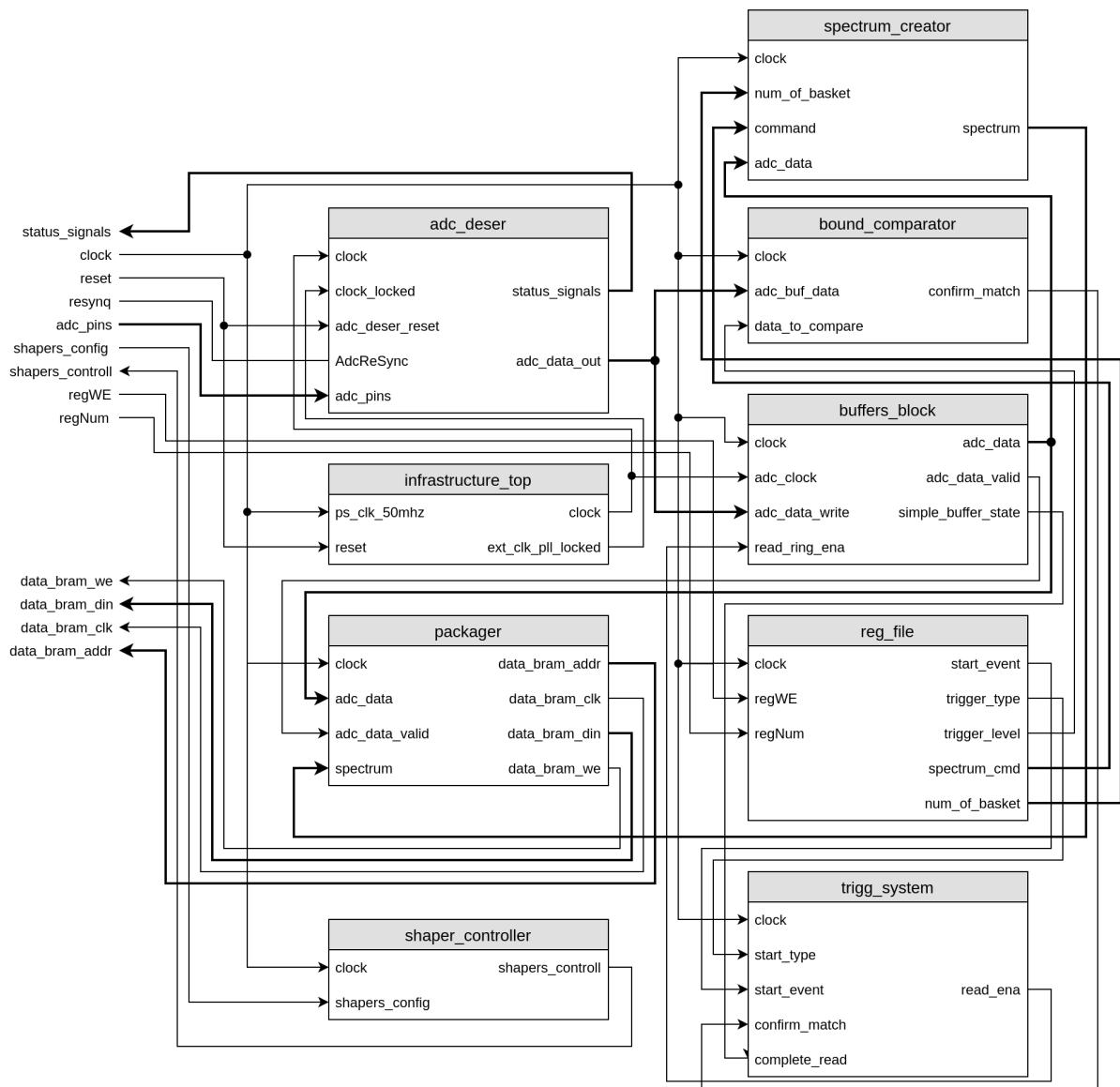


Рис. 8: Блок-схема установки

Программируемая логика состоит из 9 блоков, краткое описание которых представлено в таблице()

## Десериализатор adc deser

Одним из основных элементов стенда является АЦП AD-9253. Дан-

Таблица 2: Блоки программируемой логики

| Наименование блока | Описание   |
|--------------------|--|
| adc_deser          | Конвертирует упакованные последовательно данные АЦП в численные значения |
| infrastructure_top | Обеспечивает тактовую частоту для некоторых модулей                      |
| buffers_block      | Буферизует входные данные  |
| trigg_system       | Генерирует сигнал для сохранения данных                                  |
| bound_comparator   | Выполняет сравнение входящих данных с заданными порогами                 |
| spectra_controller | Производит обработку данных для набора статистики                        |
| shaper_controller  | Осуществляет управление формирователями сигналов                         |
| reg_file           | Реализует блок виртуальных регистров                                     |
| packager           | Упаковывает данные и передаёт их в процессорную систему                  |

ный преобразователь работает на 125 МГц параллельно в 4-х каналах. Данные с разрешением 14 бит передаются по протоколу LVDS. Данний стандарт предполагает передачу информации в последовательно-упакованном виде по 2 каналам на каждый вход. На рисунке() представлена временная диаграмма работы АЦП.

Каждый такт работы АЦП производится оцифровка входного аналогового сигнала. Как видно из временной диаграммы, полученные данные отправляются за 1 такт через 17 тактов после оцифровки по двум каналам. Представляться они могут в одном из двух вариантов: побитовый (bitwise mode) и побайтовый (bytewise mode). Данные режимы отличаются последовательностью упаковки битов — в разных каналах передаются либо четные и нечётные биты, либо младший и старший байты соответственно. В данной работе выбран побитовый режим, так как данные в таком виде проще обработать в программируемой логике.

Также в работе АЦП участвуют 2 вспомогательных сигнала — кадровый, отвечающий за разделение набора бит на кадры оцифровки, и сигнал передачи данных, который размечает биты внутри каждого кад-

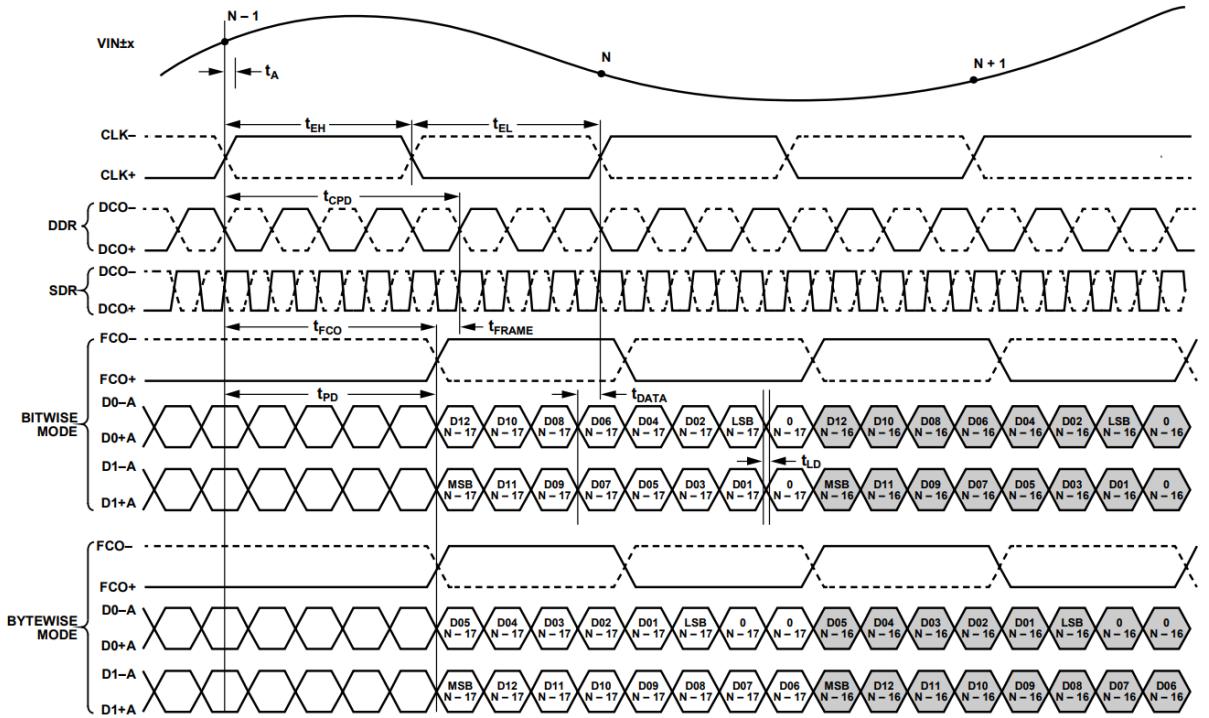


Рис. 9: Временная диаграмма работы АЦП

ра.

Таким образом, возникает необходимость реализации модуля, осуществляющего конвертацию последовательности бит, поступающей из АЦП, в удобное для обработки численное значение. Так как процесс упаковки бит в определённую последовательность называется сериализацией, то обратную операцию можно назвать десериализацией, а соответствующий модуль — десериализатором. Его сигналы изображены на рисунке()

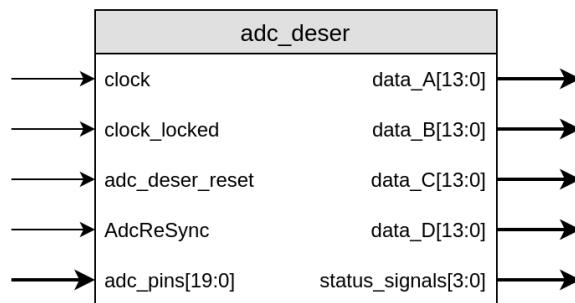


Рис. 10: Сигналы модуля десериализатора

Данный модуль был разработан ранее на основе готового интерфейса компании Xilinx, поэтому подробного описания его работы приведено не будет. Стоит лишь отметить, что входные данные принимаются через

набор сигналов `adc_pins`, а десериализованные значения подаются на выход через сигналы `data_i`.

### ФАПЧ `infrastructure_top`

Модуль фазовой автоподстройки частоты (ФАПЧ) необходим для генерации тактового сигнала для работы АЦП и блоков, которые занимаются обработкой входных данных и их буферизацией (модули десериализатора и блока буферов). Как и десериализатор модуль ФАПЧ был разработан ранее с использованием библиотеки сложных функциональных блоков и рассматриваться подробно не будет. Сигналы модуля `infrastructure_top`, в котором расположен ФАПЧ изображены на рисунке().

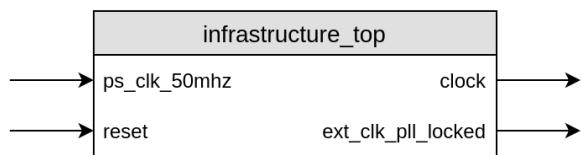


Рис. 11: Сигналы модуля `infrastructure_top`

### Блок буферов `buffers_block`

В силу случайного характера возникновения полезных событий возникает необходимость временного хранения определённого числа последних измерений с АЦП. Для решения данной задачи был разработан модуль блока буферов, сигналы которого изображены на рисунке().

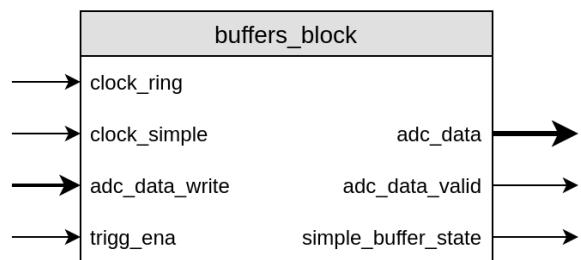


Рис. 12: Сигналы модуля блока буферов

Данный блок содержит в себе 2 модуля RAM памяти с раздельными портами чтения/записи данных. Первый является кольцевым буфером и непрерывно записывает данные с АЦП. Это позволяет сохранить некото-

рые данные до срабатывания триггерной системы. Такая необходимость обусловлена возможными задержками сигнала триггера, а также потребностью иметь небольшую "предысторию" осциллографа перед достижением сигнала порогового значения.

Второй модуль памяти выполняет функцию простого буфера, в который временно будут выгружаться полезные данные при возникновении сигнала триггерной системы. Главной задачей такого буфера является хранение данных для гарантированного считывания и передачи их в процессорную систему.

Объём простого буфера определяется необходимым размером осциллографа, который, в свою очередь, зависит от максимального времени высвечивания кристалла. Данное время ограничено промежутком в 1 мкс, следовательно, учитывая частоту работы АЦП (105 МГц), требуемый размер буфера составляет порядка 100 кадров. Для удобства объём был увеличен до 128 – осциллограф будет подробнее, а адресация внутри буфера проще. Объём кольцевого буфера, в свою очередь, определяется максимальным количеством данных, необходимого для восстановления. Из свойств сцинтиляционных кристаллов было принято решение, что 64 кадров будет хватать с запасом.

Модуль buffers\_block имеет два входных тактовых сигнала – clock\_ring и clock\_simple. Система на кристалле работает на 50 МГц, следовательно именно на этой частоте должны выгружаться данные в процессорную часть. При этом АЦП работает на 105 МГц. Здесь кроется ещё одна немаловажная задача простого буфера: переход работы с данными с одной тактовой частоты на другую. Таким образом, поток данных поступает в блок на тактовом сигнале работы АЦП, а полезная информация выдаётся на частоте работы системы на кристалле.

Из рисунка видно, что модуль также содержит следующие входные сигналы: adc\_data\_write – входные данные с АЦП, trig\_ena – сигнал триггерной системы о возникновении полезного события. Также можно заметить, что выходной набор adc\_data содержит большее число сигналов, чем входной adc\_data\_write. Это связано с добавлением к данным по 2 бита, индентифицирующих их отношение к определённому каналу. Таким образом, значение каждой оцифровки хранится ровно в двух бай-

так.

### Триггерная система `trigg_system`

Как было сказано ранее, для сохранения данных с АЦП в буфер и последующей их передачи в процессор необходим сигнал, сообщающий о возникновении полезного события. Генерацией такого сигнала занимается модуль триггерной системы, сигналы которого изображены на рисунке().

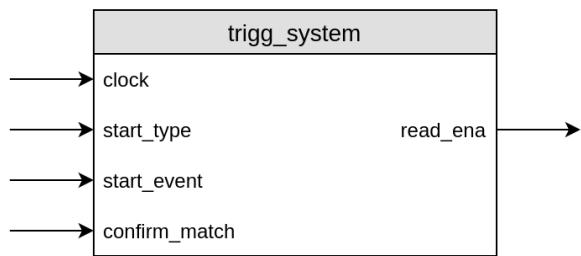


Рис. 13: Сигналы модуля триггерной системы

Триггерная система может работать в двух режимах, которые задаются сигналом `start_type`: принудительно и по порогу. В первом случае модуль отработает сразу при появлении сигнала старта на входе `start_event`. В режиме срабатывания по порогу триггер сгенерирует разрешение на запись только при появлении на входе `confirm_match` высокого уровня от модуля компаратора `bound_comparator`.

### Компаратор `bound_comparator`

Компаратор осуществляет сравнение текущих оцифрованных данных АЦП с заданными оператором значениями порогов. Это необходимо для корректного функционирования триггерной системы в соответствующем режиме работы. Сигналы данного блока изображены на рисунке()

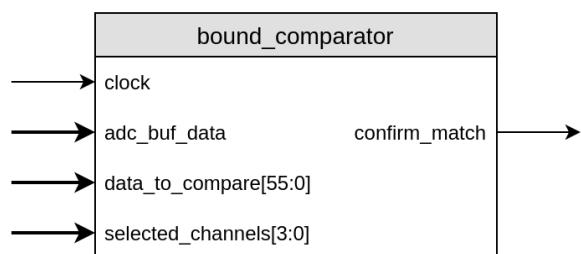


Рис. 14: Сигналы модуля компаратора

Данный модуль функционирует на тактовой частоте работы АЦП, т.к. он должен непрерывно сравнивать каждое оцифрованное значение, поступающее через вход adc\_buf\_data. При достижении или превышении порогового значения модуль формирует на выходном сигнале confirm\_match логическую единицу и ноль в противоположном случае. Порог для каждого канала задаётся отдельно с помощью сигналов data\_to\_compare. Стоит отметить, что реализована возможность выбирать каналы, выполнение условий по которым повлечёт срабатывание модуля. Оператор может назначать их в режиме логического ИЛИ: система выдаст сигнал при срабатывании компаратора хотя бы по одному из выбранных каналов. Эта информация поступает в блок компаратора через сигналы selected\_channels.

**Модуль набора статистики spectra\_controller**

**Управление блоком формирователей shapers\_controller**

**Модуль виртуальных регистров reg\_file**

**Упаковщик packager**

## **6 Операционная система**

# 7 Веб-сервер

## 7.1 Серверная часть

## 7.2 Клиентская часть

На рисунке() представлен вид пользовательского веб интерфейса.

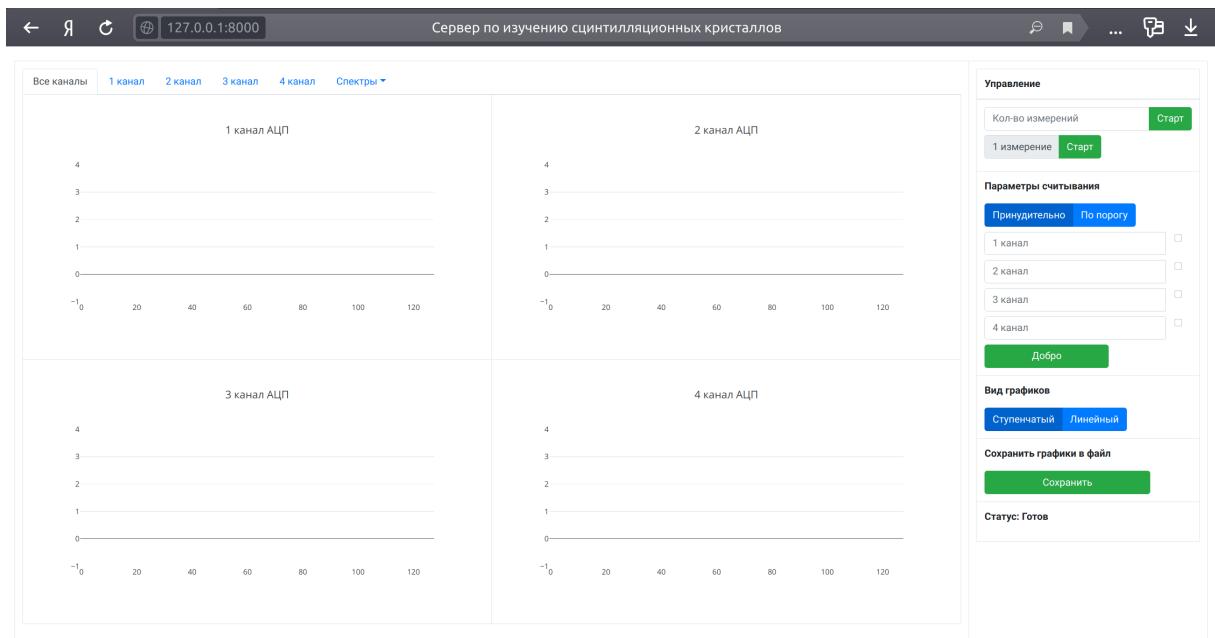


Рис. 15: Пользовательский веб-интерфейс

# **Заключение**

# Список литературы