

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ  
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ

«НОВОСИБИРСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ГОСУДАРСТВЕННЫЙ  
УНИВЕРСИТЕТ» (НОВОСИБИРСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ, НГУ)

Факультет **ФИЗИЧЕСКИЙ**

Кафедра **ФИЗИКО-ТЕХНИЧЕСКОЙ ИНФОРМАТИКИ**

Направление подготовки **03.03.02 ФИЗИКА**

Образовательная программа **МАГИСТРАТУРА**

### **ВЫПУСКНАЯ КВАЛИФИКАЦИОННАЯ РАБОТА**

Андреев Андрей Андреевич

(Фамилия, Имя, Отчество автора)

Тема работы Блок упаковки данных для системы FEX модуля LASP жидкогоаргонового  
калориметра детектора ATLAS

#### **«К защите допущена»**

Заведующий кафедрой

канд. физ.-мат. наук

с.н.с ИЯФ СО РАН

Кроковский П. П. /

(фамилия, И., О.)

(подпись, МП)

« \_\_\_\_ »

2022 г.

**Научный руководитель**

канд. техн. наук

зав. сек. З-12 ИЯФ СО РАН

Жуланов В. В. /

(фамилия, И., О.)

(подпись, МП)

« \_\_\_\_ »

2022 г.

Дата защиты: « \_\_\_\_ » 2022 г.

Новосибирск, 2022

# Содержание

<b>Введение</b>	<b>3</b>
<b>1 Эксперимент ATLAS</b>	<b>4</b>
1.1 Калориметрическая система . . . . .	4
1.1.1 Электромагнитный калориметр . . . . .	5
1.1.2 Торцевой адронный калориметр . . . . .	8
1.1.3 Форвард калориметр . . . . .	8
1.2 Считывающая электроника . . . . .	10
1.2.1 Модуль FEB2 . . . . .	11
1.2.2 Система подготовки данных для триггера . . . . .	12
1.2.3 Калибровочная система . . . . .	13
<b>2 Сигнальный процессор жидкогоаргонового калориметра (LASP)</b>	<b>15</b>
<b>3 Цель и задачи работы</b>	<b>27</b>
<b>4 Модуль конфигурируемой перестановки (Remap)</b>	<b>28</b>
4.1 Архитектура модуля . . . . .	29
4.1.1 Архитектура с модулем синхронизации тактовых доменов . . . . .	31
4.1.2 Архитектура, основанная на FIFO . . . . .	33
4.2 Конфигурирование через интерфейс медленного контроля	35
4.3 Реализация . . . . .	35
4.4 Программное обеспечение . . . . .	35
<b>5 Модуль упаковки данных (Packer)</b>	<b>36</b>
5.1 Протокол передачи данных fFEX . . . . .	36
<b>Заключение</b>	<b>37</b>
<b>Список литературы</b>	<b>38</b>

# Введение

# 1 Эксперимент ATLAS

Эксперимент ATLAS является одним из четырёх основных экспериментов на Большом адронном коллайдере(БАК). Он проводится на одноимённом детекторе общего назначения, предназначенном для изучения протон-протонных столкновений, а также столкновений тяжелых ионов. С помощью детектора ATLAS проводится широкий спектр исследований в области физики элементарных частиц от поиска бозона Хиггса, до попыток обнаружения частиц, которые могут составлять тёмную материю. Кроме того, одним из важных направлений является поиск новых физических явлений, которые не описываются стандартной моделью.

## 1.1 Калориметрическая система

Калориметрическая система детектора ATLAS имеет ключевую роль в измерении энергии и положения электронов, фотонов и заряженных адронов. Система калориметров является составной и состоит из четырёх основных частей [1] (рис. 1):

- электромагнитная цилиндрическая;
- электромагнитная торцевая;
- адронная торцевая;
- форвард калориметр.

Важной характеристикой системы калориметров является диапазон покрытия псевдобыстроты  $|\eta|$ . Эта величина показывает насколько направление движения элементарной частицы отличается от оси пучка и определяется как:

$$\eta = -\ln(\tan(\frac{\Theta}{2})), \quad (1)$$

где  $\Theta$  – угол между направлением импульса частицы и осью пучка. В физике коллайдеров зачастую используют именно этот показатель вместо простого полярного угла  $\Theta$  в силу той особенности, что плотность числа рождённых частиц приблизительно постоянна в единицу  $|\eta|$ . По этой причине калориметры обычно сегментируют по псевдобыстроте, а не по телесному углу. Калориметрическая система ATLAS охватывает диапазон  $|\eta|$  до 4.9.

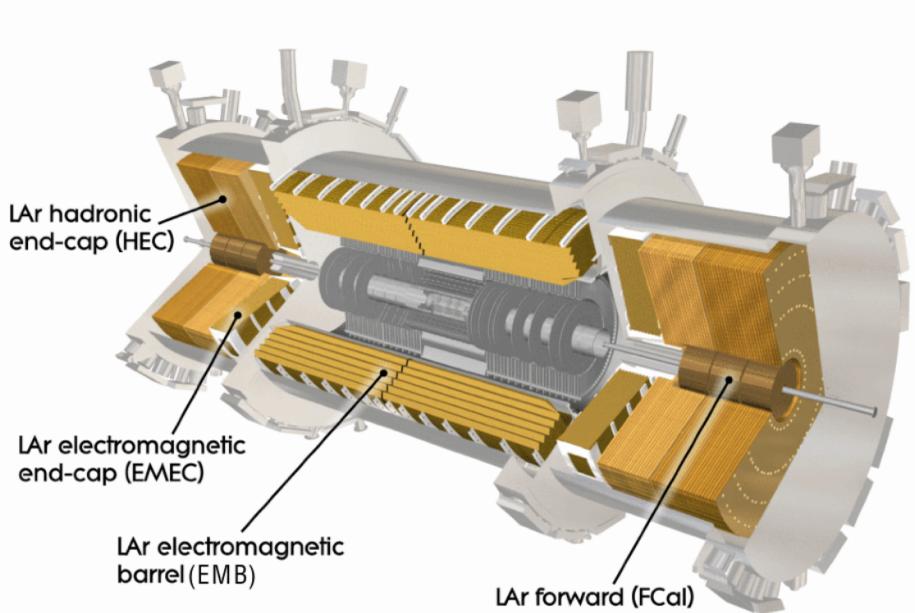


Рис. 1: Схема калориметрической системы ATLAS

### 1.1.1 Электромагнитный калориметр

Для прецизионного детектирования и измерения электронов и фотонов калориметрическая система ATLAS включает в себя электромагнитный калориметр. Он состоит из центрального(баррельного) блока(EMB – electromagnetic barrel), покрывающего диапазон псевдобыстрот  $|\eta| < 1,475$  и пары торцевых частей(EMEC – electromagnetic end-cap), соответствующих области  $1,375 < |\eta| < 3,2$ . Электромагнитные калориметры ATLAS построены по гетерогенному принципу, то есть в них разделены функции поглощения и детектирования. В качестве активного вещества служит жидкий аргон, находящийся при температуре около 90K, а для поглащающего материала используется свинец. Между пластинами поглотителя также располагаются медно-каптоновые электроды, по которым происходит снятие сигнала.

Заряженная частица, попадая в калориметр, порождает в нём электромагнитный ливень(рис. 2)[2], который детектируется по принципу ионизационной камеры: под воздействием электрического поля между заземлённым поглотителем и электродом, находящимся под высоким напряжением, ионы и электроны дрейфуют, причём последние индуцируют треугольный импульс на электроде(рис. 3)(в действительности, сигнал является более сложным, чем просто треугольник – в силу поглощения

электронов загрязняющими примесями в активном веществе, такими как кислород или хлор, результирующий сигнал падает, а его форма домножается на небольшую экспоненту). Высота индуцированного импульса пропорциональна энергии, накопленной в ячейке калориметра. Время пика импульса используется для определения времени появления частицы.

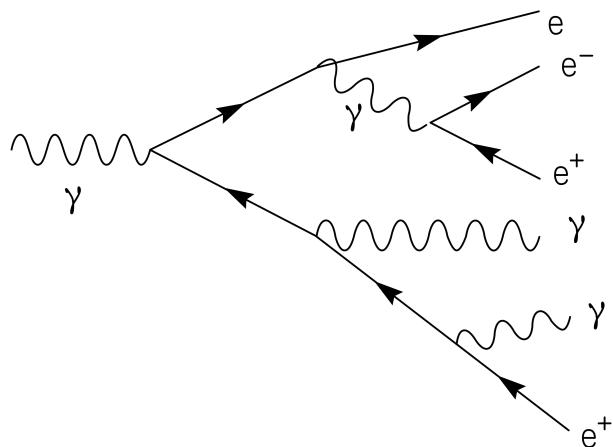


Рис. 2: Схема электромагнитного ливня

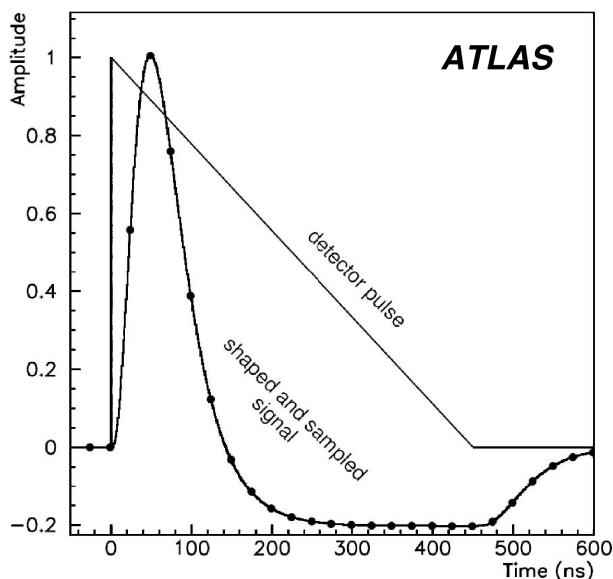


Рис. 3: Форма импульса тока электромагнитного калориметра и выходного сигнала после формирования

Электромагнитный калориметр имеет сложную геометрию в фор-

ме гармошки(аккордеон). Это позволяет достичь полную симметрию калориметра по азимутальному углу, а также обеспечить высокую гранулированность детектора и увеличить его быстродействие за счёт малого зазора между пластинами. Толщина ЕМВ составляет более 24 радиационных длин( $X_0$ , расстояние, на котором интенсивность потока электронов высокой энергии и гамма-излучения падает в  $e$  раз). Каждый модуль калориметра имеет ячеистую структуру и поделён на несколько слоёв по глубине, как, например, модуль центрального блока на рис. 4. Калориметр сконструирован таким образом, что наибольшая часть энергии собирается в среднем слое, задний слой собирает лишь хвост электромагнитного потока. Передний слой сегментирован таким образом, чтобы с его помощью можно было максимально точно определить направление падающих частиц. Таким образом, используя измерение энергии и положения всех ячеек во всех слоях калориметра можно восстановить энергию и траекторию рожденных частиц.

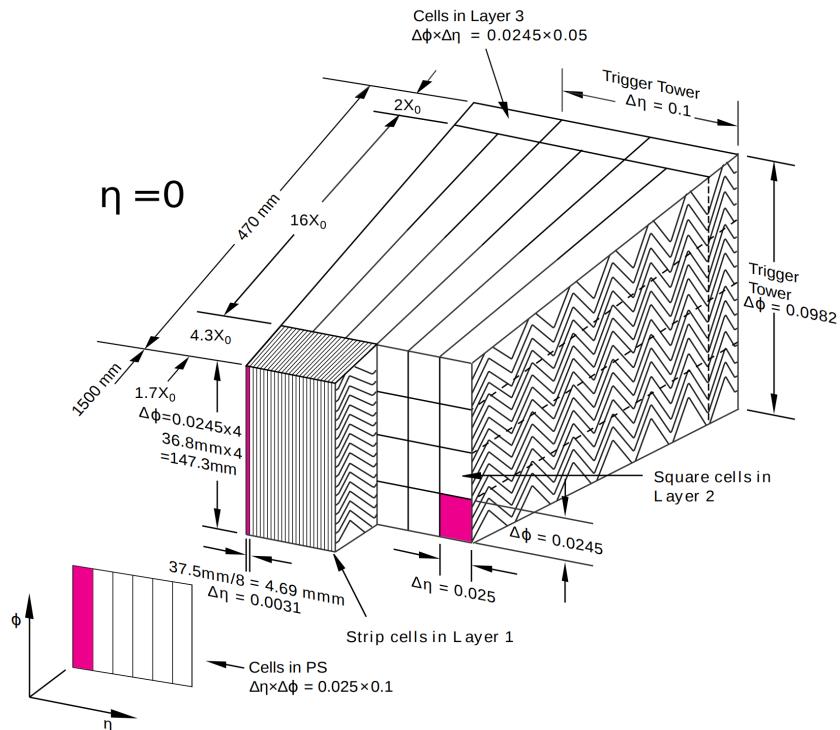


Рис. 4: Схема разделения модуля ЕМВ по слоям

### 1.1.2 Торцевой адронный калориметр

Торцевой адронный калориметр(HEC – hadronic end-cap) детектора ATLAS состоит из двух независимых колёс, которые установлены за блоками торцевого электромагнитного калориметра. Он обеспечивает адронное покрытие псевдобыстроты в диапазоне  $1,5 < |\eta| < 3,2$ . По принципу действия торцевой адронный калориметр похож на электромагнитный, но имеет плоскопараллельную структуру внутренней геометрии с медными пластинами-поглотителями, а в качестве адсорбера в нём используется железо.

Оба колеса калориметра состоят из 32 одинаковых по азимуту модулей. Переднее колесо разделено по глубине на две секции считывания, которые суммарно содержат 24 слоя поглотителя. Заднее колесо выполнено из 16 слоёв поглотителя, объединённых в один сегмент считывания. С каждой полученной ячейки регистрируется отдельный сигнал. Для обеспечения наилучшего отношения сигнала и шума предусилители считающей электроники калориметра находятся в среде с низкой температурой и расположены по внешнему радиусу модулей.

Важным аспектом адронного калориметра является его способность обнаруживать мюоны, а также измерять их любые ионизационные потери и треки.

### 1.1.3 Форвард калориметр

Форвард калориметр находится ближе всего к пучку и обеспечивает электромагнитную и адронную калориметрию в диапазоне  $3,2 < |\eta| < 4,9$ . Из-за своего расположения он подвергается очень сильному воздействию дозы облучения мощностью до  $10^6$  Гр/год и потока нейтронов с кинетической энергией более 100 кэВ до  $10^9$  см $^{-2}$ с $^{-1}$ [3]. С учётом этих условий форвард калориметр разрабатывался с использованием следующих принципов:

- механическая простота из небольшого набора материалов;
- использование радостойких материалов;
- использование материалов с высоким значением Z;
- достижение максимальной проективной толщины(вдоль проектив-

- ных лучей от точки столкновения частиц);
- достижение максимальной средней плотности.

Калориметр состоит из трёх модулей: электромагнитного и двух адронных. В электромагнитной секции в качестве материала адсорбера используется медь, тогда как в адронных – вольфрам. Номинальные внешние размеры у всех трёх модулей равные. Внутренняя структура представляет собой матрицу шестигранных трубок, расположенных вдоль пучка, изготовленных из материала поглотителя, в которые концентрически установлены медные электроды (рис. 5). Пространство между стенками трубок и электродами заполнено жидким аргоном, выполняющим роль активного вещества. Конструкция позволяет точно контролировать зазор между электродами.

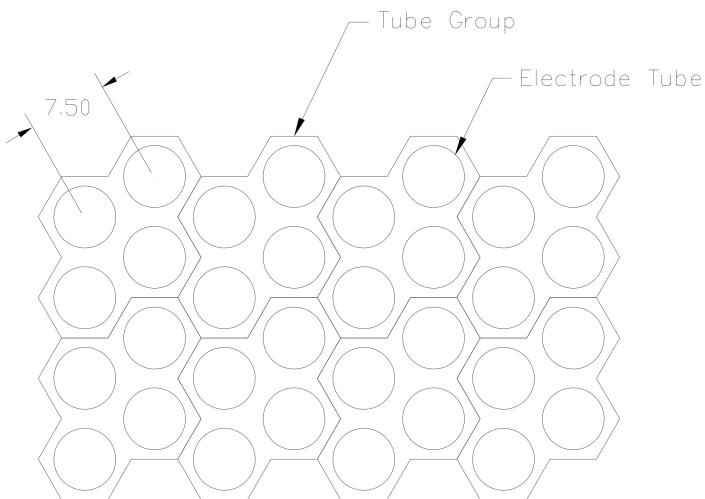


Рис. 5: Схема внутренней структуры форвард калориметра[3]

В итоге, форвард калориметр способен работать в очень радиационно нагруженных условиях, но при этом имеет сравнительно низкое разрешение. Однако, учитывая тот факт, что проходящие через него частицы имеют одни из наибольших абсолютных энергий, относительная точность остаётся достаточно высокой и такого разрешения вполне хватает для решения существующих физических задач.

## 1.2 Считывающая электроника

Считывающая электроника жидкогоаргоновых калориметров детектора ATLAS имеет сложную структуру, но в самом верхнем уровне её можно разделить на 2 части: фронтенд и бэкенд(или как её ещё называют, задетекторная электроника). На рис. 6 изображена общая схема устройства считающей электроники системы жидкогоаргоновых калориметров.

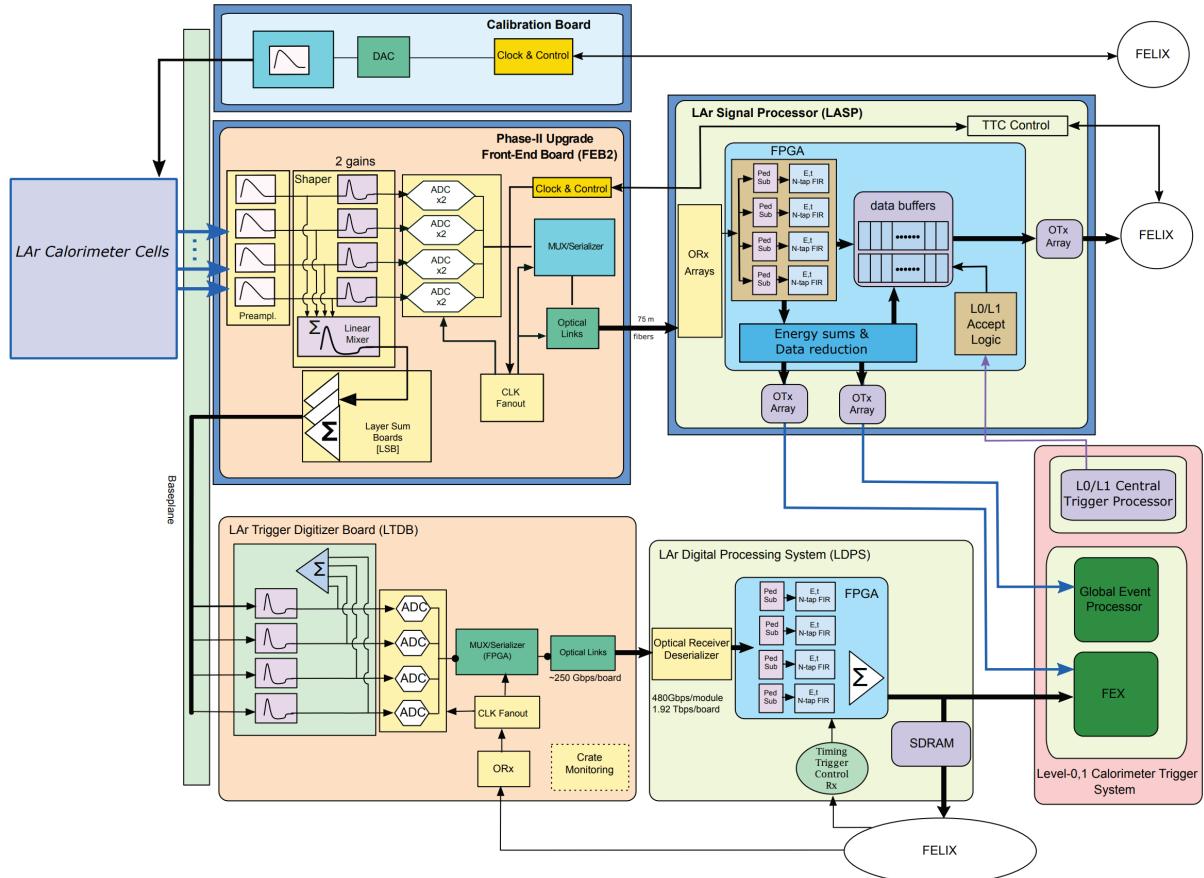


Рис. 6: Схема считающей электроники жидкогоаргоновых калориметров ATLAS

Фронтенд часть располагается в непосредственной близости с ускорителем, поэтому на неё налагаются определённые требования по радиационной стойкости и отказоустойчивости. В рамках второй фазы обновления электроники на детектор будут установлены новые платы считывания FEB2(FEB – Front-End Board), а также платы калибровки.

Задетекторная часть удалена от радиационной зоны и принимает оцифрованные данные с фронтенда через оптические каналы связи. Имен-

но в этой части выполняется цифровая фильтрация сигналов по каждой ячейке калориметра, их буферизация до появления сигнала триггерной системы и передача соответствующих данных в систему сбора данных DAQ (Data Acquisition).

### 1.2.1 Модуль FEB2

Платы FEB2 принимают сигналы от калориметрических ячеек и выполняют их аналоговую обработку, включая усиление, формирование и разделение на две перекрывающиеся шкалы линейного усиления. Обе шкалы усиления оцифровываются при помощи аналого-цифрового преобразователя(АЦП), после чего цифровые сигналы сериализуются и отправляются через оптический канал связи. Для этого используется несколько специализированных интегральных микросхем, а также системы управления и синхронизации. Оцифровка данных производится на частоте 40 МГц, равной частоте столкновения частиц. Каждая плата FEB2 способна обрабатывать 128 калориметрических каналов, а для считывания всей системы жидкогоаргоновых калориметров требуется 1524 таких устройств.

Аналоговая обработка данных выполняется в 2 этапа: на первом выполняется усиление сигналов калориметра, которые имеют динамический диапазон до 16 бит с помощью специального предусилителя. Второй каскад – формирователь, имеет 2 цели. Во-первых, он необходим для преобразования выходного сигнала схемы предварительного усилителя в дифференциальный выходной сигнал с несколькими коэффициентами усиления, а во-вторых, для получения по крайней мере одного этапа формирования в соответствии с требованиями к обработке сигнала. При необходимости могут быть добавлены несколько эквивалентных этапов формирования с минимальными затратами энергии. Как предусилитель, так и формирователь реализовываются в одной специализированной интегральной микросхеме, способной обрабатывать 4 либо 8 калориметрических сигналов.

В дополнение к усилению и формированию сигнала необходимы некоторые периферийные схемы, такие как генератор тестовых импульсов, схема смещения, датчик температуры, а также регистры конфигурации

всего модуля.

Далее аналоговый сигнал от каждой калориметрической ячейки оцифровывается с частотой 40 МГц, синхронно с частотой соударения пучков в Большом Адронном коллайдере. Для охвата 16-битного динамического диапазона сигнал оцифровывается с двумя шкалами усиления с помощью 14-битных АЦП. Затем каждый выходной сигнал АЦП форматируется в 16-битное слово и сериализуется со скоростью передачи данных 640 Мбит/с. Каждое такое слово помимо 14 бит данных АЦП содержит бит четности для обеспечения проверки ошибок. Учитывая, что каждая плата FEB2 обрабатывает 128 калориметрических каналов, результирующая скорость передачи данных составляет 163,84 Гбит/с (256 потоков по 640 Мбит/с каждый).

Для реализации корректной синхронизации данных калориметра в модуле FEB2 предусмотрена генерация идентификатора соударения пучков(BCID – Bunch Crossing Identifier). Данный идентификатор представлен в виде 12-битного счётчика, который инкриминируется с частотой возникновения событий в коллайдере и сбрасывается после каждого завершения цикла столкновений пучков частиц на орбите. Значение BCID, как и данные АЦП сериализуются и передаются в систему задетекторной электроники через оптический канал.

Кроме основного тракта данных в модуле FEB2 присутствует подсистема, которая обеспечивает формирование входных данных для платы LTDB(LAr Trigger Digitizer Board). Данная плата обрабатывает аналоговые суммы сигналов для максимально быстрого принятия решения триггерной системы, но с более грубой детализацией, чем обеспечивается основным считыванием. Модуль FEB2 имеет набор сумматоров, которые формируют требуемые аналоговые сигналы сумм по соседним ячейкам калориметра.

### 1.2.2 Система подготовки данных для триггера

В целях получения как можно более быстрого решения триггерной системы, пусть даже и менее точного, в считающей электронике жидкокарбоновых калориметров ATLAS предусмотрена система подготовки и передачи энергетических сумм по частям детектора в триггер. Такие

сигналы генерируются в модуле FEB2, после чего в аналоговом виде отправляются на плату оцифровки триггера LTDB. Каждая такая плата способна обрабатывать до 320 сигналов, оцифровывая их с помощью 80 12-битных четырёхканальных АЦП[4]. Далее эти значения передаются на двадцать сериализаторов, реализованных в виде интегральных схем специального назначения, которые формируют 40 выходных потоков с объёмом данных 5,12 Гбит/с каждый для их отправки по волоконно-оптическим каналом связи в систему LDPS (LAr Digital Processing System). Всего в системе считающей электроники предусмотрено 124 модуля LTDB, которые, соответственно, суммарно генерируют поток данных со скоростью примерно 25 Тбит/с.

Управление и мониторинг системы оцифровки данных триггера осуществляется по каналам связи 5 Гбит/с, подключенным через интерфейс обмена данными между фронтенд подключениями FELIX (Front-End LInks eXchange) в систему сбора данных и триггера ATLAS TDAQ (Trigger and Data Acquisition).

Обработанные в LTDB данные затем передаются в систему цифровой обработки LDPS, которая преобразует измерения АЦП в откалиброванные значения энергии в режиме реального времени. Система построена с использованием мезонинных плат расширений AMC (Advanced Mezzanine Card), которые выполняют точное восстановление энергии и определение настоящего времени столкновения пучков. Для реализации данных функций в платах расширения применяются программируемые логические интегральные схемы (ПЛИС) Altera Arria-10.

### 1.2.3 Калибровочная система

Важной частью фронтенд электроники является калибровочная система. С помощью специальных плат реализуется подача точных калибровочных сигналов непосредственно на ячейки жидкогоаргонового калориметра. Форма калибровочного сигнала максимально приближена к импульсу ионизации, генерируемому электромагнитным ливнем в детекторе. В силу того, что получить истинно треугольный сигнал с помощью электронной схемы достаточно трудно, первоначально создаётся экспоненциальный импульс, у которого обрезается область затухания для максимального

приближения к желаемой треугольной форме, по крайней мере, в начальной части импульса. Для компенсации остаточной разницы в форме между физическим импульсом ионизации и калибровочным сигналом производится непосредственное измерение свойств последнего для их учёта в процедуре калибровки.

## 2 Сигнальный процессор жидкого аргона (LASP)

Основным элементом задатчиком считывающей электроники жидкого аргона калориметра детектора ATLAS в рамках второй фазы обновления являются модули сигнального процессора LASP (Liquid Argon Signal Processor). Они предназначены для принятия оцифрованных данных с модулей FEB2 и применения к ним цифровой фильтрации, их буферизации до появления сигнала триггера и последующей передачи в систему сбора данных DAQ. Также система LASP обеспечивает подготовку входных данных для таких систем, как глобальный триггер и fFEX(forward Feature EXtractor). Система глобального триггера будет получать значения энергий только от тех ячеек, которые превышают заданный порог, определённый относительно общего шума. Таким образом, полосой пропускания данных можно управлять, сохраняя при этом достаточную количество информации для кластеризации событий.

Сигнальные процессоры рассчитаны на приём непрерывного потока оцифрованных данных с плат FEB2 на частоте соударения пучков частиц в Большом Адронном коллайдере (фактическая частота составляет 40.07897 МГц) для всех 182486 ячеек жидкого аргона калориметра. Каждый модуль будет получать исходные данные с 8 плат FEB2, то есть с 1024 калориметрических ячеек. В настоящее время ведётся активная разработка этой системы.

Модули LASP требуют высокой пропускной способности ввода и вывода, а также возможности гибкого программирования алгоритмов обработки данных, цифровой фильтрации и сокращения объёма данных, поэтому в качестве основных вычислительных блоков LASP предусмотрены программируемые интегральные микросхемы. На плате каждого модуля будет располагаться 2 таких чипа для увеличения пропускной способности. Внутренняя структура дизайна программируемой логики представлена на рисунке 7.

Основными модулями сигнального процессора LASP являются:

- интерфейс нижнего уровня Lolli;
- система медленного контроля Sctrl;

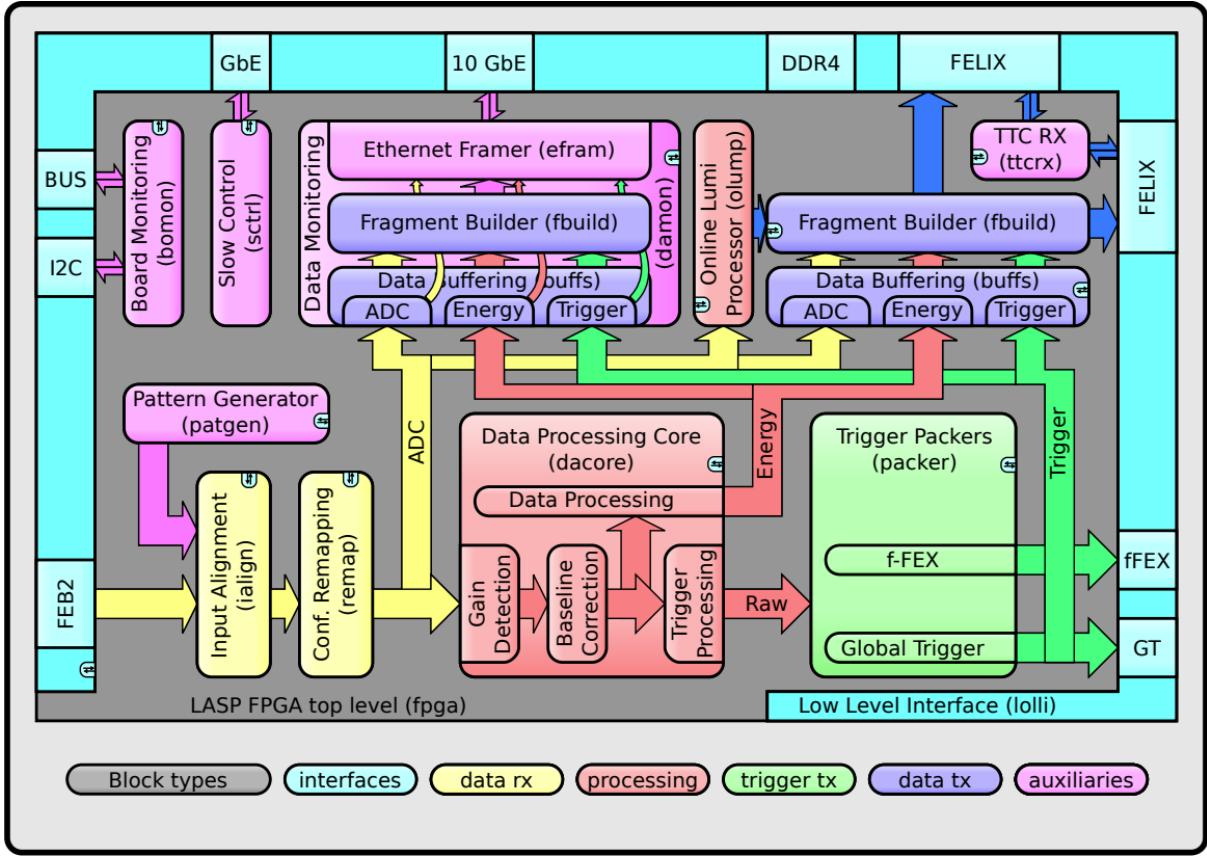


Рис. 7: Блок схема архитектуры сигнального процессора LASP

- генератор тестовых сигналов Patgen;
- выравниватель входных данных Ialign;
- модуль конфигурируемой перестановки Remap;
- ядро обработки данных Dacore;
- процессор онлайн светимости Olump;
- упаковщик триггерных данных Packer;
- блок буферов Buffs;
- модуль форматирования данных Fbuild;
- модуль мониторинга данных Damon;
- монитор состояния аппаратуры Bomon.

Для работы сигнального процессора используется целый набор различных тактовых сигналов. Среди основных можно выделить:

- $f_{feb}$  – тактовая частота, синхронно с которой поступают входные данные с системы FEB2. Имеет фиксированное значение 320 МГц;
- $f_{core}$  – тактовая частота, синхронно с которой происходит непосредственная обработка данных. В зависимости от конфигурации может быть либо 320 МГц – так называемая медленная опция, либо 480

МГц – быстрая опция;

- $f_{sctrl}$  – тактовая частота, на которой функционирует интерфейс медленного контроля. Непосредственное значение составляет 100 МГц.
- $f_{xgbe}$  – тактовая частота, необходимая для приёма и отправки данных через 10 Гбит Ethernet порт(X Gigabit Ethernet). Является стандартной для такого порта и составляет 156,25 МГц.

Также в системе присутствует ещё несколько вспомогательных тактовых сигналов, необходимых для работы DDR4 интерфейса и TTC RX.

### **Интерфейс нижнего уровня Lolli**

Базовым модулем системы LASP, с помощью которого осуществляется взаимодействие с внешним миром, является интерфейс нижнего уровня Lolli. Данная подсистема содержит реализации всех необходимых низкоуровневых внешних интерфейсов:

- FEB2;
- Gigabit Ethernet;
- 10 Gigabit Ethernet;
- DDR4 SDRAM;
- I2C;
- Custom BUS;
- fFEX;
- FELIX;
- Global Trigger.

При возможности, все интерфейсы из Lolli в программируемую логику спроектированы с использованием стандартных потокового интерфейса Avalon Stream (AVST) и интерфейса, отображаемого на память Avalon Memory Mapped (AVMM). Это позволяет иметь четко определённые и документированные стандартные интерфейсы между каждым компонентом LASP.

### **Система медленного контроля Sctrl**

Для реализации возможности управления всеми компонентами сигнального процессора, а также их соединения с внешним миром предусмотрена система медленного контроля Sctrl. Она позволяет пользователю загружать или изменять все доступные пользователю параметры кон-

фигурации, а также иметь доступ ко всем регистрам мониторинга и состояния любого модуля в режиме реального времени.

Компонент Sctrl использует внешний канал связи Gigabit Ethernet, реализованный в интерфейсе Lolli. Для общения с внутренними модулями используется AVMM интерфейс. Специально для интерфейса медленного контроля каждый модуль имеет набор выделенных регистров, в которых хранятся либо какие-нибудь параметры, либо данные о состоянии или некоторая статистика. Между этими регистрами есть глобальное разделение адресного пространства, через которое Sctrl и способно достичься к конкретным модулям.

### **Генератор тестовых данных Patgen**

В целях отладки системы в общей структуре реализован генератор тестовых данных Patgen. С его помощью можно осуществлять ввод определяемых пользователем значений АЦП для обработки вместо данных, поступающих от FEB2. Такая возможность используется для тестирования системы и проверки основного функционала независимо от реальных данных с FEB2. Для корректной отладки с помощью Patgen в него заложены следующие свойства:

- данные, генерируемые Patgen имеют ту же структуру, что и данные из FEB2;
- Patgen способен имитировать рассинхронизацию между каналами данных(сдвиг по идентификатору пучка);
- каждый канал имеет независимый источник данных;
- имеется возможность выбирать между двумя возможными источниками данных(Patgen или FEB2) для каждого канала данных в отдельности;
- данные генерируются непрерывно циклическим образом, повторение происходит синхронизированно с циклом пучков на орбите.

Для снижения влияния на процесс компиляции системы целиком в проектирование генератор тестовых сигналов заложен принцип минимизации занимаемых логических ресурсов. В следствие этого, Patgen имеет две версии реализации:

- на основе оперативной памяти: в этой версии используются данные, хранимые во внутренней оперативной памяти ПЛИС, записанные

- через интерфейс медленного контроля. Такой подход даёт большую гибкость, но занимает большой объём памяти;
- на основе функции генерации: в этой версии данные генерируются на лету, используя определённый алгоритм.

### **Выравниватель входных данных Ialign**

Первым модулем, который непосредственно принимает входные данные, является Ialign. Он предназначен для осуществления выравнивания по времени поступающей информации с FEB2. Входной поток организован в виде кадров, содержащих данные АЦП и два идентификатора столкновения пучков для соответствующих шкал усиления, которые могут быть как идентичными, так и различными. В ходе обработки все данные АЦП выравниваются по одному BCID. При этом порядок оцифрованных значений в рамках каждого отдельного канала может изменяться, однако он не предопределён заранее – его можно настраивать индивидуально для любого потока, но идентично для парных значений по шкалам усиления.

Важная особенность обработки данных модулем Ialign – это расширение данных по временным ячейкам. То есть, по всем каналам с низкого уровня поступает по 6 значений АЦП для каждого идентификатора столкновения пучков, но данный модуль добавляет везде по 2 дополнительных значения с нулевым сигналом корректности, тем самым увеличивая число временных ячеек с данными АЦП до 8. На рисунке 8 схематично изображён выходной интерфейс компонента. Рабочей тактовой частотой для Ialign является  $f_{feb}$ , соответствующая поступающим с FEB2 данным.

### **Модуль конфигурируемой перестановки Remap**

Следующий элемент тракта данных жидкогоаргонового сигнального процессора LASP – модуль Remap. Он служит для изменения порядка данных в соответствии с геометрией детектора, ведь в силу ряда технических ограничений, информация от калориметрических ячеек, поступающая через FEB2, находится в перемешанном виде. Путём переупорядочивания данных упрощается задача вычисления сумм энергии ячеек жидкогоаргонового калориметра. Такие суммы необходимы для уменьшения полосы пропускания данных в системе fFEX. Как и в случае модуля Ialign схема перестановки не является предопределённой – каждый выходной ка-

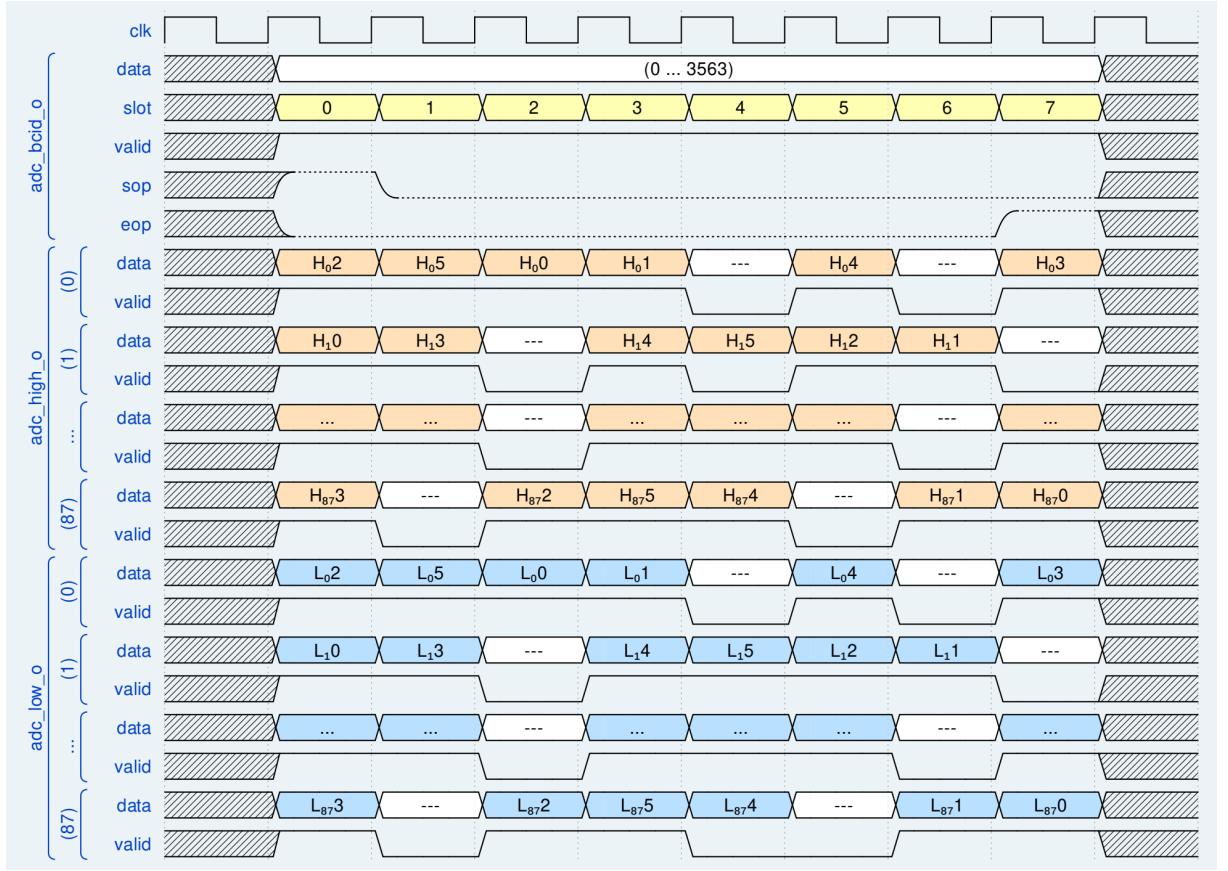


Рис. 8: Выходной интерфейс модуля Ialign

нал может быть гибко сконфигурирован согласно требованиям. Важной особенностью является то, что помимо всего прочего, компонент конфигурируемой перестановки необходим для реализации перехода данных из тактового домена  $f_{feb}$  в домен сигнала  $f_{core}$ .

Сигнальный процессор LASP может иметь одну из двух конфигураций, так называемые медленную и быструю опции. В случае медленной опции Remap принимает входной поток данных, состоящий из 88 каналов, в которых содержится по 8 значений АЦП для каждого идентификатора соударения пучка и преобразовывает его в аналогичный поток, но имеющий лишь 64 точно таких же канала. При этом тактовые частоты  $f_{feb}$  и  $f_{core}$  совпадают по величине 320 МГц, однако могут быть сдвинутыми по фазе. Реальный объём полезных данных не уменьшается, как это может показаться на первый взгляд, поскольку четверть входного трафика составляет значения без сигнала валидности, добавленные модулем ialign, а также присутствуют сигналы, поступающие с неподключенных разъёмов FEB2. В конфигурации быстрой опции та же структура входных данных преобразовывается в 43 выходных канала, каждый из которых имеет

целых 12 оцифрованных величин. Поскольку в любом варианте интервал между соседними моментами соударения пучков не изменяется и составляет 25 наносекунд, то в таком режиме тактовая частота выходной шины  $f_{core}$  пропорционально увеличена и составляет 480 МГц для обеспечения необходимой плотности данных во времени.

### **Ядро обработки данных Dacore**

Основным обрабатывающим компонентом процессора LASP является ядро обработки данных Dacore. Оно преобразовывает поступающие от модуля конфигурируемой перестановки исходные значения АЦП в соответствующие энергетические величины с помощью специальных алгоритмов. Задачи обработки можно разделить на четыре основных функции:

- определение оптимального коэффициента усиления;
- коррекция пьедестала;
- вычисление энергии, временной характеристики, а также параметра качества с оптимальным разрешением для системы хранения данных (однако вычисление параметра качества и временной характеристики выполняется только для калориметрических ячеек с выделившейся в них энергией выше заданного порога);
- вычисление энергии с уменьшенным разрешением для триггерной системы.

Следовательно, компонент Dacore обеспечивает 2 отдельных выходных потока:

1. поток для модуля упаковки данных packer, который содержит грубые энергетические значения и флаги превышения порога;
2. поток для блока буферов, содержащий для каждой калориметрической ячейки энергетическое значение, бит оптимального коэффициента усиления и флаг превышения порога. Для высокоэнергетических ячеек добавляется время импульса и значение качества импульса.

Для повышения точности данных, направляемых в систему хранения, используется дополнительная стадия обработки, реализующая алгоритмы цифровой фильтрации. С их помощью достигается восстановление энергии с точностью 1 МэВ, которая затем кодируется многолинейным способом. Для триггерных данных также предусмотрена цифровая фильтрация.

трация, предназначенная для подавления шумов и вычисление значений энергии с достаточной точностью для всех модулей принятия триггерных решений, подключенных к задетекторной электронике. Также для этих данных формируется по три бита превышения порогов, количественно описывающие переполнения фонового уровня энергии.

### **Процессор онлайн светимости Olimp**

Одним из важнейших показателей работы коллайдера является светимость. Для его расчета в системе жидкого аргона сигнального процессора предусмотрен модуль процессора онлайн светимости Olimp. Этот компонент усредняет необработанные оцифрованные значения АЦП, получаемые напрямую с модуля конфигурируемой перестановки гемар, по каждому столкновению частиц. Его задачи можно разделить на 4 основных части:

1. вычисление суммы и суммы квадратов измерений АЦП по шкале высокого коэффициента усиления для настраиваемого набора из 8 каналов. Эти величины вычисляются для каждого столкновения пучков и накапливаются по каждому набору;
2. буферизация данных АЦП по шкале высокого коэффициента усиления в течение одного полного оборота пучков на орбите Большого Адронного коллайдера. Производится это по тем же наборам каналов, которые были определены выше;
3. вычисление оценки мгновенной светимости для этих же подмножеств каналов. Эта оценка может быть использована в ядре обработки данных dacore для компенсации влияния светимости на восстановление энергетических и временных величин;
4. сжатие без потерь значений сумм и сумм квадратов оцифрованных сигналов АЦП.

### **Упаковщик триггерных данных Packer**

Подготовка энергетических значений для их последующей передачи в триггерные системы задетекторной электроники осуществляется силами упаковщика триггерных данных Packer. Задачи этого компонента заключаются в следующем:

- группировка данных, полученных с ядра обработки данных;
- кодирование энергий с использованием многолинейного кодирова-

ния и их передача в системы глобального триггера и fFEX;

- отправка данных в блок буферов;
- отправка данных в модуль damon.

Поток выходных данных для систем глобального триггера и fFEX состоит из кадров, которые содержат информацию о текущем соударении пучков. Помимо этого, в выходном канале требуется отправка служебных кадров, которые не содержат непосредственно полезные данные, а несут различную идентификационную информацию, необходимую, например, для синхронизации.

### **Блок буферов Buffs**

После обработки данные не сразу отправляются в систему хранения, а некоторое время ожидают соответствующего им триггерного сигнала в блоке буферов Buffs. Буферизации подлежат все имеющиеся данные: изначальные значения АЦП, обработанные энергетические величины и триггерные данные, полученные от компонентов конфигурируемой перестановки гемар, ядра обработки dacore и упаковщика packer соответственно. Время хранения информации требуется не меньшее, чем задержка триггера, которая составляет около 10 мкс.

### **Модуль формирования данных Fbuild**

Последний этап обработки данных – формирование из готовых значений фрагментов, пригодных к отправке в FELIX через интерфейс нижнего уровня Lolli. Эта задача выполняется с помощью модуля формирования данных Fbuild. Генерируемый формат данных может варьироваться в зависимости от назначения:

- сбор данных;
- калибровка;
- отладка;
- тестирование системы;
- ввод в эксплуатацию.

Данные, содержащиеся во фрагментах, представляют собой исходные данные АЦП или энергетические значения и связанные с ними биты валидности и качества, а также данные, отправляемые в системы глобального триггера и fFEX. Формат кадра может потребовать отправки определённых или всех этих типов данных. Кроме того, можно выбирать

один или несколько потоков выходных данных, хотя обычно используются все.

### **Модуль мониторинга данных Damon**

Кроме системы хранения данных результаты обработки могут передаваться на модуль мониторинга данных Damon. Он обеспечивает низкоскоростной канал мониторинга исходных, обработанных и триггерных данных. Эти собранные значения буферизируются до тех пор, пока не будет принято решение о том, отправлять ли их для мониторинга или нет. В конечном итоге, отобранная информация форматируется в Ethernet кадры, которые отправляются на порт XGbE интерфейса нижнего уровня Lolli. Компонент Damon предполагает реализацию двух возможных режимов работы:

1. режим мониторинга: в этом режиме осуществляется полный сбор всех входящих данных всех ячеек, которые передаются лишь по определённому условию, например, получению сигнала триггера. Частота передачи этой информации ограничена пропускной способностью внешнего интерфейса(XGbE);
2. режим прямой трансляции: в этом режиме производится непрерывные сбор и отправка всех входных данных, но лишь для небольшого числа ячеек. Ячейки, которые транслируются в текущий момент, определяются конфигурацией. Количество ячеек, участвующих в режиме трансляции ограничено пропускной способностью внешнего интерфейса(XGbE).

### **Монитор состояния аппаратуры Bomon**

Отдельным модулем, который не является частью тракта обработки данных жидкогоаргоновых калориметров детектора ATLAS, однако имеет очень важное значение в функционировании жидкогоаргонового сигнального процессора LASP можно выделить монитор состояния аппаратуры bomon. Модуль взаимодействует с устройствами, подключенным к ПЛИС через интерфейс I2C и микросхемой контроллера управления платформой IPMC (Intelligent Platform Management Controller). Bomon собирает и передаёт информацию о состоянии внутреннего оборудования ПЛИС LASP, такую как температуру, токи и напряжения, а также считывает информацию с каждого из подключенных электрооптических модулей.

Стоит отметить, что представленная на рисунке 7 блок схема является не совсем точной, поскольку в реальности структура прошивки жидкогоаргонового сигнального процессора более сложная и состоит из целого набора таких систем. Полная схема архитектуры модуля LASP изображена на рисунке 9.

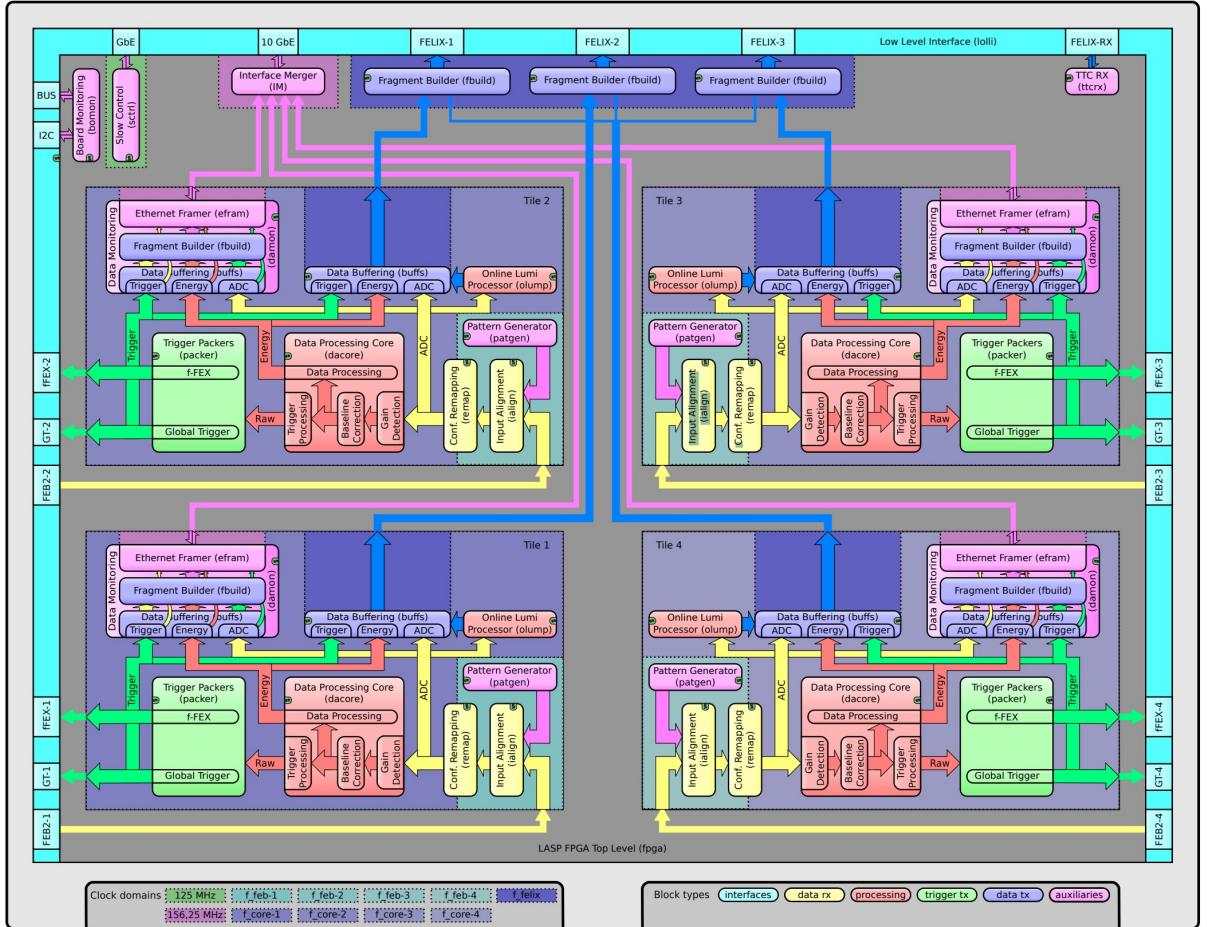


Рис. 9: Полная блок схема архитектуры сигнального процессора LASP

Из схемы видно, что входной поток данных разбивается на 4 независимые части, которые обрабатываются в отдельных подсистемах, изолированно друг от друга. Это сделано благодаря тому, что в данные из каждой части приходят из разных плат FEB2, между которыми не требуется производить перекрестные операции (например, вычислять энергетические суммы по частям калориметра, поступающих на разные модули FEB2). Такой подход позволяет значительно упростить логику каждой подсистемы и улучшить общую разводимость и использование логических ресурсов всей системы на ПЛИС, поскольку разместить несколько

меньших независимых модулей проще, чем один большой, выполняющий те же операции. В добавок к описанным модулям в полной структуре добавляется объединитель Ethernet интерфейсов, который преобразует набор поступающих выходных интерфейсов с компонентов мониторинга данных damon в единый интерфейс, который затем отправляется наружу через lolli.

### 3 Цель и задачи работы

Главной целью данной работы является разработка блока упаковки данных для системы FEX модуля сигнального процессора LASP жидкокарбонового калориметра детектора ATLAS. Эта подсистема состоит из пары связки компонентов, а именно упаковщика данных packer для системы fFEX и модуля конфигурируемой перестановки гемар. То есть по каждому из компонентов необходимо проработать их внутреннюю архитектуру, после чего реализовать на языке описания цифровой логики, что также подразумевает под собой:

- написание синтезируемых блоков логической аппаратуры;
- создание симуляционного окружения и отладка разработанной структуры;
- компиляция модулей под целевую платформу;
- проверка и оптимизация занимаемых логических ресурсов и временных задержек.

Помимо работы по непосредственной реализации указанных компонентов сигнального процессора LASP необходимо разработать:

- программное обеспечение для автоматической генерации конфигураций модуля гемар;
- формат кадра протокола передачи данных из модуля packer сигнального процессора LASP в систему fFEX.

В рамках проекта LASP коллaborации ATLAS принято использовать для работы язык описания аппаратуры VHDL. В качестве наиболее возможной потенциальной микросхемы ПЛИС на данный момент рассматривается кристаллы от компании Intel, принадлежащие высокопроизводительному семейству Stratix, а именно Intel Stratix 10 SX 1SX280HU1F50E2VG, являющийся системой на кристалле, имеющей наряду с программируемой логикой также производительный процессор ARM A53 или Intel Stratix 10 MX 1SM21BH1F53E2VG. Поскольку целевым устройством в любом случае является продукция Intel, то, соответственно, в качестве инструмента разработки ключевую роль занимает программное обеспечение Intel Quartus Prime. Также, в рамках данного проекта применяется симулятор цифровых логических схем QuestaSim.

## 4 Модуль конфигурируемой перестановки (Remap)

Модуль Remap является частью жидкогоаргонового сигнального процессора LASP (рис. 10) и в первую очередь предназначен для организации упорядочивания входных данных в соответствии с геометрией детектора.

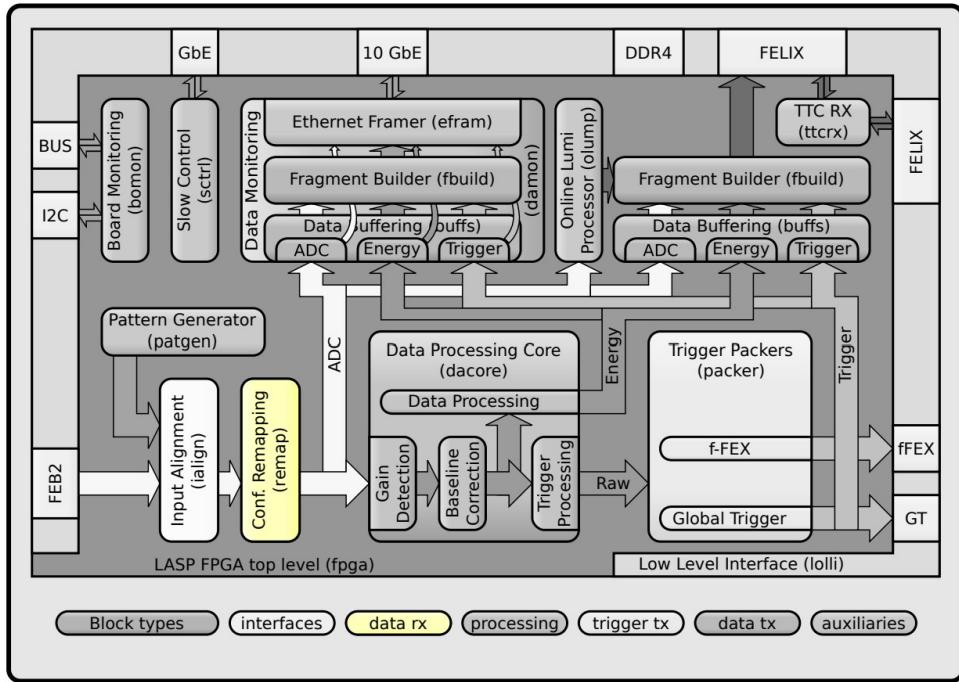


Рис. 10: Схема расположения модуля Remap в общей структуре сигнального процессора LASP

Remap компонент должен реализовывать приём поступающей информации и формировать из неё набор выходных каналов данных, в каждом из которых обязаны передаваться значения АЦП, выбранные из входных каналов в соответствии с установленной конфигурацией, в определённом порядке, также согласно конфигурации. Требование конфигурируемости через интерфейс медленного контроля является очень важным, поскольку для обработки огромного потока данных с калориметров предполагается размещение значительного количества модулей LASP, в каждом из которых схема перестановок может отличаться. Более того, даже в рамках одной системы располагается несколько таких экземпляров, так что настройка параметров каждого модуля на этапе компиляции совершенно

не приемлема.

Как упоминалось ранее, сигнальный процессор LASP проектируется в двух вариантах, так называемые медленная и быстрая опции. В любом варианте система работает с 88 входными каналами, поступающими на частоте  $f_{feb} = 320$  МГц, которые преобразовываются либо в 64, либо в 43 выходных канала данных соответственно, передающихся на частоте  $f_{core}$ . Это преобразование производится непосредственно с помощью модуля Remap, таким образом, следующим важным требованием является реализация корректного перевода сигналов между тактовыми доменами. Кроме того, поскольку LASP является системой, передающей данные в триггер, то существуют конкретные ограничения по задержке данных: 1,6 времени между столкновениями пучков или 40 нс.

## 4.1 Архитектура модуля

Основополагающим подходом в проектировании модуля конфигурируемой перестановки Remap является создание таких элементарных устройств, которые способны принимать на вход весь требуемый объём данных и формировать из него лишь один выходной канал. Это обеспечивает высокую гибкость в масштабировании, поскольку в таком случае реализация необходимого количества выходных каналов достигается простой репликацией подобных структур, как это показано на рисунке 11.

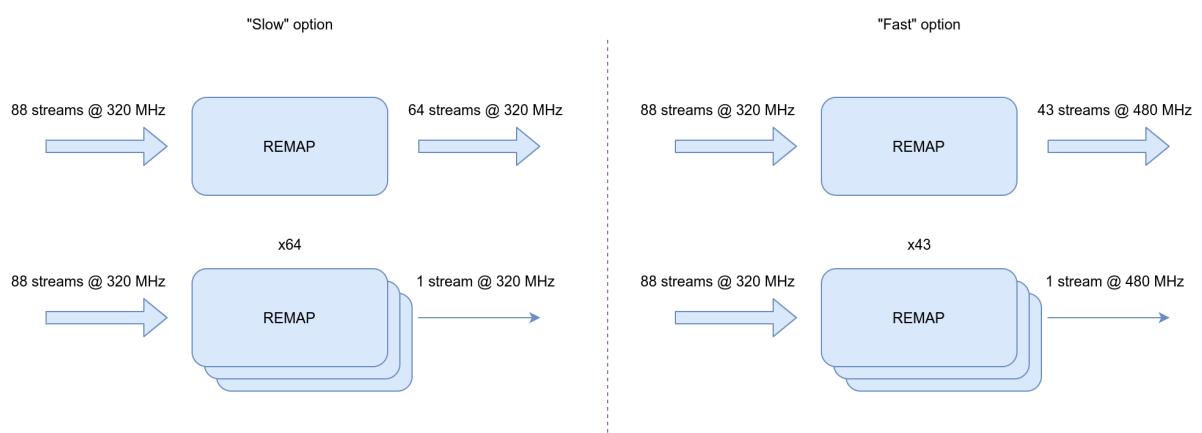


Рис. 11: Схема формирования необходимого количества выходных каналов  
ПЕРЕРИСОВАТЬ

Стоит отметить, поскольку входной поток данных разбивается на 4 независимые части, обрабатывающиеся отдельно, каждый модуль Remap должен принимать лишь 22 канала и формировать 16 или 11 выходов, в зависимости от варианта сигнального процессора LASP.

В ходе разработки было спроектировано и реализовано два различных варианта архитектуры базового элемента модуля Remap: с модулем синхронизации тактовых доменов, а также архитектура, основанная на FIFO памяти.

Во всех вариантах архитектуры можно выделить три основных этапа обработки:

- предварительная перестановка данных в рамках каждого входного канала;
- извлечение из потока интересующих значений и их запись в некоторую память;
- чтение сохранённых данных из памяти в корректном порядке.

Первый этап обработки реализуется с помощью внешнего модуля Ialign и заключается в переупорядочивании значений АЦП в пределах каждого отдельного канала данных. Для корректной работы Remap компонента требуется подобрать такую конфигурацию этих перестановок по всем каналам, чтобы значения, предназначенные для любого выходного канала не пересекались по времененным ячейкам.

На втором этапе данные поступают на мультиплексор, который захватывает лишь один канал на каждом из тактов. Именно для этой операции и требуется условие первого этапа – если одновременно несколько входных каналов будут содержать значения, предназначенные для одного выходного, то часть данных будет просто пропущена. Это ограничение особенно важно для варианта сигнального процессора LASP с медленной опцией: как на входных интерфейсах, так и на выходных для каждого столкновения пучков передаётся по 8 величин, поэтому крайне необходимо, чтобы на каждом такте было доступно нужное значение. В быстрой опции выходной интерфейс имеет по 12 ячеек с данными, что вынуждает размещать два мультиплексора, ведь одного не будет достаточно в любом случае. В таком раскладе допускается одновременное наличие не более двух активных каналов для каждого базового блока модуля

конфигурируемой перестановки. Извлечённые из общего потока значения, предназначенные для определённого выходного канала, временно буферизируются в памяти.

После накопления всех необходимых значений АЦП их необходимо переупорядочить, что осуществляется просто путём считывания данных в требуемой последовательности, согласно конфигурации. Стоит отметить, что буферизация данных в памяти позволяет обеспечить их безопасный переход из тактового домена  $f_{feb}$  в домен  $f_{core}$ .

#### 4.1.1 Архитектура с модулем синхронизации тактовых доменов

Первый вариант архитектуры компонента Remap, содержащий специальный модуль синхронизации тактовых доменов, представлен на рисунке 12.

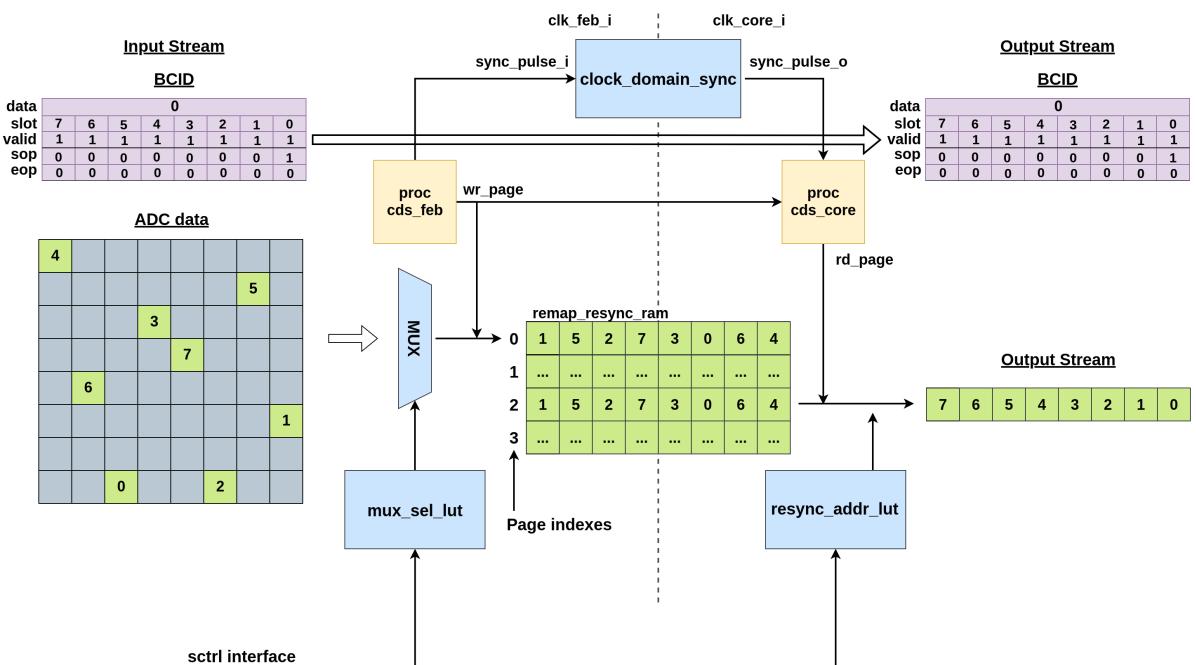


Рис. 12: Схема архитектуры модуля Remap с модулем синхронизации тактовых доменов ПЕРЕВЕСТИ

Основной особенностью этой архитектуры является то, что в качестве буфера для мультиплексированных данных используется блок двухпортовой RAM памяти. Эта память разбита на несколько страниц, каждая

из которых имеет размер, достаточный для хранения захваченной информации, относящейся к одному столкновению пучков. Чтение данных из страницы начинается лишь только после её полного заполнения записывающей стороной. Для синхронизации процессов считывания и записи предусмотрен следующий механизм: по завершению заполнения страницы памяти записывающая логика генерирует импульс шириной в один такт и отправляет его на вход специального модуля. Внутри этого модуля расположены два счётчика, работающие на тактовых частотах  $f_{feb}$  и  $f_{core}$ , которые ведут счёт в диапазоне количества временных ячеек для каждого BCID. В рабочем режиме первый настроен так, чтобы обнуляться одновременно с поступлением синхросигнала от записывающей логики, а второй с задержкой около такта  $f_{feb}$  после первого. При завершении цикла работы второго счётчика формируется выходной сигнал синхронизации, который поступает к считающей логике и означает, что очередная страница в двухпортовой памяти заполнена полностью и можно безопасно извлекать из неё данные. Если вдруг синхронизация сбьётся и синхросигнал от системы записи придет не вовремя, то модуль это обнаружит и перейдёт в режим восстановления синхронизации. Часть данных после сбоя синхронизации будет утеряно, но через некоторое время система автоматически восстановится и продолжит работать исправно.

Описанная архитектура была реализована на языке описания цифровой логики VHDL и отлажена. По результатам тестирования в симуляторе она подтвердила свою работоспособность. Однако такой подход имеет ряд недостатков, главным из которых является необходимость передавать целый набор сигналов( такие как номер текущей страницы, индекс столкновения пучка, а также ряд вспомогательных сигналов внутри модуля синхронизации тактовых доменов) между тактовыми доменами  $f_{feb}$  и  $f_{core}$  вручную, используя схемы на двух регистрах. Для корректной организации таких переходов требуется тонкая ручная настройка временных ограничений, реализуемая путём составления специальных указаний синтезатору физической схемы, входящему в состав программного комплекса Intel Quartus Prime. Это значительно усложняет весь проект и делает его гораздо менее гибким. После возникновения проблем с разводимостью логики проекта LATOME, который является основой задетекторной элек-

троники эксперимента ATLAS, разработанной в рамках предшествующей фазы обновления детектора, командой разработчиков сигнального процессора LASP было принято решение максимально избегать подобные способы перехода между тактовыми доменами. Кроме того, данный вариант является довольно путанным и сложным для понимания в деталях. Учитывая все эти недостатки, было решено разработать альтернативную архитектуру модуля Remap.

#### 4.1.2 Архитектура, основанная на FIFO

Второй вариант архитектуры компонента Remap, содержащий память FIFO, представлен на рисунке 13.

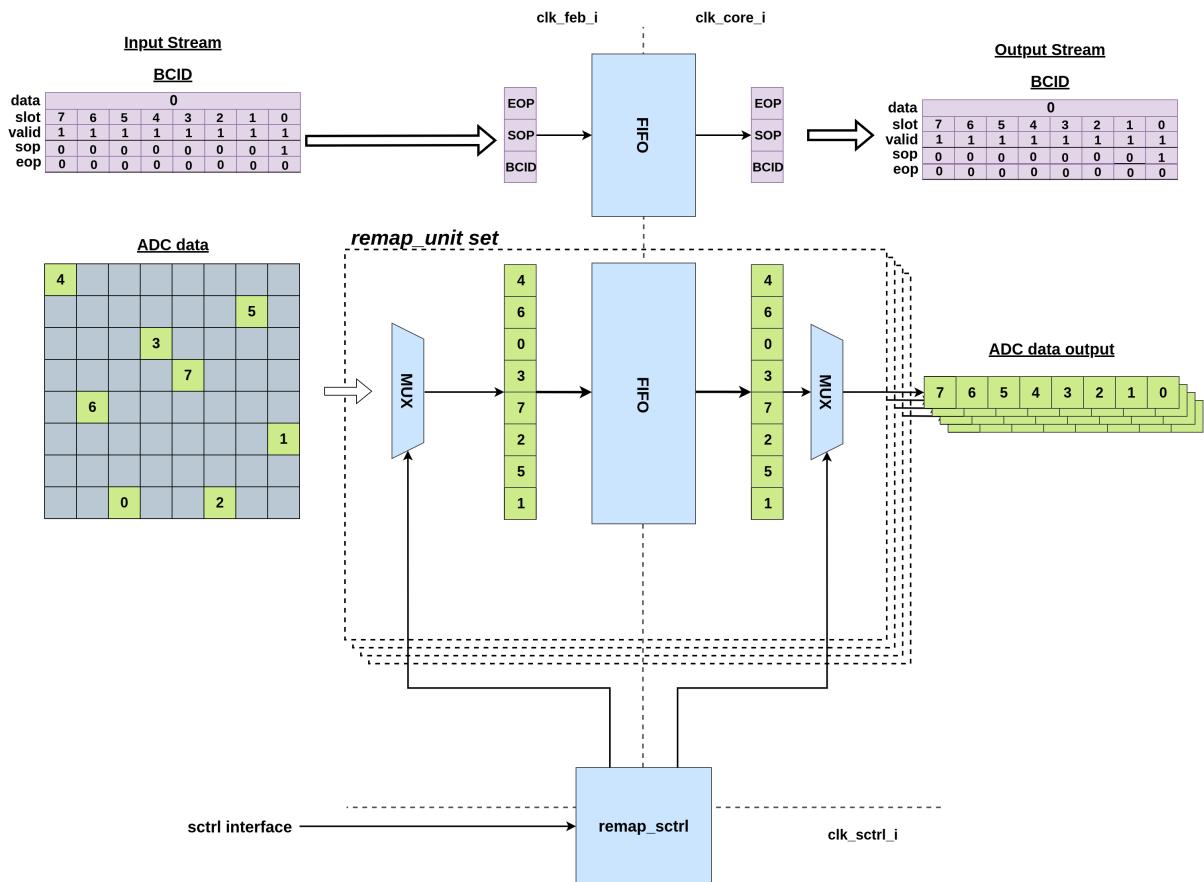


Рис. 13: Схема архитектуры модуля Remap, основанной на FIFO ПЕРЕВЕСТИ

В рамках данного подхода в качестве буфера для мультиплексированных данных является память FIFO (First In First Out). Такая структура состоит из двухпортовой памяти, двух счётчиков адреса и двух автоматов

для чтения и записи данных и является одним из ключевых элементов цифровой схемотехники. Одно из самых распространённых применений такой памяти, помимо буферизации информации – это реализация перехода данных между тактовыми доменами. Поскольку такая память используется невероятно часто в проектировании логических схем, то существует множество готовых вариантов их реализации, в том числе и от разработчиков самих микросхем ПЛИС и соответствующего программного обеспечения для автоматического проектирования, в том числе и от Intel. В случае использования такого готового блока FIFO не требуется ручное написание временных ограничений, что избавляет от потенциальных проблем на этапе синтеза цифровой схемы всего проекта.

Однако, одна из основных особенностей FIFO – это сохранение порядка записываемых данных, что не позволяет реализовать последний этап работы модуля Remap. Для решения данной задачи используется подход, при котором данные с мультиплексора поступают не напрямую на вход FIFO, а записываются в один большой регистр, достаточного размера для одновременного хранения всех мультиплексированных данных в рамках текущего столкновения пучков. Для наиболее оптимального использования логических ресурсов этот регистр является сдвиговым, то есть каждый тakt новое значение поступает в начало, после чего оно смешается дальше. Только после полного заполнения этого регистра актуальными величинами, данные одним большим словом записываются в FIFO. Считывающая логика, после обнаружения данных на выходе FIFO, имеет доступ сразу ко всем значениям и может извлекать их последовательно в необходимом порядке.

В целях минимизации латентности необходимо, чтобы поступающие в FIFO данные сразу же были доступны для чтения, то есть требуется не допускать его заполнения. Поскольку запись и извлечение идёт с одной и той же скоростью, важно важно сделать так, чтобы считающая система начала работу как минимум не позднее записывающей. Это достигается правильным управлением сигналами сброса: после старта сигнального процессора LASP сначала должен сняться сброс, синхронный с тактовым доменом  $f_{core}$ , а уже затем  $f_{feb}$ .

**4.2 Конфигурирование через интерфейс медленного  
контроля**

**4.3 Реализация**

**4.4 Программное обеспечение**

## **5 Модуль упаковки данных (Packer)**

### **5.1 Протокол передачи данных fFEX**

# **Заключение**

## Список литературы

1. ATLAS Liquid Argon Calorimeter Phase-II Upgrade Technical Design Report. — <https://cds.cern.ch/record/2285582/files/ATLAS-TDR-027.pdf>.
2. Particle shower, Wikipedia. — [https://en.wikipedia.org/wiki/Particle\\_shower](https://en.wikipedia.org/wiki/Particle_shower).
3. Liquid Argon Calorimeter Technical Design Report. — <https://cds.cern.ch/record/331061/files/CERN-LHCC-96-41.pdf>.
4. Design and Evaluation of LAr Trigger Digitizer Board in ATLAS Phase-I Upgrade. — <https://arxiv.org/pdf/1806.08046.pdf>.