

**Министерство науки и высшего образования Российской Федерации  
Федеральное государственное автономное образовательное  
учреждение высшего образования «Новосибирский национальный  
исследовательский государственный университет»  
Физический факультет**

Кафедра ФИЗИКО-ТЕХНИЧЕСКОЙ ИНФОРМАТИКИ  
Направление подготовки 03.04.02 ФИЗИКА

**Аннотация  
к выпускной квалификационной работе**

Андреева Андрея Андреевича

«Блок упаковки данных для системы FEX модуля LАSP жидкоаргонового  
калориметра детектора АТLАS»

Эксперимент АТLАS – один из четырёх основных на Большом адронном коллайдере (БАК). Эксперимент проводится на одноимённом детекторе, предназначенном для исследования протон-протонных столкновений и столкновений тяжелых ионов. С помощью детектора АТLАS регистрируются данные, которые используются для дальнейшего изучения свойств бозона Хиггса, поиска суперсимметричных частиц и широкого набора других задач. Также одним из важнейших направлений исследований являются попытки обнаружить физические явления, лежащие за пределами Стандартной Модели.

Одной из основных подсистем детектора АТLАS является система жидкоаргоновых калориметров. В рамках второй фазы её модернизации ведётся проектирование совершенно новой системы считывающей электроники, которая будет установлена в период третьего длительного отключения БАК (2024 – 2026 гг.), что позволит существенно повысить мгновенную светимость до  $7,5 \cdot 10^{34} \text{ см}^{-2} \text{ с}^{-1}$ . Важным компонентом новой считывающей электроники является модуль сигнального процессора LАSP (Liquid Argon Signal Processor), с помощью которого реализуется первичная цифровая обработка оцифрованных данных. LАSP проектируется на базе микросхем программируемой логики (ПЛИС).

В ходе данной работы велась разработка блока упаковки данных для системы FEX (Feature EXtractor) сигнального процессора LАSP, в состав которого входят модули конфигурируемой перестановки гетар и упаковщик триггерных данных racker. В результате для модуля гетар были реализованы и встроены в общий проект сигнального процессора синтезируемые блоки цифровой логики, подготовлено симуляционно окружение для моделирования его поведения и проведена компиляция под целевую аппаратную платформу. Кроме того, создан прототип программного обеспечения для автоматической генерации конфигураций перестановок для восстановления порядка данных в соответствии с геометрией детектора. Также разработан набор вариантов протокола упаковки данных в кадры для системы fFEX (forward Feature EXtractor) и синтезируемый прототип модуля упаковки триггерных данных racker для этой системы. Реализация блоков цифровой аппаратуры велась с помощью языка описания логических схем VHDL.

\_\_\_\_\_ / \_\_\_\_\_

« \_\_\_\_\_ » \_\_\_\_\_ 2022 г.