

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ

«НОВОСИБИРСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ГОСУДАРСТВЕННЫЙ
УНИВЕРСИТЕТ» (НОВОСИБИРСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ, НГУ)

Факультет ФИЗИЧЕСКИЙ

Кафедра ФИЗИКО-ТЕХНИЧЕСКОЙ ИНФОРМАТИКИ

Магистерская программа ИНФОРМАЦИОННЫЕ ПРОЦЕССЫ И СИСТЕМЫ

Направление подготовки 03.04.02 ФИЗИКА

Образовательная программа МАГИСТРАТУРА

ВЫПУСКНАЯ КВАЛИФИКАЦИОННАЯ РАБОТА

Андреев Андрей Андреевич

(Фамилия, Имя, Отчество автора)

Тема работы Блок упаковки данных для системы FEX модуля LASP жидкогоаргонового
калориметра детектора ATLAS

«К защите допущен»

Декан ФФ НГУ

д. физ.-мат. наук

зав. лаб. 3-2 ИЯФ СО РАН

Блинов В.Е. /

(фамилия, И., О.) (подпись, МП)

« » 2022 г.

Научный руководитель

канд. техн. наук

зав. сек. 3-12 ИЯФ СО РАН

Жуланов В.В. /

(фамилия, И., О.) (подпись, МП)

« » 2022 г.

Дата защиты: « » 2022 г.

Новосибирск, 2022

Содержание

Введение	3
1 Детектор ATLAS	4
1.1 Система жидкогоаргоновых калориметров	4
1.1.1 Электромагнитный калориметр	5
1.1.2 Торцевой адронный калориметр	7
1.1.3 Форвард калориметр	9
1.2 Считывающая электроника	10
1.2.1 Модуль FEB2	11
1.2.2 Система подготовки данных для триггера	13
1.2.3 Калибровочная система	14
2 Сигнальный процессор жидкогоаргонового калориметра (LASP)	16
3 Цель и задачи работы	30
4 Модуль конфигурируемой перестановки (remap)	32
4.1 Архитектура модуля	33
4.1.1 Архитектура с модулем синхронизации тактовых доменов	35
4.1.2 Архитектура, основанная на FIFO	37
4.2 Конфигурирование через интерфейс медленного контроля	40
4.3 Реализация	42
4.3.1 Симуляция	42
4.3.2 Синтез	44
4.4 Программное обеспечение	45
5 Модуль упаковки данных (packer)	48

Заключение **50**

Список литературы **52**

Введение

ATLAS – это один из четырёх основных экспериментов на Большом Адронном коллайдере (БАК). Эксперимент проводится на одноимённом детекторе, предназначенном для исследования протон-протонных столкновений и столкновений тяжелых ионов. Экспериментальные данные, полученные на многоцелевом детекторе ATLAS, используются для дальнейшего изучения свойств бозона Хиггса, поиска суперсимметричных частиц и широкого набора других задач.

В рамках второй фазы обновления системы жидкогоаргоновых детекторов ATLAS ведётся проектирование совершенно новой системы считывающей электроники, которая будет установлена в период третьего длительного отключения БАК (2024 – 2026 гг.). Это позволит расширить возможности эксперимента после модернизации Большого Адронного коллайдера, в результате которой ожидается значительное повышение мгновенной светимости до $7,5 * 10^{34} \text{ см}^{-2} \text{ с}^{-1}$ с целью обеспечения интегральной светимости 4000 фб^{-1} через период около 12 лет. Это позволит использовать БАК для исследования “новой физики”, лежащей за границами Стандартной Модели.

Важным компонентом новой считывающей системы будет являться сигнальный процессор LASP (Liquid Argon Signal Processor), реализующий приём оцифрованных сигналов, цифровую фильтрацию и буферизацию данных до момента принятия решения триггерной системы. В основе данного модуля будет работать микросхема программируемой логики (ПЛИС). В настоящее время ведётся активная разработка этого процессора, частью которой является данная работа.

1 Детектор ATLAS

Детектор ATLAS является детектором общего назначения, предназначенному для изучения протон-протонных столкновений, а также столкновений тяжелых ионов. С помощью ATLAS проводится широкий спектр исследований в области физики элементарных частиц; от поиска бозона Хиггса до попыток обнаружения частиц, которые могут составлять тёмную материю. Кроме того, одним из важнейших направлений является поиск новых физических явлений, которые не описываются стандартной моделью.

ATLAS охватывает приблизительно 99% всего телесного угла вокруг точки столкновения и состоит из множества подсистем, в том числе жидкогоаргоновых калориметров. Система калориметров обеспечивает измерение энергии частиц в широком диапазоне полярного угла детектора.

1.1 Система жидкогоаргоновых калориметров

Система жидкогоаргоновых калориметров детектора ATLAS имеет ключевую роль в измерении энергии и положения электронов, фотонов и заряженных адронов. Она состоит из четырёх основных частей [1] (рис. 1):

- электромагнитная цилиндрическая;
- электромагнитная торцевая;
- адронная торцевая;
- форвард калориметр.

Важной характеристикой системы калориметров является диапазон покрытия псевдобыстроты $|\eta|$. Эта величина показывает, насколько направление движения элементарной частицы отличается от оси пучка, и определяется как:

$$\eta = -\ln(\tan(\frac{\Theta}{2})), \quad (1)$$

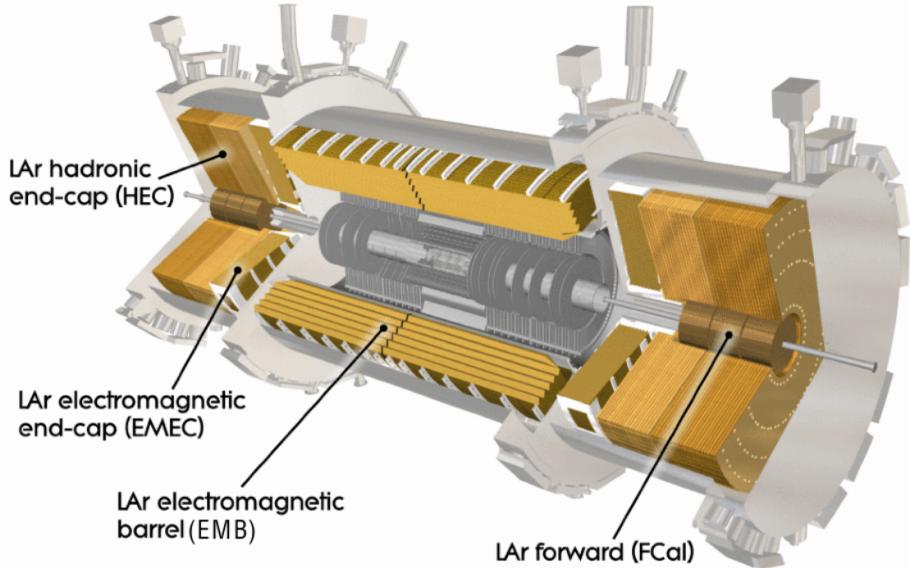


Рис. 1: Схема системы жидкогоаргоновых калориметров ATLAS

где Θ – угол между направлением импульса частицы и осью пучка.

В физике коллайдеров зачастую используют именно этот показатель вместо простого полярного угла Θ , так как плотность числа рожденных частиц приблизительно постоянна в единицу $|\eta|$. По этой причине калориметры обычно сегментируют по псевдобыстроте, а не по телесному углу. Калориметрическая система ATLAS охватывает диапазон $|\eta|$ до 4.9.

1.1.1 Электромагнитный калориметр

Для прецизионного детектирования и измерения электронов и фотонов калориметрическая система ATLAS включает в себя электромагнитный калориметр. Он состоит из центрального (баррельного) блока (EMB – electromagnetic barrel), покрывающего диапазон псевдобыстрот $|\eta| < 1,475$, и пары торцевых частей (EMEC – electromagnetic end-cap), соответствующих области $1,375 < |\eta| < 3,2$. Электромагнитные калориметры ATLAS построены по гетерогенному принципу, то есть в них разделены функции поглощения и детектирования. В качестве активного вещества служит жидкий аргон, находящийся при температуре около

90К, а для поглощающего материала используется свинец. Между пластинами поглотителя также располагаются медно-каптоновые электроды, по которым происходит снятие сигнала.

Заряженная частица, попадая в калориметр, порождает в нём электромагнитный ливень (рис. 2)[2], который детектируется по принципу ионизационной камеры: под воздействием электрического поля между заземлённым поглотителем и электродом, находящимся под высоким напряжением, ионы и электроны дрейфуют, причём последние индуцируют треугольный импульс на электроде (рис. 3) (в действительности, сигнал является более сложным, чем просто треугольник – в силу поглощения электронов загрязняющими примесями в активном веществе, такими как кислород или хлор, результирующий сигнал падает, а его форма домножается на небольшую экспоненту). Высота индуцированного импульса пропорциональна энергии, накопленной в ячейке калориметра. Время пика импульса используется для определения времени появления частицы.

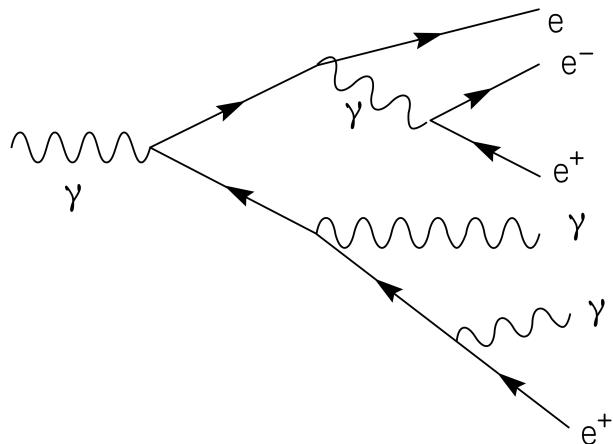


Рис. 2: Схема электромагнитного ливня

Электромагнитный калориметр имеет сложную геометрию в форме гармошки (аккордеон). Это позволяет достичь полной симметрии калориметра по азимутальному углу, а также обеспечить высокую грану-

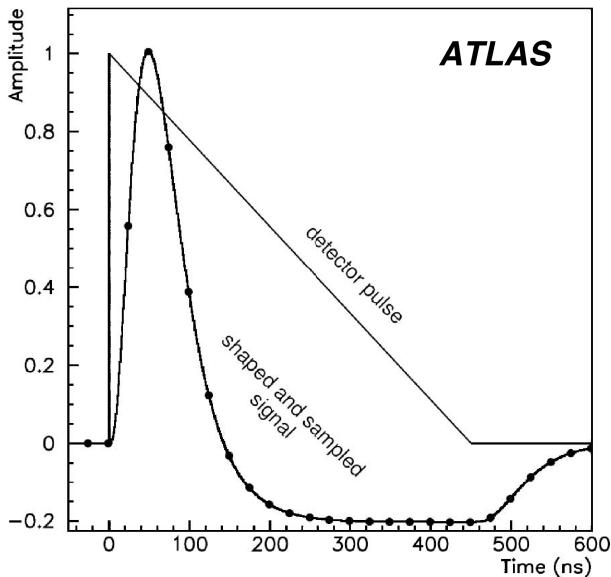


Рис. 3: Форма импульса тока электромагнитного калориметра и выходного сигнала после формирования

лированность детектора и увеличить его быстродействие за счёт малого зазора между пластинами. Толщина ЕМВ составляет более 24 радиационных длин (X_0 , расстояние, на котором интенсивность потока электронов высокой энергии и гамма-излучения падает в e раз). Каждый модуль калориметра имеет ячеистую структуру и поделён на несколько слоёв по глубине, как, например, модуль центрального блока на рис. 4. Калориметр сконструирован так, что наибольшая часть энергии собирается в среднем слое, задний слой собирает лишь хвост электромагнитного потока. Передний слой сегментирован таким образом, чтобы с его помощью можно было максимально точно определить направление падающих частиц. Исходя из этого, используя измерение энергии и положения всех ячеек в каждом слое калориметра можно восстановить энергию и траекторию рожденных частиц.

1.1.2 Торцевой адронный калориметр

Торцевой адронный калориметр (HEC – hadronic end-cap) детектора ATLAS состоит из двух независимых колёс, которые установлены за блока-

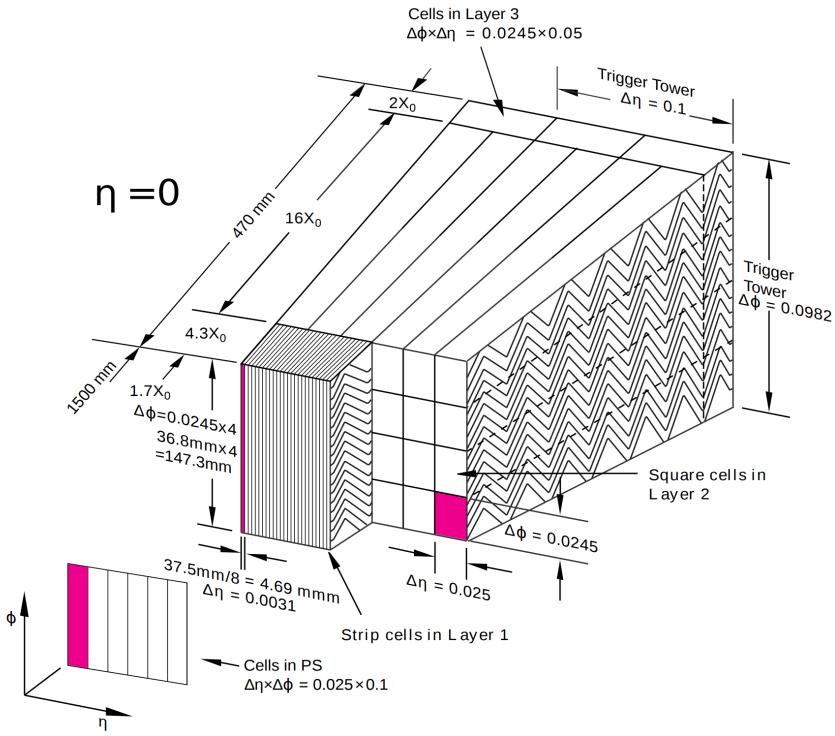


Рис. 4: Схема разделения модуля ЕМВ по слоям

ми торцевого электромагнитного калориметра. Он обеспечивает адронное покрытие псевдобыстроты в диапазоне $1,5 < |\eta| < 3,2$. По принципу действия торцевой адронный калориметр похож на электромагнитный, но в отличие от него имеет плоскопараллельную структуру внутренней геометрии с медными пластинами-поглотителями, а в качестве адсорбера используется железо.

Оба колеса калориметра состоят из 32 одинаковых по азимуту модулей. Переднее колесо разделено по глубине на две секции считывания, которые суммарно содержат 24 слоя поглотителя. Заднее колесо выполнено из 16 слоёв поглотителя, объединённых в один сегмент считывания. С каждой полученной ячейки регистрируется отдельный сигнал. Для обеспечения наилучшего отношения сигнала и шума предусилители считающей электроники калориметра находятся в среде с низкой температурой и расположены по внешнему радиусу модулей.

Важной особенностью адронного калориметра является его способность обнаруживать мюоны, а также измерять любые их ионизационные

потери и треки.

1.1.3 Форвард калориметр

Форвард калориметр находится ближе всего к пучку и обеспечивает электромагнитную и адронную калориметрию в диапазоне $3,2 < |\eta| < 4.9$. Из-за своего расположения он подвергается очень сильному воздействию дозы облучения мощностью до 10^6 ГР/год и потока нейтронов с кинетической энергией более 100 кэВ до $109 \text{ см}^{-2}\text{с}^{-1}$ [3]. С учётом этих условий форвард калориметр разрабатывался с использованием следующих принципов:

- механическая простота с применением небольшого набора материалов;
- использование радиостойких материалов;
- использование материалов с высоким значением Z ;
- достижение максимальной проективной толщины (вдоль проективных лучей от точки столкновения частиц);
- достижение максимальной средней плотности.

Калориметр состоит из трёх модулей: электромагнитного и двух адронных. В электромагнитной секции в качестве материала адсорбера используется медь, тогда как в адронных – вольфрам. Номинальные внешние размеры у всех трёх модулей равные. Внутренняя структура представляет собой матрицу шестиугольных трубок, расположенных вдоль пучка и изготовленных из материала поглотителя, в которые концентрически установлены медные электроды (рис. 5). Пространство между стенками трубок и электродами заполнено жидким аргоном, выполняющим роль активного вещества. Конструкция позволяет точно контролировать зазор между электродами.

Таким образом, форвард калориметр способен работать в крайне радиационно нагруженных условиях, но при этом имеет сравнительно низкое

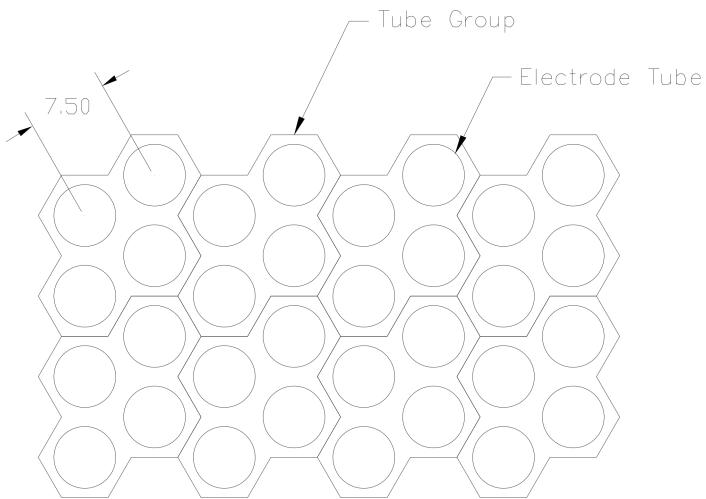


Рис. 5: Схема внутренней структуры форвард калориметра[3]

разрешение. Однако, учитывая тот факт, что проходящие через него частицы имеют одни из наибольших абсолютных энергий, относительная точность остаётся достаточно высокой и такого разрешения вполне хватает для решения существующих физических задач.

1.2 Считывающая электроника

Считывающая электроника жидкогоаргоновых калориметров детектора ATLAS имеет сложную структуру, но в самом верхнем уровне её можно разделить на 2 части: фронтенд и бэкенд (или, как её ещё называют, задетекторная электроника). На рис. 6 изображена общая схема устройствачитывающей электроники системы жидкогоаргоновых калориметров.

Фронтенд часть располагается в непосредственной близости с ускорителем, поэтому к ней предъявляются определённые требования по радиационной стойкости и отказоустойчивости. В рамках второй фазы обновления электроники на детектор будут установлены новые платы считывания FEB2 (FEB – Front-End Board), а также платы калибровки.

Задетекторная часть удалена от радиационной зоны и принимает оцифрованные данные с фронтенда через оптические каналы связи. Именно в этой части выполняется цифровая фильтрация сигналов по каждой

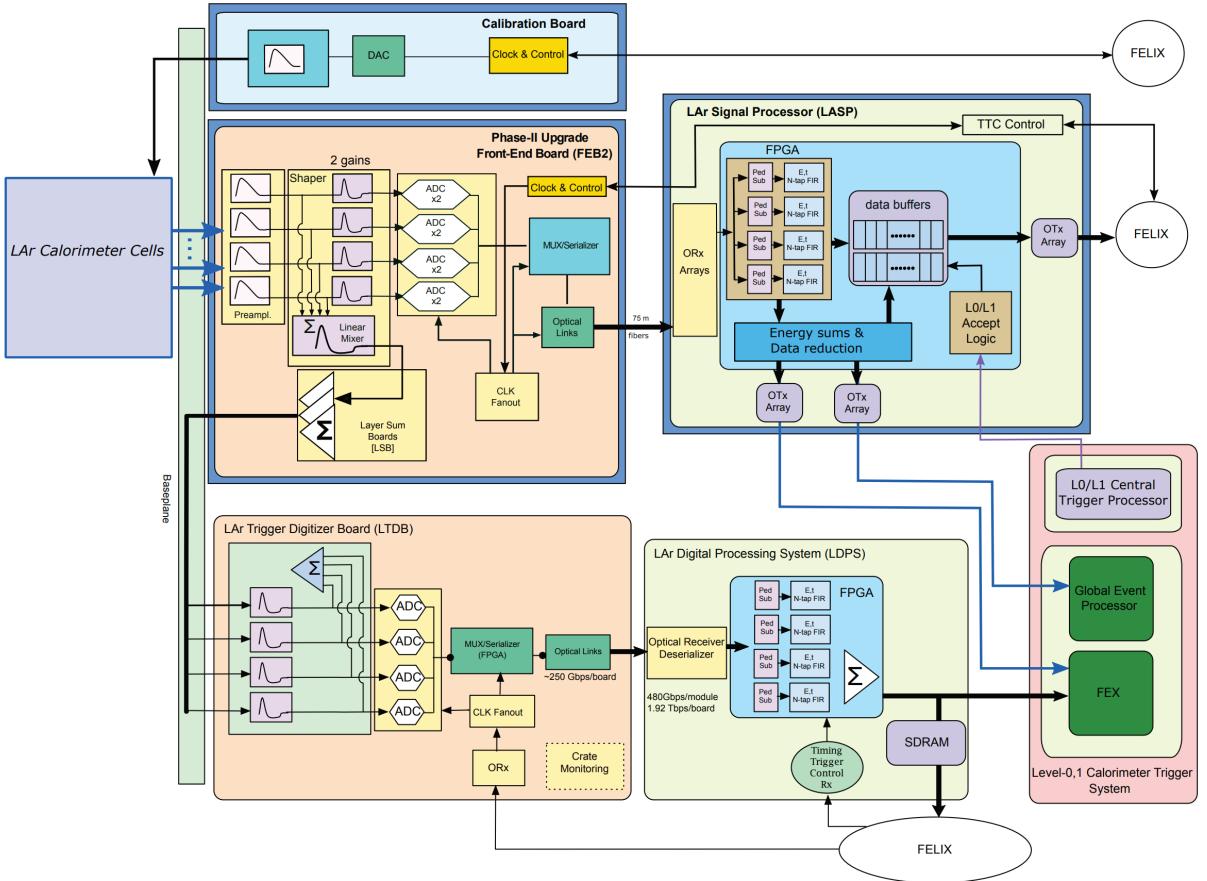


Рис. 6: Схемачитывающей электроники жидкогоаргоновых калориметров ATLAS

ячейке калориметра, их буферизация до появления сигнала триггерной системы и передача соответствующих данных в систему сбора данных DAQ (Data Acquisition).

1.2.1 Модуль FEB2

Платы FEB2 принимают сигналы от калориметрических ячеек и выполняют их аналоговую обработку, включая усиление, формирование и разделение на две перекрывающиеся шкалы линейного усиления. Обе шкалы усиления оцифровываются при помощи аналого-цифрового преобразователя (АЦП), после чего цифровые сигналы сериализуются и отправляются через оптический канал связи. Для этого используется несколько специализированных интегральных микросхем, а также системы управления и синхронизации. Оцифровка данных производится

на частоте 40 МГц, равной частоте столкновения частиц. Каждая плата FEB2 способна обрабатывать 128 калориметрических каналов, а для считывания всей системы жидкогоаргоновых калориметров требуется 1524 таких устройства.

Аналоговая обработка данных выполняется в 2 этапа. На первом этапе выполняется усиление сигналов калориметра, которые имеют динамический диапазон до 16 бит, с помощью специального предусилителя. Второй каскад – формирователь, который преследует две цели. Во-первых, он необходим для преобразования выходного сигнала схемы предварительного усилителя в дифференциальный выходной сигнал с несколькими коэффициентами усиления, а во-вторых, для получения по крайней мере одного этапа формирования в соответствии с требованиями к обработке сигнала. При необходимости могут быть добавлены несколько эквивалентных этапов формирования с минимальными затратами энергии. Как предусилитель, так и формирователь реализуются в одной специализированной интегральной микросхеме LAPAS (Liquid Argon Preamplifier And Shaper [4]), способной обрабатывать 4 либо 8 калориметрических сигналов.

В дополнение к усилению и формированию сигнала необходимы периферийные схемы, такие как генератор тестовых импульсов, схема смещения, датчик температуры, а также регистры конфигурации всего модуля.

Далее аналоговый сигнал от каждой калориметрической ячейки оцифровывается с частотой 40 МГц, синхронно с частотой соударения пучков в Большом Адронном коллайдере. Для охвата 16-битного динамического диапазона сигнал оцифровывается с двумя шкалами усиления с помощью 14-битных АЦП. Затем каждый выходной сигнал АЦП форматируется в 16-битное слово и сериализуется со скоростью передачи данных 640 Мбит/с. Каждое такое слово помимо 14 бит данных АЦП содержит бит чётности для обеспечения проверки ошибок, а также бит кадра, необ-

ходимы для целей выравнивания данных между собой. Учитывая, что каждая плата FEB2 обрабатывает 128 калориметрических каналов, результирующая скорость передачи данных составляет 163,84 Гбит/с (256 потоков по 640 Мбит/с каждый). Для передачи оцифрованных данных используются специально разработанные радиационно-стойкие трансивер и лазер lpGBT (low power GigaBit Tranceiver [5]).

Для реализации корректной синхронизации данных калориметра в модуле FEB2 предусмотрена генерация идентификатора соударения пучков (BCID – Bunch Crossing Identifier). Данный идентификатор представлен в виде 12-битного счётчика, который инкриминируется с частотой возникновения событий в коллайдере и сбрасывается после каждого завершения цикла столкновений пучков частиц на орбите. Значение BCID, как и данные АЦП, сериализуются и передаются в систему задетекторной электроники через оптический канал.

Кроме основного тракта данных в модуле FEB2 присутствует подсистема, которая обеспечивает формирование входных данных для платы LTDB (LAr Trigger Digitizer Board [6]). Данная плата обрабатывает аналоговые суммы сигналов для максимально быстрого принятия решения триггерной системы, но с более грубой детализацией, чем обеспечивается основным считыванием. Модуль FEB2 имеет набор сумматоров, которые формируют требуемые аналоговые сигналы сумм по соседним ячейкам калориметра.

1.2.2 Система подготовки данных для триггера

В целях получения как можно более быстрого решения триггерной системы, пусть даже и менее точного, в считающей электронике жидкокарбоновых калориметров ATLAS предусмотрена система подготовки и передачи энергетических сумм по частям детектора в триггер. Такие сигналы генерируются в модуле FEB2, после чего в аналоговом виде

отправляются на плату оцифровки триггера LTDB. Каждая такая плата способна обрабатывать до 320 сигналов, оцифровывая их с помощью 80 12-битных четырёхканальных АЦП [6]. Далее эти значения передаются на двадцать трансиверов lpGBT, которые формируют 40 выходных потоков с объёмом данных 5,12 Гбит/с каждый для их отправки по волоконно-оптическим каналом связи в систему LDPS (LAr Digital Processing System). Всего в системе считающей электроники предусмотрено 124 модуля LTDB, которые, соответственно, суммарно генерируют поток данных со скоростью примерно 25 Тбит/с.

Управление и мониторинг системы оцифровки данных триггера осуществляются по каналам связи 5 Гбит/с, подключенным через интерфейс обмена данными между фронтенд подключениями FELIX (Front-End LInks eXchange [7]) в систему сбора данных и триггера ATLAS TDAQ (Trigger and Data Acquisition [8]).

Обработанные в LTDB данные затем передаются в систему цифровой обработки LDPS, которая преобразует измерения АЦП в откалиброванные значения энергии в режиме реального времени. Система построена с использованием мезонинных плат расширений AMC (Advanced Mezzanine Card), которые выполняют точное восстановление энергии и определение настоящего времени столкновения пучков. Для реализации данных функций в платах расширения применяются программируемые логические интегральные схемы Altera Arria-10.

1.2.3 Калибровочная система

Важной частью фронтенд электроники является калибровочная система. С помощью специальных плат реализуется подача точных калибровочных сигналов непосредственно на ячейки жидкого аргона калориметра. Форма калибровочного сигнала максимально приближена к импульсу ионизации, генерируемому электромагнитным ливнем в детекторе. В силу

того, что получить истинно треугольный сигнал с помощью электронной схемы достаточно трудно, первоначально создаётся экспоненциальный импульс, у которого обрезается область затухания для максимального приближения к желаемой треугольной форме, по крайней мере, в начальной части импульса. Для компенсации остаточной разницы в форме между физическим импульсом ионизации и калибровочным сигналом производится непосредственное измерение свойств последнего для их учёта в процедуре калибровки.

2 Сигнальный процессор жидкого аргона (LASP)

Основным элементом задетекторной считающей электроники жидкого аргона калориметра детектора ATLAS в рамках второй фазы обновления являются модули сигнального процессора LASP (Liquid Argon Signal Processor). Они предназначены для принятия оцифрованных данных с модулей FEB2 и применения к ним цифровой фильтрации, их буферизации до появления сигнала триггера и последующей передачи в систему сбора данных DAQ. Также система LASP обеспечивает подготовку входных данных для таких систем, как глобальный триггер и fFEX (forward Feature EXtractor). Система глобального триггера будет получать значения энергий только от тех ячеек, которые превышают заданный порог, определённый относительно общего шума. Таким образом, полосой пропускания данных можно управлять, сохраняя при этом достаточную количество информации для кластеризации событий.

Сигнальные процессоры рассчитаны на приём непрерывного потока оцифрованных данных с плат FEB2 на частоте соударения пучков частиц в Большом Адронном коллайдере (фактическая частота f_{bc} составляет 40.07897 МГц) для всех 182486 ячеек жидкого аргона калориметра. Каждый модуль будет получать исходные данные с 8 плат FEB2, то есть с 1024 калориметрических ячеек. В настоящее время ведётся активная разработка этой системы.

Плата сигнального процессора LASP изготовлена в формате модуля ATCA (Advanced Telecom Computing Architecture [9]). Модули LASP требуют высокой пропускной способности ввода и вывода, а также возможности гибкого программирования алгоритмов обработки данных, цифровой фильтрации и сокращения объёма данных, поэтому в качестве основных вычислительных блоков LASP предусмотрены программируемые

интегральные микросхемы. На плате каждого модуля будет располагаться 2 таких чипа для увеличения пропускной способности. Внутренняя структура дизайна программируемой логики представлена на рисунке 7.

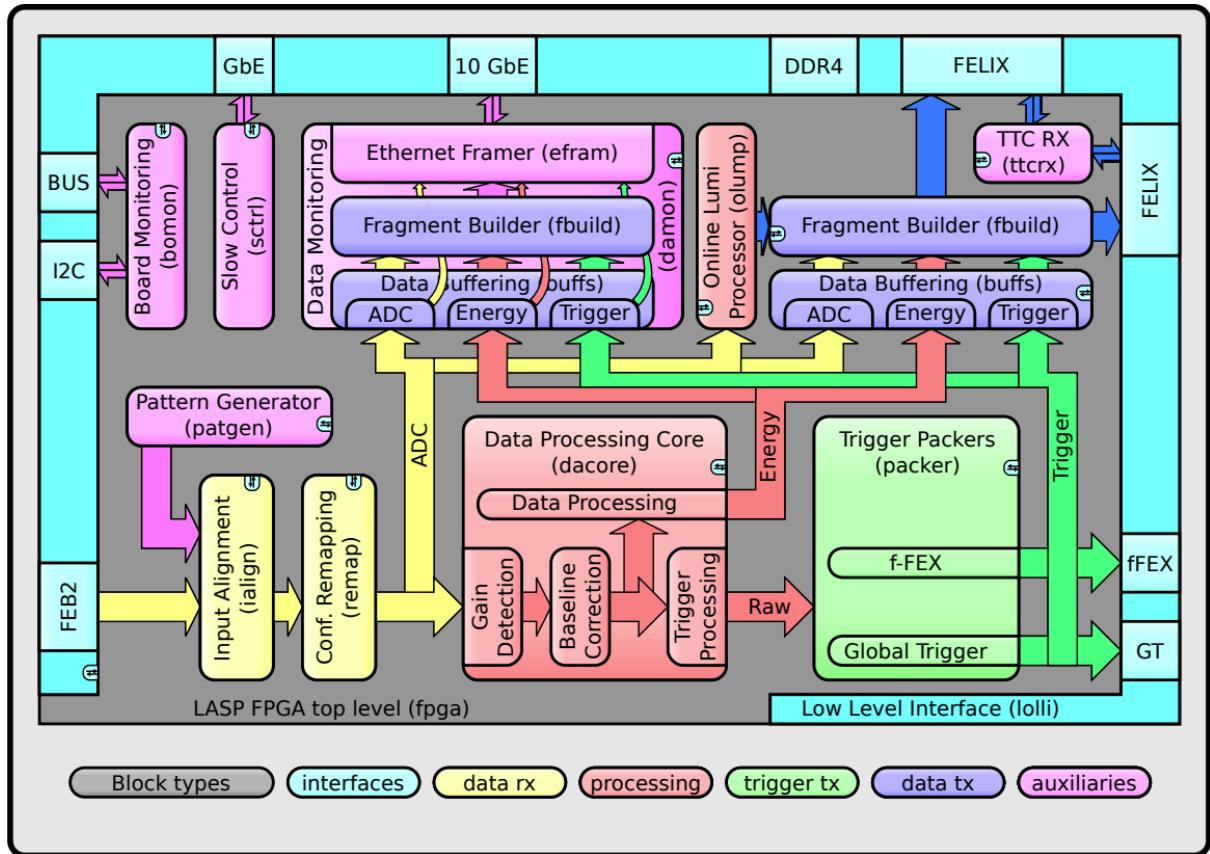


Рис. 7: Блок схема архитектуры сигнального процессора LASP

Основными модулями сигнального процессора LASP являются:

- интерфейс нижнего уровня `lolli`;
- система медленного контроля `sctrl`;
- генератор тестовых сигналов `patgen`;
- выравниватель входных данных `ialign`;
- модуль конфигурируемой перестановки `remap`;
- ядро обработки данных `dacore`;
- процессор онлайн светимости `olump`;
- упаковщик триггерных данных `packer`;
- блок буферов `buffs`;

- модуль форматирования данных `fbuild`;
- модуль мониторинга данных `damon`;
- монитор состояния аппаратуры `bomon`.

Для работы сигнального процессора используется целый набор различных тактовых сигналов. Среди основных можно выделить:

- f_{feb} – тактовая частота, синхронно с которой поступают входные данные с системы FEB2. Имеет фиксированное значение 320 МГц;
- f_{core} – тактовая частота, синхронно с которой происходит непосредственная обработка данных. В зависимости от конфигурации может быть либо 320 МГц – так называемая медленная опция, либо 480 МГц – быстрая опция;
- f_{sctrl} – тактовая частота, на которой функционирует интерфейс медленного контроля. Непосредственное значение составляет 100 МГц.
- f_{xgbe} – тактовая частота, необходимая для приёма и отправки данных через 10 Гбит Ethernet порт (X Gigabit Ethernet). Является стандартной для такого порта и составляет 156,25 МГц.

Стоит отметить, что указанные значения частот тактовых сигналов f_{feb} и f_{core} являются округлёнными; в реальности они кратны f_{bc} , следовательно обработка данных получается синхронной. В системе также присутствуют ещё несколько вспомогательных тактовых сигналов, необходимых для работы DDR4 интерфейса и TTC RX.

Интерфейс нижнего уровня `lolli`

Базовым модулем системы LASP, с помощью которого осуществляется взаимодействие с внешним миром, является интерфейс нижнего уровня `lolli`. Данная подсистема содержит реализации всех необходимых низкоуровневых внешних интерфейсов:

- FEB2;
- Gigabit Ethernet;

- 10 Gigabit Ethernet;
- DDR4 SDRAM;
- I2C;
- Custom BUS;
- fFEX;
- FELIX;
- Global Trigger.

При возможности, все интерфейсы из `lolli` в программируемую логику спроектированы с использованием стандартных потокового интерфейса Avalon Stream (AVST) [10] и интерфейса, отображаемого на память Avalon Memory Mapped (AVMM) [10]. Это позволяет иметь четко определённые и документированные стандартные интерфейсы между каждым компонентом LASP.

Система медленного контроля `sctrl`

Для реализации возможности управления всеми компонентами сигнального процессора, а также их соединения с внешним миром предусмотрена система медленного контроля `sctrl`. Она позволяет пользователю загружать или изменять все доступные пользователю параметры конфигурации, а также иметь доступ ко всем регистрам мониторинга и состояния любого модуля в режиме реального времени.

Компонент `sctrl` использует внешний канал связи Gigabit Ethernet, реализованный в модуле `lolli`. Для общения с внутренними модулями используется AVMM интерфейс. Специально для интерфейса медленного контроля каждый модуль имеет набор выделенных регистров, в которых хранятся какие-либо параметры, данные о состоянии или накопленная статистика. Между этими регистрами есть глобальное разделение адресного пространства, через которое `sctrl` и способно достичь конкретным модулям.

Генератор тестовых данных `patgen`

В целях отладки системы в общей структуре реализован генератор тестовых данных `patgen`. С его помощью можно осуществлять ввод определяемых пользователем значений АЦП для обработки вместо данных, поступающих от FEB2. Такая возможность используется для тестирования системы и проверки основного функционала независимо от реальных данных с FEB2. Для корректной отладки с помощью `patgen` в него заложены следующие свойства:

- данные, генерируемые `patgen`, имеют ту же структуру, что и данные из FEB2;
- `patgen` способен имитировать рассинхронизацию между каналами данных (сдвиг по идентификатору пучка);
- каждый канал имеет независимый источник данных;
- имеется возможность выбирать между двумя возможными источниками данных (`patgen` или FEB2) для каждого канала данных в отдельности;
- данные генерируются непрерывно циклическим образом, повторение происходит синхронизированно с циклом пучков на орбите.

Для снижения влияния на процесс компиляции системы целиком в проектировании генератора тестовых сигналов заложен принцип минимизации занимаемых логических ресурсов. В следствие этого, `patgen` имеет две версии реализации:

- на основе оперативной памяти: в этом варианте используются данные, хранимые во внутренней оперативной памяти ПЛИС, записанные через интерфейс медленного контроля. Такой подход даёт значительную гибкость, но занимает большой объём памяти;
- на основе функции генерации: в этой версии данные генерируются на лету, используя определённый алгоритм. Такая реализация использует значительно меньше памяти, однако не позволяет тонко управлять формируемыми значениями.

Выравниватель входных данных `ialign`

Первым модулем, который непосредственно принимает входные данные, является `ialign`. Он предназначен для осуществления выравнивания по времени поступающей информации с FEB2. Входной поток организован в виде кадров, содержащих данные АЦП и два идентификатора столкновения пучков для соответствующих шкал усиления, которые могут быть как идентичными, так и различными. В ходе обработки все данные АЦП выравниваются по одному BCID. При этом порядок оцифрованных значений в рамках каждого отдельного канала может изменяться, однако он не предопределён заранее, – его можно настраивать индивидуально для любого потока, но идентично для парных значений по шкалам усиления.

Важная особенность обработки данных модулем `ialign` – это расширение данных по временным ячейкам. То есть, по всем каналам с низкого уровня поступает по 6 значений АЦП для каждого идентификатора столкновения пучков, но данный модуль добавляет везде по 2 дополнительных значения с нулевым сигналом корректности, тем самым увеличивая число временных ячеек с данными АЦП до 8. На рисунке 8 схематично изображён пример выходного интерфейса компонента. Белыми участками обозначены дополнительные некорректные значения, добавленные модулем `ialign`. По индексам на передаваемых данных можно определить схему переупорядочивания этого примера: значение в нижнем регистре обозначает номер канала, а последующее число – его изначальный порядковый номер. Рабочей тактовой частотой для `ialign` является f_{feb} , соответствующая поступающим с FEB2 данным.

Модуль конфигурируемой перестановки `remap`

Следующий элемент тракта данных жидкогоаргонового сигнального процессора LASP – модуль `remap`. Он служит для изменения порядка данных в соответствии с геометрией детектора, так как в силу ряда технических

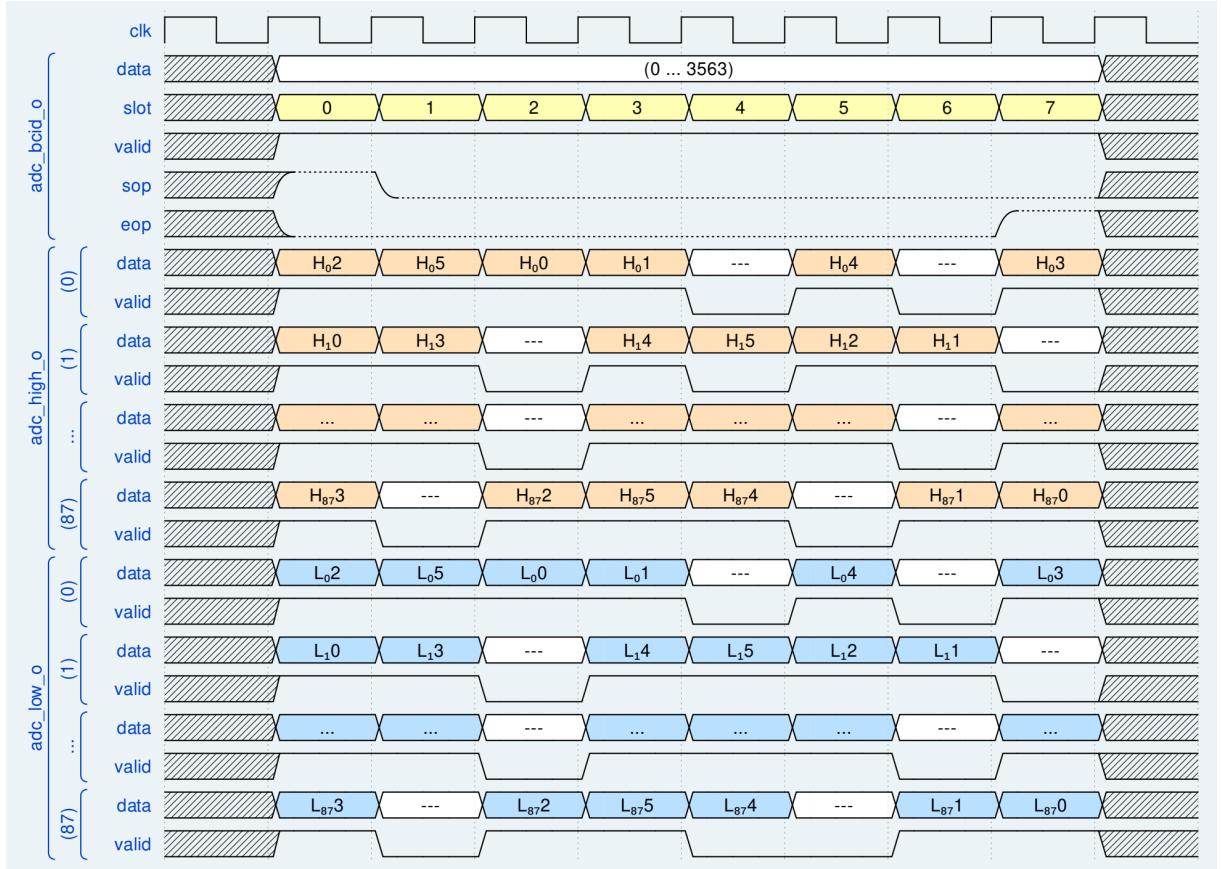


Рис. 8: Пример выходного интерфейса модуля `ialign`

ограничений, информация от калориметрических ячеек, поступающая через FEB2, находится в перемешанном виде. То есть для каждого выходного канала данные отбираются из любых входных каналов, после чего они устанавливаются в заданном порядке. Путём переупорядочивания данных упрощается задача вычисления сумм энергии ячеек жидкогоаргнового калориметра. Такие суммы необходимы для уменьшения полосы пропускания данных в системе fFEX. Как и в случае модуля `ialign` схема перестановки не является предопределённой, – каждый выходной канал может быть гибко сконфигурирован согласно требованиям. Важной особенностью является то, что помимо всего прочего, компонент конфигурируемой перестановки необходим для реализации перехода данных из тактового домена f_{feb} в домен сигнала f_{core} .

Сигнальный процессор LASP может иметь одну из двух конфигураций, так называемые медленную и быструю опции. В зависимости от выбран-

ной опции предполагается использование различных тактовых частот обработки данных и количества используемых каналов, что позволяет в итоге остановиться на наиболее оптимальном варианте с точки зрения занимаемых логических ресурсов и временных ограничений. В случае медленной опции `remap` принимает входной поток данных, состоящий из 88 каналов, в которых содержится по 8 значений АЦП для каждого идентификатора соударения пучка, и преобразовывает его в аналогичный поток, но имеющий лишь 64 точно таких же канала. При этом тактовые частоты f_{feb} и f_{core} совпадают по величине 320 МГц, однако могут быть сдвинутыми по фазе. Реальный объём полезных данных не уменьшается, как это может показаться на первый взгляд, поскольку четверть входного трафика составляют значения без сигнала валидности, добавленные модулем `ialign`, а также присутствуют сигналы, поступающие с неподключенных разъёмов FEB2. В конфигурации быстрой опции та же структура входных данных преобразовывается в 43 выходных канала, каждый из которых имеет целых 12 оцифрованных величин. Поскольку в любом варианте интервал между соседними моментами соударения пучков не изменяется и составляет 25 наносекунд, то в таком режиме тактовая частота выходной шины f_{core} пропорционально увеличена и составляет 480 МГц для обеспечения необходимой плотности данных во времени.

Ядро обработки данных dacore

Основным обрабатывающим компонентом процессора LASP является ядро обработки данных `dacore`. Оно преобразовывает поступающие от модуля конфигурируемой перестановки исходные значения АЦП в соответствующие энергетические величины с помощью специальных алгоритмов. Задачи обработки можно разделить на четыре основных функции:

- определение оптимального коэффициента усиления;
- коррекция пьедестала;

- вычисление энергии, временной характеристики, а также параметра качества с оптимальным разрешением для системы хранения данных (однако вычисление параметра качества и временной характеристики выполняется только для калориметрических ячеек с выделившейся в них энергией выше заданного порога);
- вычисление энергии с уменьшенным временем формировки для триггерной системы.

Следовательно, компонент `dacore` обеспечивает 2 отдельных выходных потока:

1. поток для модуля упаковки данных `packer`, который содержит грубые энергетические значения и флаги превышения порога;
2. поток для блока буферов, содержащий для каждой калориметрической ячейки энергетическое значение, бит оптимального коэффициента усиления и флаг превышения порога. Для высокоэнергетических ячеек добавляется время импульса и значение качества импульса.

Для повышения точности данных, направляемых в систему хранения, используется дополнительная стадия обработки, реализующая алгоритмы цифровой фильтрации. С их помощью достигается восстановление энергии с точностью 1 МэВ, которая затем кодируется многолинейным способом. Для триггерных данных также предусмотрена цифровая фильтрация, предназначенная для подавления шумов и вычисления значений энергии с достаточной точностью для всех модулей принятия триггерных решений, подключенных к задетекторной электронике. Также для этих данных формируется по три бита превышения порогов, количественно описывающих переполнения фонового уровня энергии.

Процессор онлайн светимости `olimp`

Одним из важнейших показателей работы коллайдера является светимость. Для её расчета в системе жидкогоаргонового сигнального процес-

сора предусмотрен модуль процессора онлайн светимости `olimp`. Этот компонент усредняет необработанные оцифрованные значения АЦП, получаемые напрямую с модуля конфигурируемой перестановки `remap` по каждому столкновению частиц. Его задачи можно разделить на 4 основных части:

1. вычисление суммы и суммы квадратов измерений АЦП по шкале высокого коэффициента усиления для настраиваемого набора из 8 каналов. Эти величины вычисляются для каждого столкновения пучков и накапливаются по каждому набору;
2. буферизация данных АЦП по шкале высокого коэффициента усиления в течение одного полного оборота пучков на орбите Большого Адронного коллайдера. Производится это по наборам каналов, определённых выше, которые были определены выше;
3. вычисление оценки мгновенной светимости для этих же подмножеств каналов. Такая оценка может быть использована в ядре обработки данных `dacore` для компенсации влияния светимости на восстановление энергетических и временных величин;
4. сжатие без потерь значений сумм и сумм квадратов оцифрованных сигналов АЦП.

Упаковщик триггерных данных `packer`

Подготовка энергетических значений для их последующей передачи в триггерные системы задетекторной электроники осуществляется силами упаковщика триггерных данных `packer`. Задачи этого компонента заключаются в следующем:

- группировка данных, полученных с ядра обработки данных;
- кодирование энергий с использованием многолинейного кодирования и их передача в системы глобального триггера и fFEX;
- отправка данных в блок буферов;
- отправка данных в модуль `damon`.

Поток выходных данных для систем глобального триггера и fFEX состоит из кадров, которые содержат информацию о текущем соударении пучков. Помимо этого, в выходном канале требуется отправка служебных кадров, которые не содержат непосредственно полезных данных, а несут различную идентификационную информацию, необходимую для выполнения ряда задач, например, синхронизации.

Блок буферов `buffs`

После обработки данные не сразу отправляются в систему хранения, а некоторое время ожидают соответствующего им триггерного сигнала в блоке буферов `buffs`. Буферизации подлежат все имеющиеся данные: изначальные значения АЦП, обработанные энергетические величины и триггерные данные, полученные от компонентов конфигурируемой перестановки `remap`, ядра обработки `dacore` и упаковщика `packer` соответственно. Время хранения информации требуется не меньше, чем величина задержки триггера, которая составляет около 10 мкс.

Модуль форматирования данных `fbuild`

Последний этап обработки – формирование данных из готовых значений фрагментов, пригодных к отправке в FELIX через интерфейс нижнего уровня `lolli`. Эта задача выполняется с помощью модуля форматирования данных `fbuild`. Генерируемый формат данных может варьироваться в зависимости от назначения:

- сбор данных;
- калибровка;
- отладка;
- тестирование системы;
- ввод в эксплуатацию.

Данные, содержащиеся во фрагментах, представляют собой исходные данные АЦП (или энергетические значения) и связанные с ними биты валидности и качества, а также данные, отправляемые в системы глобаль-

ного триггера и fFEX. Формат кадра может потребовать отправки как определённых, так и данных всех этих типов. Хотя обычно используются все потоки входных данных, пользователю также доступно выбирать один или несколько из них.

Модуль мониторинга данных `damon`

Кроме системы хранения данных результаты обработки могут передаваться на модуль мониторинга данных `damon`. Он обеспечивает низкоскоростной канал мониторинга исходных, обработанных и триггерных данных. Эти собранные значения буферизируются до тех пор, пока не будет принято решение о том, отправлять ли их для мониторинга или нет. В конечном итоге, отобранная информация форматируется в Ethernet кадры, которые отправляются на порт XGbE интерфейса нижнего уровня `lolli`. Компонент `damon` предполагает реализацию двух возможных режимов работы:

1. режим мониторинга: в этом режиме осуществляется полный сбор всех входящих данных всех ячеек, которые передаются лишь по определённому условию, например, получению сигнала триггера. Частота передачи этой информации ограничена пропускной способностью внешнего интерфейса (XGbE);
2. режим прямой трансляции: в этом режиме производится непрерывные сбор и отправка всех входных данных, но лишь для небольшого числа ячеек. Ячейки, которые транслируются в текущий момент, определяются конфигурацией. Количество ячеек, участвующих в режиме трансляции ограничено пропускной способностью внешнего интерфейса (XGbE).

Монитор состояния аппаратуры `bomon`

Отдельным модулем, который не является частью тракта обработки данных жидкогоаргоновых калориметров детектора ATLAS, однако имеет очень важное значение в функционировании сигнального про-

цессора LASP, можно выделить монитор состояния аппаратуры *bomon*. Модуль взаимодействует с устройствами, подключенным к ПЛИС через интерфейс I₂C, и микросхемой контроллера управления платформой IPMC (Intelligent Platform Management Controller [11]). *Bomon* собирает и передаёт информацию о состоянии внутреннего оборудования ПЛИС сигнального процессора LASP, такую как температура, токи и напряжения, а также считывает информацию с каждого из подключенных электрооптических модулей.

Стоит отметить, что представленная на рисунке 7 блок схема является не совсем точной, поскольку в реальности структура прошивки жидкого-argonового сигнального процессора более сложная и состоит из целого набора таких систем. Полная схема архитектуры модуля сигнального процессора жидкого-аргоновых калориметров LASP изображена на рисунке 9.

Из схемы видно, что входной поток данных разбивается на 4 независимые части, которые обрабатываются в отдельных подсистемах изолированно друг от друга. Это сделано благодаря тому, что данные из каждой части приходят из разных плат FEB2, между которыми не требуется производить перекрёстные операции (например, вычислять энергетические суммы по частям калориметра, поступающих на разные модули FEB2). Такой подход позволяет значительно упростить логику каждой подсистемы и улучшить общую разводимость и использование логических ресурсов всей системы на программируемой логической интегральной схеме, поскольку разместить несколько меньших независимых модулей проще, чем один большой, выполняющий те же операции. В добавок к описанным модулям в полной структуре добавляется объединитель Ethernet интерфейсов, который дополнительно преобразует набор поступающих выходных интерфейсов с компонентов мониторинга данных *damon* в единый интерфейс, который затем отправляется наружу через

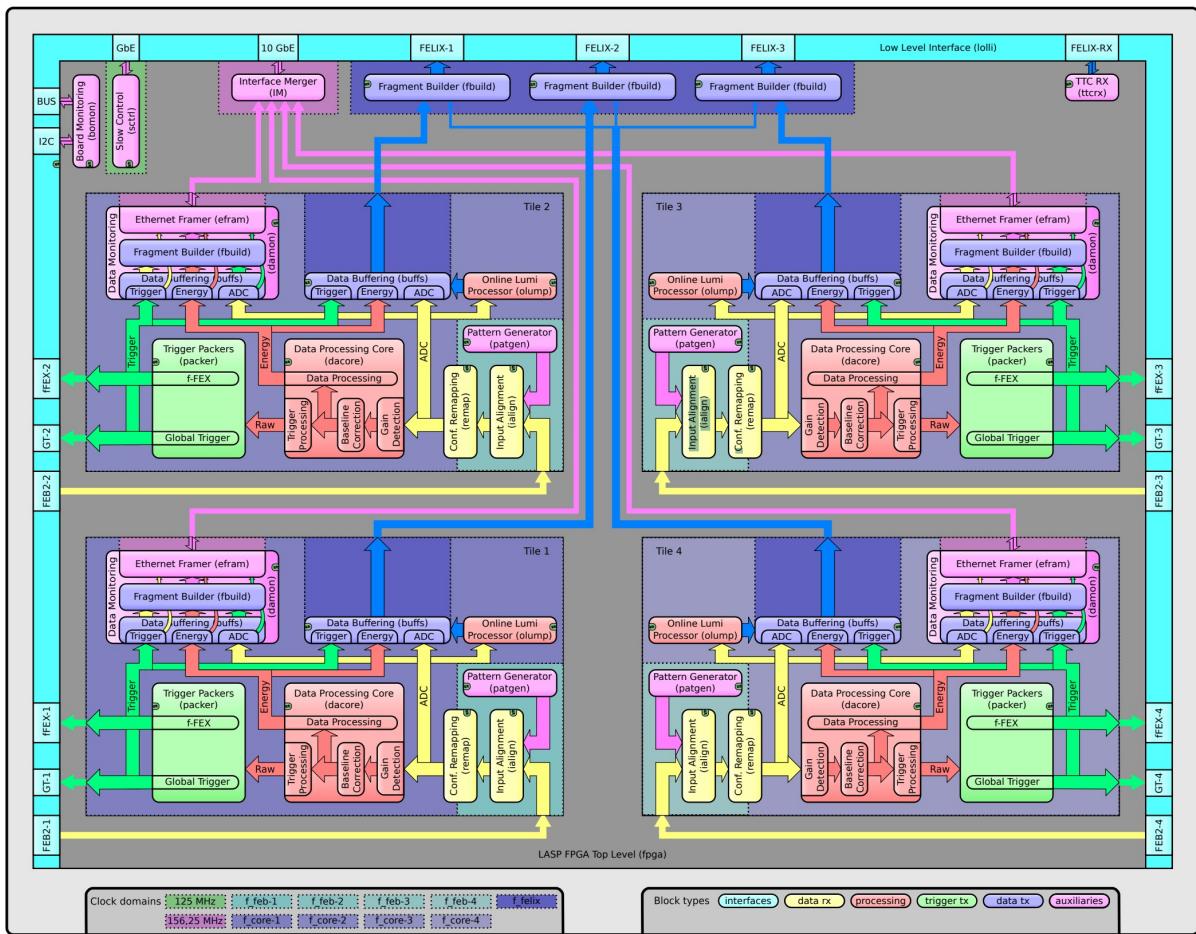


Рис. 9: Полная блок схема архитектуры сигнального процессора LASP

модуль `lolli`.

3 Цель и задачи работы

Главной целью данной работы является разработка блока упаковки данных для системы FEX модуля сигнального процессора LASP жидкого-аргонового калориметра детектора ATLAS. Эта подсистема состоит из связки компонентов, а именно упаковщика данных packer для системы fFEX и модуля конфигурируемой перестановки гемар. То есть по каждому из компонентов необходимо проработать их внутреннюю архитектуру, после чего реализовать на языке описания цифровой логики, что также подразумевает под собой:

- написание синтезируемых блоков логической аппаратуры;
- создание симуляционного окружения и отладка разработанной структуры;
- компиляция модулей под целевую платформу;
- проверка и оптимизация занимаемых логических ресурсов и временных задержек.

Помимо работы по непосредственной реализации указанных компонентов сигнального процессора LASP необходимо разработать:

- программное обеспечение для автоматической генерации конфигураций модуля гемар;
- формат кадра протокола передачи данных из модуля packer сигнального процессора LASP в систему fFEX.

В рамках проекта LASP коллaborации ATLAS принято использовать для работы язык описания аппаратуры VHDL. В качестве наиболее возможной потенциальной микросхемы ПЛИС на данный момент рассматриваются следующие высокопроизводительные кристаллы от компании Intel:

- Intel Stratix 10 SX 1SX280HU1F50E2VG – система на кристалле, то есть наряду с программируемой логикой также имеет производи-

- тельный процессор ARM A53;
- Intel Stratix 10 MX 1SM21BHU1F53E2VG;

Также в качестве альтернативной микросхемы рассматриваются варианты из новой линейки ПЛИС Intel Agilex. Поскольку целевым устройством в любом случае является продукция Intel, то, соответственно, в качестве инструмента разработки ключевую роль занимает программное обеспечение Intel Quartus Prime. Также, в рамках данного проекта применяется симулятор цифровых логических схем Mentor QuestaSim.

4 Модуль конфигурируемой перестановки (remap)

Модуль `remap` является частью жидкогоаргонового сигнального процессора LASP (рис. 10) и в первую очередь предназначен для организации упорядочивания входных данных в соответствии с геометрией детектора.

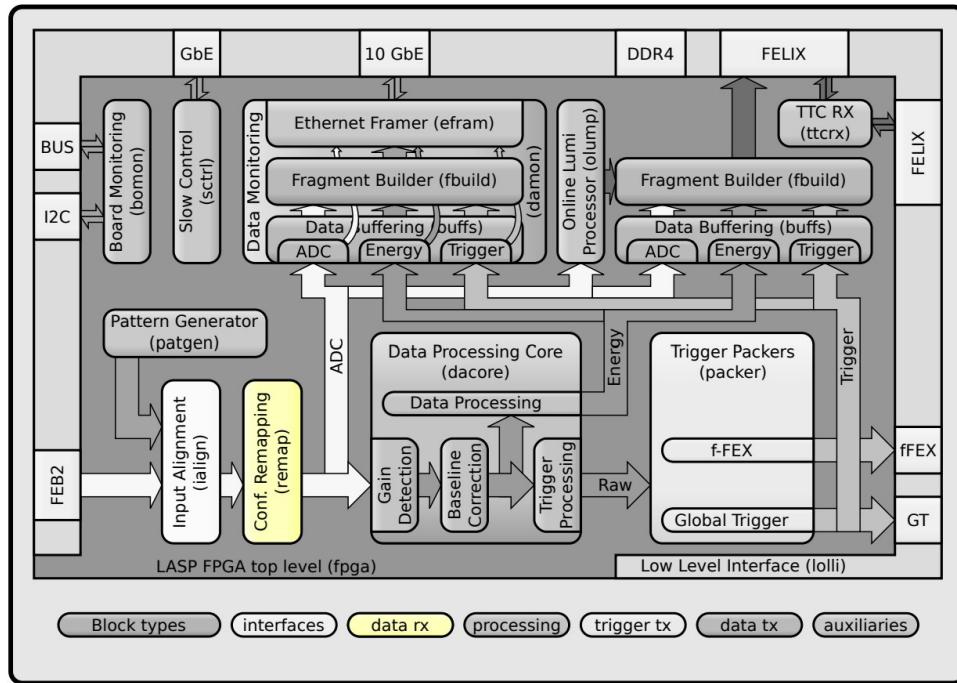


Рис. 10: Схема расположения модуля `remap` в общей структуре сигнального процессора LASP

Модуль `remap` должен реализовывать приём поступающей информации и формировать из неё набор выходных каналов данных, в каждом из которых обязаны передаваться значения АЦП, выбранные из входных каналов в соответствии с установленной конфигурацией, в определённом порядке, также согласно конфигурации. Требование конфигурируемости через интерфейс медленного контроля является очень важным, поскольку для обработки огромного потока данных с калориметров предполагается размещение значительного количества модулей LASP, в каждом из которых схема перестановок может отличаться. Более того, даже в рамках

одной системы располагается несколько таких экземпляров, так что настройка параметров каждого модуля на этапе компиляции совершенно не приемлема.

Как упоминалось ранее, сигнальный процессор LASP проектируется в двух вариантах, так называемые медленная и быстрая опции. В любом варианте система работает с 88 входными каналами, поступающими на частоте $f_{feb} = 320$ МГц, которые преобразовываются либо в 64, либо в 43 выходных канала данных соответственно, передающихся на частоте f_{core} . Это преобразование производится непосредственно с помощью модуля `remap`, таким образом, следующим важным требованием является реализация корректного перевода сигналов между тактовыми доменами. Кроме того, поскольку LASP является системой, передающей данные в триггер, то существуют конкретные ограничения по задержке данных: 1,6 времени между столкновениями пучков или 40 нс.

4.1 Архитектура модуля

Основополагающим подходом в проектировании модуля конфигурируемой перестановки `remap` является создание таких элементарных устройств, которые способны принимать на вход весь требуемый объём данных и формировать из него лишь один выходной канал. Это обеспечивает высокую гибкость в масштабировании, поскольку в таком случае реализация необходимого количества выходных каналов достигается простой репликацией подобных структур, как это показано на рисунке 11.

Стоит отметить, поскольку входной поток данных разбивается на 4 независимые части, обрабатывающиеся отдельно, каждый модуль `remap` должен принимать лишь 22 канала и формировать 16 или 11 выходов, в зависимости от варианта сигнального процессора LASP.

В ходе разработки было спроектировано и реализовано два различ-

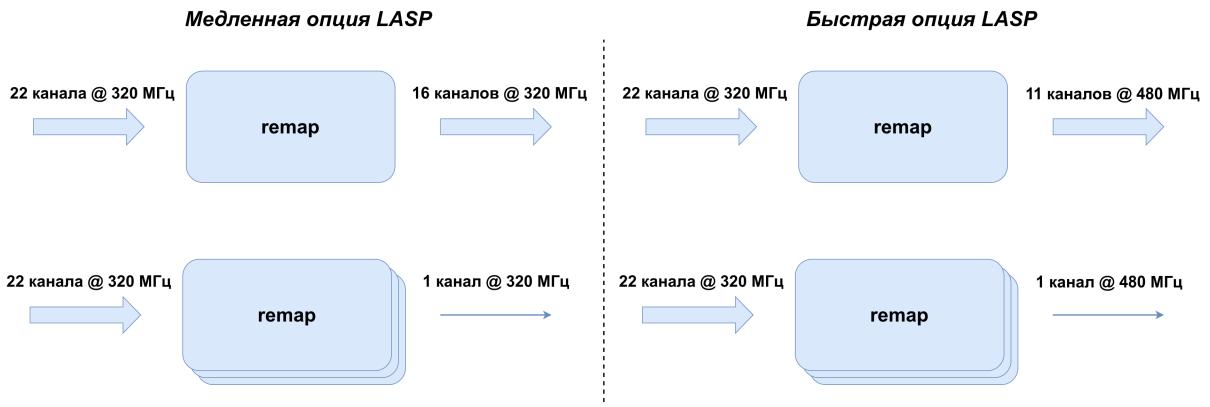


Рис. 11: Схема формирования необходимого количества выходных каналов ных варианта архитектуры базового элемента модуля `remap`: с модулем синхронизации тактовых доменов, а также архитектура, основанная на FIFO памяти.

Во всех вариантах архитектуры можно выделить три основных этапа обработки:

- предварительная перестановка данных в рамках каждого входного канала;
- извлечение из потока интересующих значений и их запись в память;
- чтение сохранённых данных из памяти в корректном порядке.

Первый этап обработки реализуется с помощью внешнего модуля Ialign и заключается в переупорядочивании значений АЦП в пределах каждого отдельного канала данных. Для корректной работы модуля `remap` требуется подобрать такую конфигурацию этих перестановок по всем каналам, чтобы значения, предназначенные для любого выходного канала не пересекались по временным ячейкам.

На втором этапе данные поступают на мультиплексор, который захватывает лишь один канал на каждом из тактов. Именно для этой операции и требуется условие первого этапа – если одномоментно несколько входных каналов будут содержать значения, предназначенные для одного выходного, то часть данных будет просто пропущена. Это ограничение особенно важно для варианта сигнального процессора LASP с медленной

опцией: как на входных интерфейсах, так и на выходных для каждого столкновения пучков передаётся по 8 величин, поэтому крайне необходимо, чтобы на каждом такте было доступно нужное значение. В быстрой опции выходной интерфейс имеет по 12 ячеек с данными, что вынуждает размещать два мультиплексора, ведь одного не будет достаточно в любом случае. В таком раскладе допускается одновременное наличие не более двух активных каналов для каждого базового блока модуля конфигурируемой перестановки. Извлечённые из общего потока значения, предназначенные для определённого выходного канала, временно буферизируются в памяти.

После накопления всех необходимых значений АЦП их необходимо переупорядочить, что осуществляется просто путём считывания данных в требуемой последовательности, согласно конфигурации. Стоит отметить, что буферизация данных в памяти позволяет обеспечить их безопасный переход из тактового домена f_{feb} в домен f_{core} .

4.1.1 Архитектура с модулем синхронизации тактовых доменов

Первый вариант архитектуры модуля `remap`, содержащий специальный модуль синхронизации тактовых доменов, представлен на рисунке 12.

Основной особенностью этой архитектуры является то, что в качестве буфера для мультиплексированных данных используется блок двухпортовой RAM памяти. Эта память разбита на несколько страниц, каждая из которых имеет размер, достаточный для хранения захваченной информации, относящейся к одному столкновению пучков. Чтение данных из страницы начинается лишь только после её полного заполнения записывающей стороной. Для синхронизации процессов считывания и записи предусмотрен следующий механизм: по завершению заполнения страницы

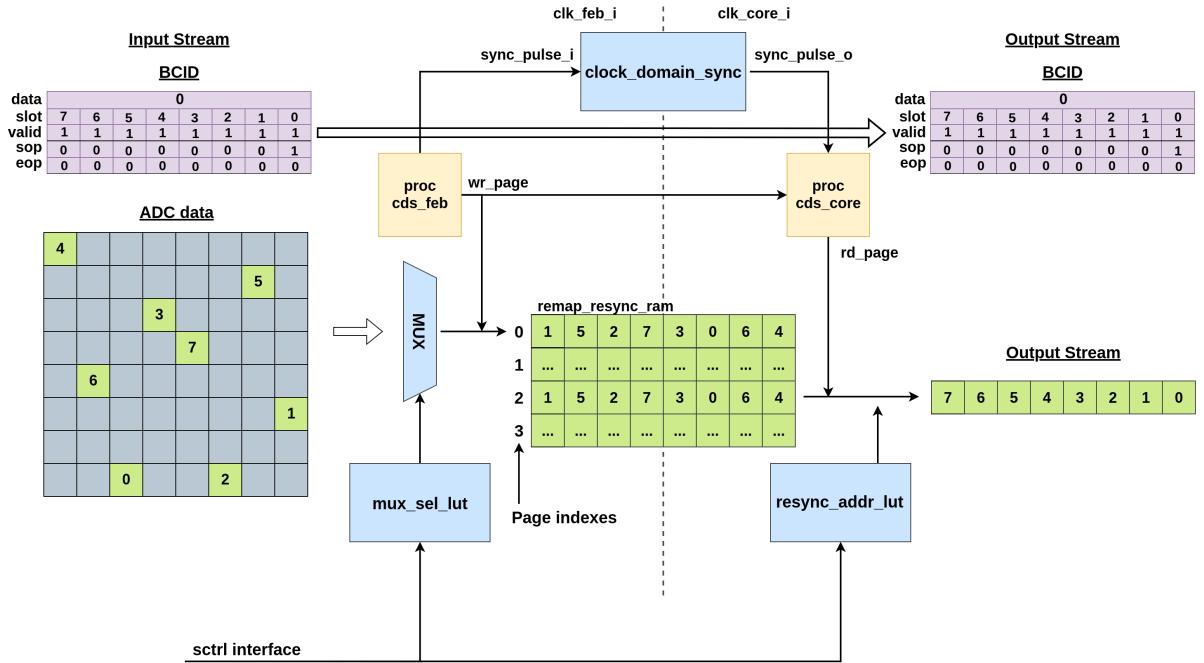


Рис. 12: Схема архитектуры модуля `remap` с модулем синхронизации тактовых доменов

памяти записывающая логика генерирует импульс шириной в один такт и отправляет его на вход специального модуля. Внутри этого модуля расположены два счётчика, работающие на тактовых частотах f_{feb} и f_{core} , которые ведут счёт в диапазоне количества временных ячеек для каждого BCID. В рабочем режиме первый настроен так, чтобы обнуляться одновременно с поступлением синхросигнала от записывающей логики, а второй с задержкой около такта f_{feb} после первого. При завершении цикла работы второго счётчика формируется выходной сигнал синхронизации, который поступает кчитывающей логике и означает, что очередная страница в двухпортовой памяти заполнена полностью и можно безопасно извлекать из неё данные. При сбое синхронизации синхросигнал от системы записи придет не вовремя, модуль это обнаружит и перейдет в режим восстановления синхронизации. Часть данных после сбоя синхронизации будет утеряно, но через некоторое время система модуля автоматически восстановится и продолжит работать исправно.

Описанная архитектура была реализована на языке описания цифро-

вой логики VHDL и отлажена. По результатам тестирования в симуляторе она подтвердила свою работоспособность. Однако такой подход имеет ряд недостатков, главным из которых является необходимость передавать целый набор сигналов (такие как номер текущей страницы, индекс столкновения пучка, а также ряд вспомогательных сигналов внутри модуля синхронизации тактовых доменов) между тактовыми доменами f_{feb} и f_{core} вручную, используя схемы на двух регистрах. Для корректной организации таких переходов требуется тонкая ручная настройка временных ограничений, реализуемая путём составления специальных указаний синтезатору физической схемы, входящему в состав программного комплекса Intel Quartus Prime. Это значительно усложняет весь проект и делает его гораздо менее гибким. После возникновения проблем с разводимостью логики проекта LATOME [12], который является основой задетекторной электроники эксперимента ATLAS, разработанной в рамках предшествующей фазы обновления детектора, командой разработчиков сигнального процессора LASP было принято решение максимально избегать подобные способы перехода между тактовыми доменами. Кроме того, данный вариант является довольно путанным и сложным для понимания в деталях. Учитывая все эти недостатки, было решено разработать альтернативную архитектуру модуля `remap`.

4.1.2 Архитектура, основанная на FIFO

Второй вариант архитектуры модуля `remap`, содержащий память FIFO, представлен на рисунке 13.

В рамках данного подхода в качестве буфера для мультиплексированных данных является память FIFO (First In First Out). Такая структура состоит из двухпортовой памяти, двух счётчиков адреса и двух автоматов для чтения и записи данных и является одним из ключевых элементов цифровой схемотехники. Одно из самых распространённых применений

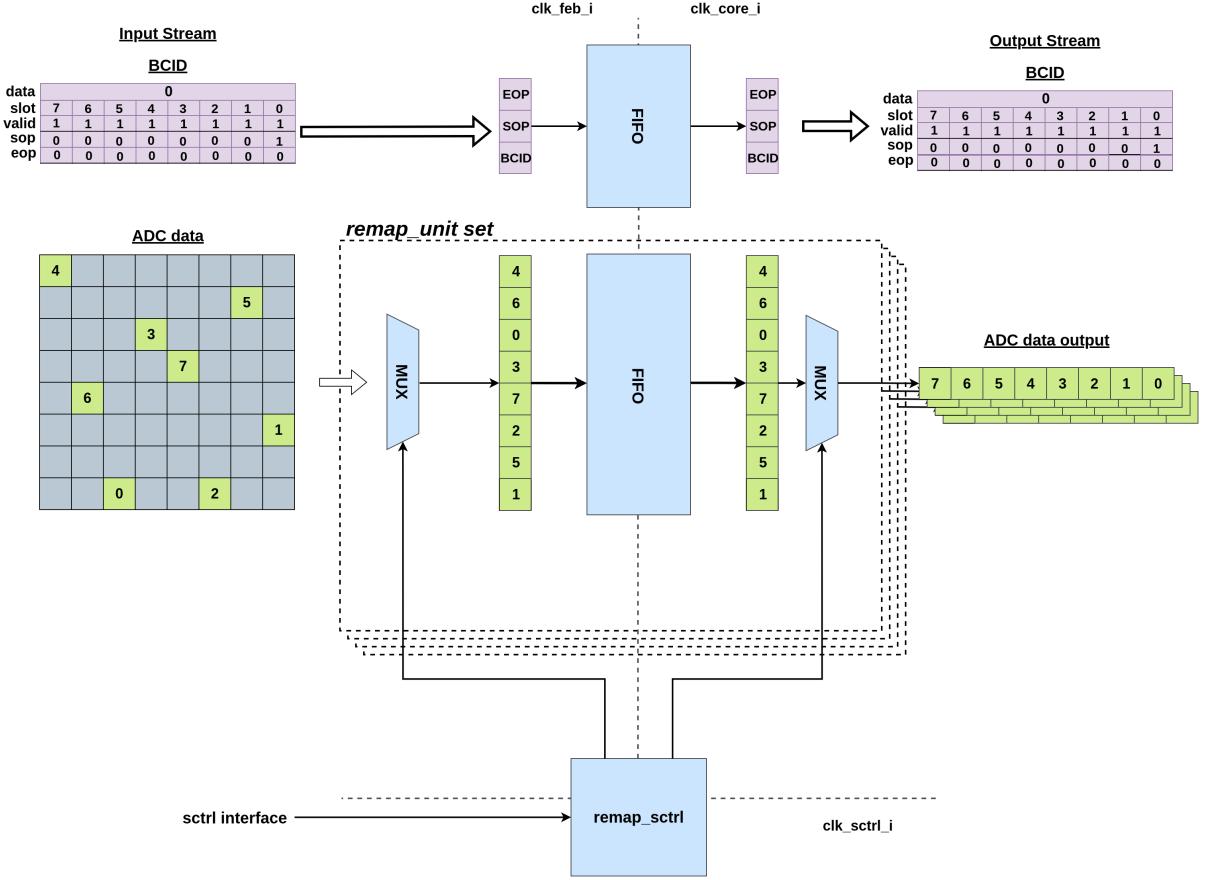


Рис. 13: Схема архитектуры модуля `remap`, основанной на FIFO

такой памяти, помимо буферизации информации – это реализация перехода данных между тактовыми доменами. Поскольку такая память используется невероятно часто в проектировании логических схем, то существует множество готовых вариантов их реализации, в том числе и от разработчиков самих микросхем ПЛИС и соответствующего программного обеспечения для автоматического проектирования, в том числе и от Intel. В случае использования такого готового блока FIFO не требуется ручное написание временных ограничений, что избавляет от потенциальных проблем на этапе синтеза цифровой схемы всего проекта.

Однако, одна из основных особенностей FIFO – это сохранение порядка записываемых данных, что не позволяет реализовать последний этап работы модуля `remap`. Для решения данной задачи используется подход, при котором данные с мультиплексора поступают не напрямую на вход FIFO, а записываются в один большой регистр, достаточного размера для

одновременного хранения всех мультиплексированных данных в рамках текущего столкновения пучков. Для наиболее оптимального использования логических ресурсов этот регистр является сдвиговым, то есть каждый такт новое значение поступает в начало, после чего оно смещается дальше. Только после полного заполнения этого регистра актуальными величинами, данные одним большим словом записываются в FIFO. Считывающая логика, после обнаружения данных на выходе FIFO, имеет доступ сразу ко всем значениям и может извлекать их последовательно в необходимом порядке.

В целях минимизации латентности необходимо, чтобы поступающие в FIFO данные сразу же были доступны для чтения, то есть требуется не допускать его заполнения. Поскольку запись и извлечение идёт с одной и той же скоростью, важно сделать так, чтобы считающая система начала работу как минимум не позднее записывающей. Это достигается правильным управлением сигналами сброса: после старта сигнального процессора LASP сначала должен сняться сброс, синхронный с тактовым доменом f_{core} , а уже затем f_{feb} .

В случае возникновения каких-то ошибок может возникнуть ситуация, когда FIFO заполнится и записывающая сторона не сможет сохранить новые данные. Для обработки такого случая перед записью каждой новой порции информации осуществляется проверка состояния буфера. Если оказывается, что блок FIFO заполнен, то текущие данные отбрасываются и инкрементируется счётчик ошибок, который доступен по чтению через интерфейс медленного контроля. Такой счётчик может быть жизненно необходим для отладки на этапе аппаратного запуска системы на целевой платформе, потому что это один из самых доступных способов узнать состояние модулей во время их непосредственной работы.

4.2 Конфигурирование через интерфейс медленного контроля

Конфигурирование модуля `remap` осуществляется через интерфейс медленного контроля. Как упоминалось ранее, он функционирует поверх протокола Avalon Memory Mapped, который предназначен для работы с адресуемой памятью. Такой подход очень удобен, поскольку в этом случае можно выделить каждому модулю свой участок адресов, по которым можно будет располагать необходимые значения. Разные адреса можно настроить по способу доступа к ним, таким образом можно завести некоторые показатели системы, которые можно будет только считывать, или же добавить параметры с опцией модификации. Отдельная важная особенность работы через память – возможность функционирования в разных тактовых доменах, для этого достаточно использовать модули двухпортовой памяти. Это позволяет использовать достаточно низкую тактовую частоту для интерфейса конфигурации, чтобы он не оказывал существенного влияния на разводимость остальной логики. Причём эта частота может быть единой для конфигурирования всех компонентов, вне зависимости от их внутренних тактовых сигналов, что значительно упрощает работу медленного контроля.

Модуль перестановки `remap` имеет две конфигурируемые стадии: какие значения извлекать из общего потока данных с помощью мультиплексора и в каком порядке их выдавать в выходной канал. Поскольку эти стадии работают в разных тактовых доменах, то необходимо размещать параметры для них в разных блоках памяти, чтобы можно было корректно переводить значения в целевые тактовые частоты. Начальный адрес конфигурации мультиплексора устанавливается глобальной константой `REMAP_BADDR` (`Remap Base Address`) с уровня всего проекта сигнального процессора LASP, а конфигурация порядка выходных данных имеет

некоторое смещение относительно него. На рисунке 14 изображена схема отображения конфигураций на адресное пространство.

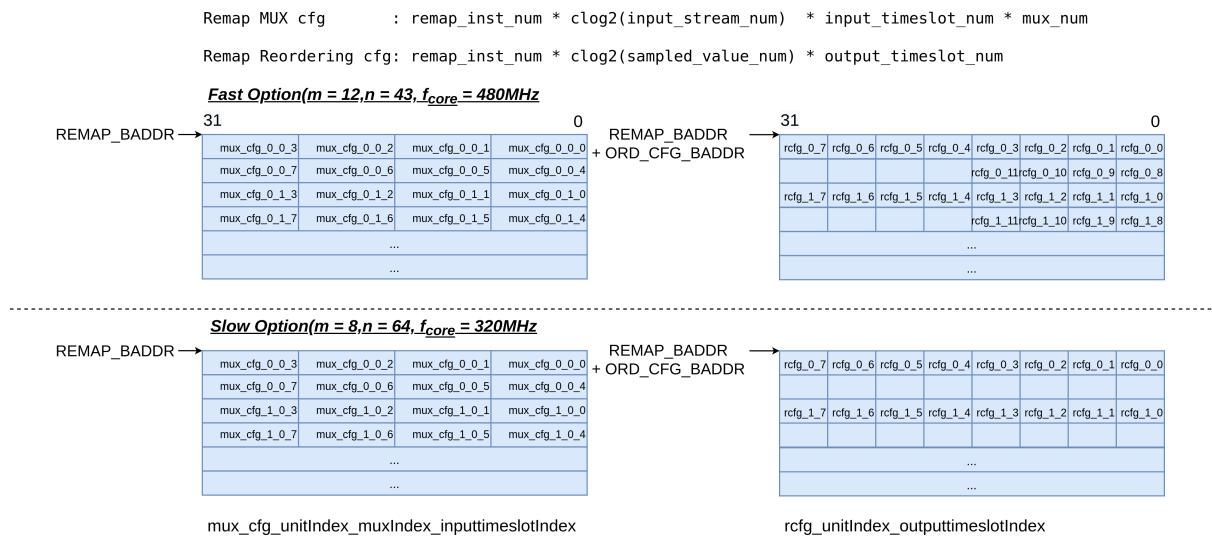


Рис. 14: Схема маппинга памяти модуля перестановки `remap` для записи конфигурации

Для конфигурирования входного мультиплексора необходимо для каждой временной ячейки установить номер канала, с которого необходимо захватить данные. На каждый `remap` поступает по 22 канала, то есть требуется 5 бит на значение. Для любого столкновения пучков выделяется по 8 временных интервалов, следовательно суммарно должно быть не менее 40 бит данных для конфигурирования одного выходного канала `remap`. Шина данных интерфейса Avalon Memory Mapped имеет ширину 32 бита, поэтому для удобства формирования и чтения конфигурационных данных используется 2 слова AVMM, что составляет 64 бита. В случае варианта быстрой опции сигнального процессора LASP требуется два входных мультиплексора, соответственно размер конфигурации удваивается и равняется 128 бит.

Конфигурирование финальной перестановки осуществляется путём последовательного указания индекса необходимого значения. В зависимости от медленной или быстрой опции отобранных величин может быть

8 или 16 соответственно. Для более удобной работы под каждое такое значение выделяется по 4 бита. Далее, в зависимости от варианта сигнального процессора LASP требуется от 8 до 12 временных ячеек для каждого BCID, следовательно суммарно необходимо иметь от 32 до 48 бит. Аналогично конфигурации мультиплексора, в целях повышения удобства размер конфигурации округляется по ширине шины интерфейса AVMM и составляет 64 бита независимо от опции сигнального процессора LASP.

4.3 Реализация

4.3.1 Симуляция

В ходе реализации синтезируемых компонентов модуля Remap активно использовалось тестирование с помощью симуляции. Оно осуществлялось с помощью специализированного программного обеспечения Mentor QuestaSim, предназначеннное для моделирования и отладки микросхем ПЛИС. Симуляционное окружение разработано, как и синтезируемые модули, на языке VHDL и обеспечивает поступление данных на входной интерфейс тестируемого модуля. Так, на рисунке 15 приведён фрагмент симуляции, на котором показан пример данных внутри внутри входного интерфейса. Можно увидеть, что как и в реальной системе, в каждый модуль Remap поступает 22 канала со значениями АЦП, причем для каждого BCID передаётся по 8 величин в канале. Все сигналы входного сигнала синхронны с тактовой частотой f_{feb} .

В рассматриваемом примере модуль предназначен для работы в варианте сигнального процессора LASP с установленной медленной опцией. В качестве конфигурации производится установка параметров для первых двух выходных каналов Remap компонента. На рисунке 16 отображено, как это осуществляется через интерфейс медленного контроля. На волновой диаграмме отчетливо видно, как значения поступают в установленном

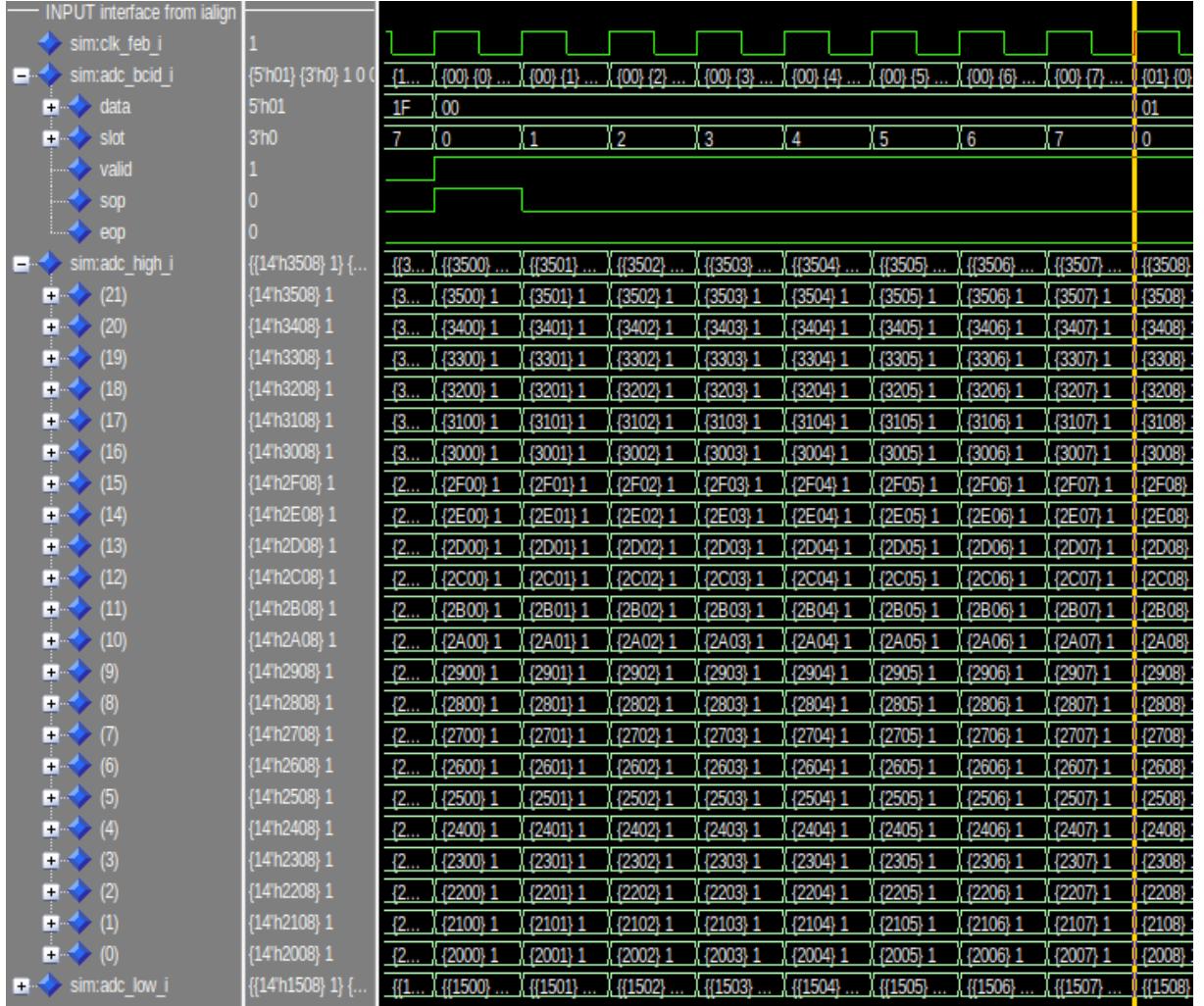


Рис. 15: Фрагмент поступающих в модуль Remap входных данных в симуляции

формате по протоколу AVMM, после чего лишние биты отсекаются, а сами конфигурационные данных переходят в соответствующие им тактовые домены. В соответствии с настройкой, первый выходной канал должен выдавать данные из первых восьми входных каналов в обратной последовательности, а второй по четыре значения из каналов с номерами 20 и 21 в чередующейся последовательности.

На рисунке 17 изображен выходной интерфейс модуля конфигурируемой перестановки. Поскольку система предназначена для работы в медленной опции сигнального процессора LASP, выходной интерфейс состоит из 16 каналов, в котором данные передаются синхронно частоте f_{core} , равной 320 МГц. На нём можно отследить корректность работы

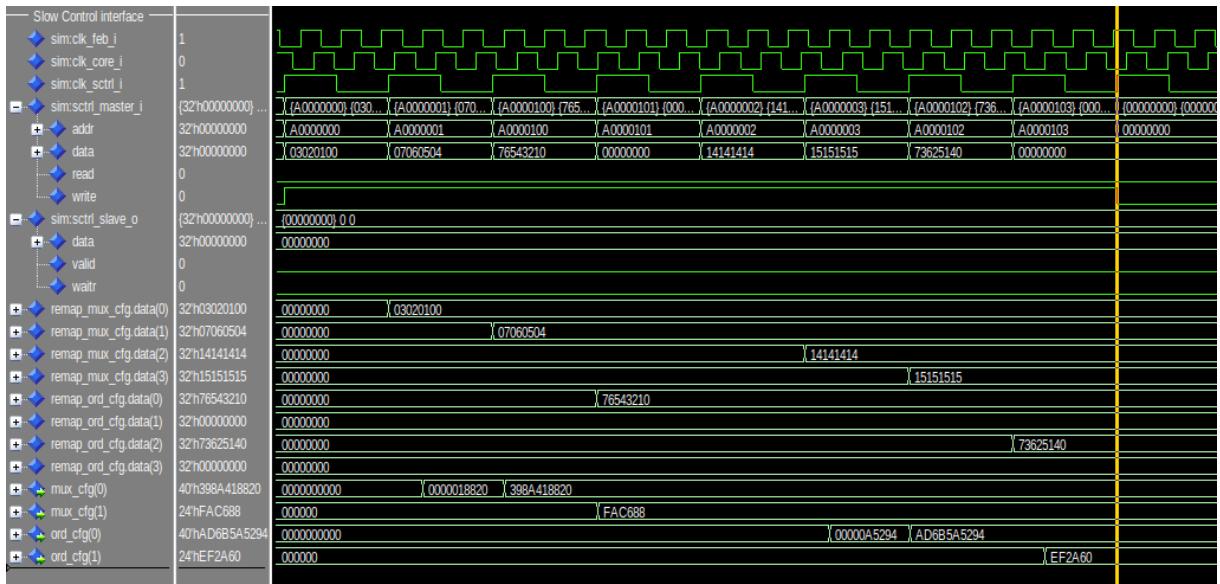


Рис. 16: Пример записи конфигурации модуля Remap в симуляции компонента, работающего в соответствии с вышеописанными настройками.

4.3.2 Синтез

После отладки функциональности в симуляторе был произведён синтез модуля `remap` под платформу Intel Stratix 10 SX 2800 в обоих вариантах конфигурации сигнального процессора LASP. В таблице 1 представлены значения используемых логических ресурсов для синтеза модуля, рассчитанного под обработку 22 входных каналов данных. Количество выходных каналов, в свою очередь, зависит от опции LASP.

Таблица 1: Используемые модулем `remap` логические ресурсы

Тип	Медленная опция	Быстрая опция
Адаптивные логические блоки ALM	3077	2249
Таблицы преобразования ALUT	1728	1686
Регистры	7075	4530
Блоки памяти M20K	96	37

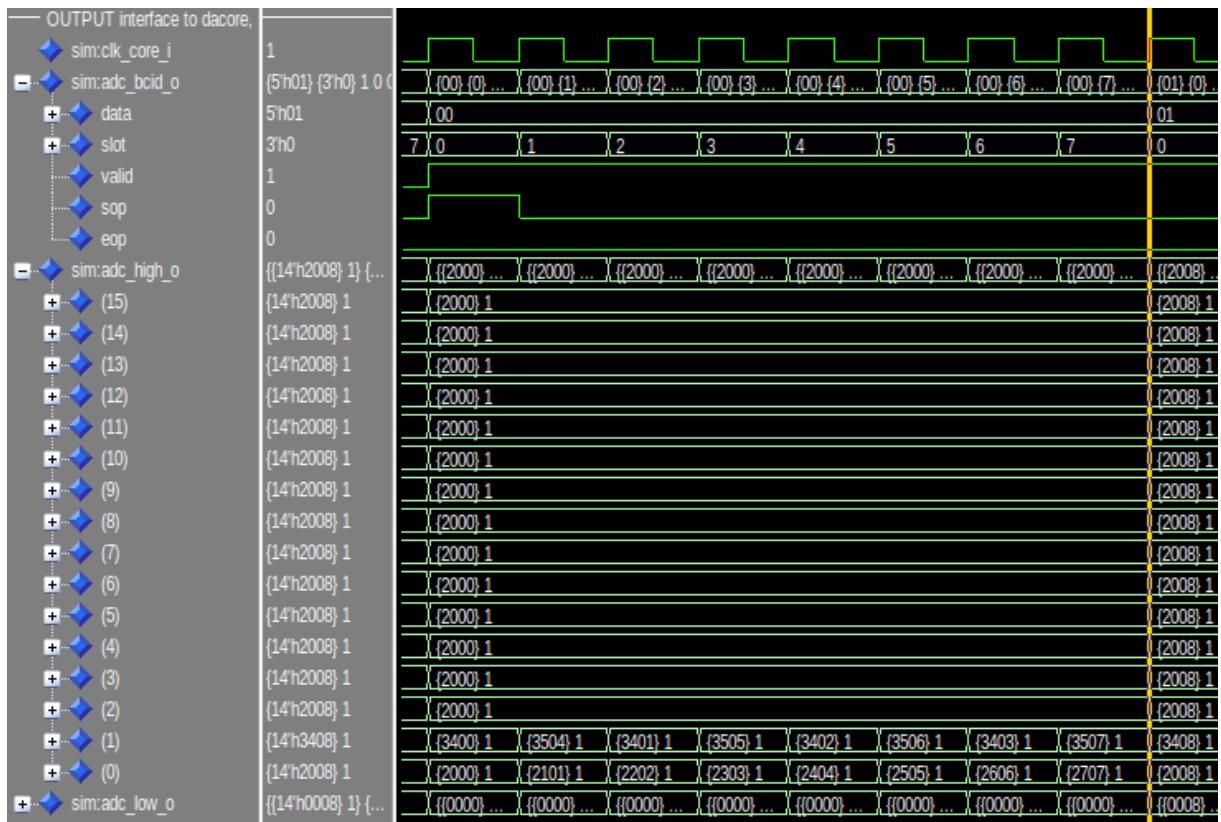


Рис. 17: Фрагмент выходящих из модуля Remap данных в симуляции

По таблице отчетливо видно, что модуль использует меньше логических ресурсов ПЛИС при работе в быстрой опции, поскольку в таком варианте необходимо генерировать меньшее количество выходных каналов, но на более высокой частоте. С точки зрения временных ограничений, обе версии модуля `remap` синтезируются без проблем и имеют запас по установке сигнала в 350 и 260 пикосекунд соответственно. Задержка при передаче данных составляет порядка 30 наносекунд, что удовлетворяет требованиям, предъявляемых модулю.

4.4 Программное обеспечение

В целях автоматизации процесса формирования конфигураций для модулей `remap` велась разработка соответствующего программного обеспечения. Первым делом в ручном режиме была изучена структура входных данных и сформирован профиль переупорядоченных данных выходного

интерфейса. Для каждого участка жидкого аргона калориметра существует карта, согласно которой оцифрованные значения АЦП поступают в сигнальный процессор LASP. Они представлена в виде таблиц, каждая из которых состоит из 88 строк и 6 колонок, в соответствии с количеством подключаемых входных каналов и временных ячеек для передачи данных в рамках каждого канала. Каждая ячейка содержит аббревиатуру, несущую в себе полную информацию об источнике сигнала. Поскольку калориметры имеют некоторую регулярность в своей структуре, то из всех четырехсот карт можно выделить всего двадцать уникальных, в которых структура входных данных является действительно уникальной. То есть достаточно составить двадцать схем перестановок, и применить одну из них для каждой из существующих. Пример карты упорядочивания входных значений для участка цилиндрической части жидкого аргона калориметра изображен на рисунке 18. При составлении выходной карты данных в первую очередь преследовалось удобное расположение данных для последующего вычисления сумм по участкам калориметра.

Рис. 18: Пример схема упорядочивания выходных данных модуля гетар

С помощью скрипта написанного на языке Python выполняется автоматическая генерация конфигурационных значений для модуля `remap`. Первый этап его работы заключается в подборе такого порядка значений внутри каждого отдельного входного канала, который обеспечивал бы отсутствие пересечений данных, предназначенных для каждого выходного канала, по временным ячейкам. Эти перестановки предназначаются для

реализации модулем `ialign`. Следующим этапом является поиск последовательности номеров входных каналов, необходимых мультиплексирования каждой секцией модуля `remap`. Заключительным этапом является формирование набора чисел, согласно которым отобранные мультиплексором данные будут упорядочены. Значительным упрощением является тот факт, что входные каналы данных разбиваются на четыре независимых набора, следовательно и конфигурации составляются не по всем 88 каналам, а только по 22.

В настоящий момент разработка данного ПО не завершена, поскольку реализован лишь прототип, который работает с одним минимальным набором из 22 входных каналов. После отладки предстоит его масштабирование для работы со всеми участками жидкогоаргоновых калориметров.

5 Модуль упаковки данных (packer)

Модуль **packer** является частью сигнального процессора LASP и предназначен для вычисления необходимых энергетических сумм по узлам калориметра и последующей упаковки данных для отправки в целевую систему.

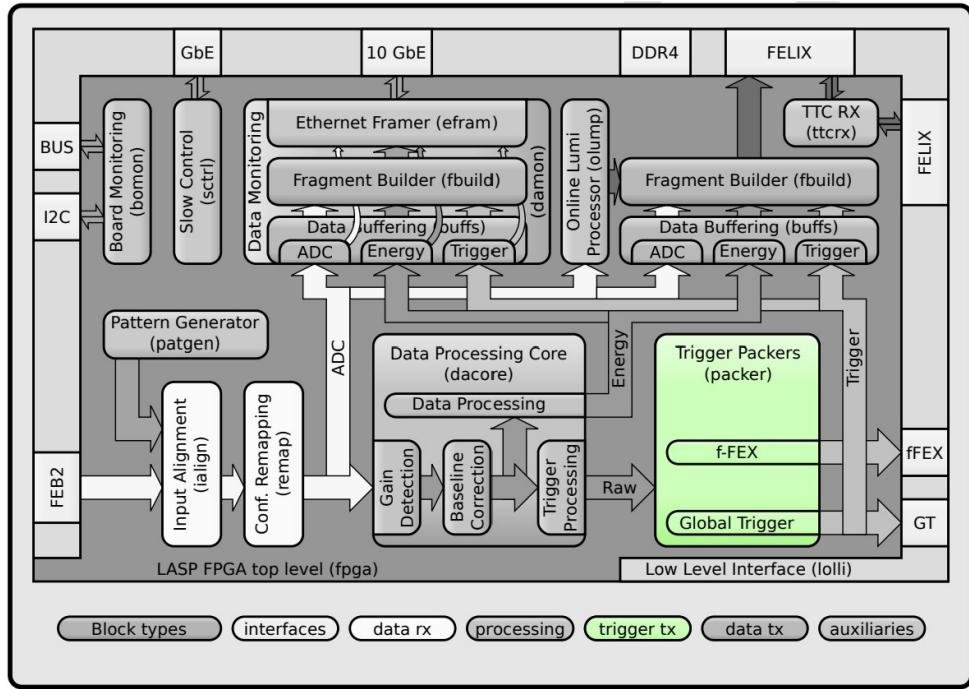


Рис. 19: Схема расположения модуля **packer** в общей структуре сигнального процессора LASP

Модуль **packer** обеспечивает данные для двух внешних подсистем: глобальный триггер и fFEX. Система fFEX [13] является представителем набора модулей FEX, с помощью которых осуществляется поиск специфичных событий в ускорителе. Для этого ей не требуется полный объём данных, поступающих с детектора, а достаточно лишь определённой части, причём зачастую используются не конкретные значения, а суммы по целым участкам калориметра.

Для передачи данных во внешние подсистемы используется подход упаковки информации в кадры, которые уже непосредственно отправ-

ляются клиенту. Поскольку в системе сбора данных имеется жесткая система синхронизации – приёмник и передатчик синхронизованы между собой и частотой БАК – при передаче данных не требуется синхронизация в каждом пакете. Полоса пропускания полностью используется для передачи данных, упакованных в кадры, в каждом из которых содержатся данные от одного столкновения пучков. На рисунке 20 изображен один из предложенных вариантов формата кадра данных. Он содержит 46 десятибитных значений АЦП, идентификатор столкновения пучков, а также флаги превышения данными порога 2σ . Помимо представленного варианта также были предложения реализовать кадры с переменной структурой, которые наиболее эффективно использовали бы пропускную способность канала передачи данных для разных участков калориметра.

Рис. 20: Вариант формата кадра данных для отправки в систему fFEX

В ходе работы был разработан прототип модуля **packer** на языке описания цифровой логики VHDL, и подготовлено тестовое симуляционное окружение для моделирования его поведения. Также этот модуль был интегрирован в общий дизайн сигнального процессора LASP в рамках подхода top-down [14]. Таким образом, весь дизайн целиком LASP сейчас может модулироваться и компилироваться. Целевая функциональность модуля упаковки триггерных данных будет реализована после согласования требований с разработчиками системы fFEX (ожидается в 2023).

Заключение

В рамках данной работы велась разработка блока упаковки данных сигнального процессора жидкогоаргоновых калориметров LASP для системы FEX, состоящей из связки модулей конфигурируемой перестановки `remap` и упаковщика триггерных данных `packer`. Таким образом, были реализованы следующие задачи:

- по модулю конфигурируемой перестановки `remap`:
 - проработана внутренняя архитектура – составлено 2 альтернативных варианта;
 - написаны синтезируемые блоки цифровой логики на языке VHDL;
 - создано симуляционное окружение для моделирования поведения модуля;
 - проведена компиляция под целевую платформу;
 - выполнена интеграция модуля в основную структуру сигнального процессора LASP;
 - разработан прототип программного обеспечения для автоматической генерации конфигурации;
- по упаковщику триггерных данных `packer` для системы fFEX:
 - разработаны протоколы упаковки данных в кадры;
 - реализован синтезируемый прототип модуля;
 - создано симуляционное окружение для моделирования поведения модуля;
 - выполнена интеграция модуля в основную структуру сигнального процессора LASP.

В дальнейшем планируется масштабирование программного обеспечения для автоматической генерации конфигураций модуля `remap` на все участки жидкогоаргонового калориметра. После согласования требований

с разработчиками системы fFEX будет завершена реализация упаковщика *packer*. После завершения разработки предстоит запуск систем на целевой платформе и последующий ввод в эксплуатацию.

Список литературы

1. ATLAS Liquid Argon Calorimeter Phase-II Upgrade Technical Design Report. — <https://cds.cern.ch/record/2285582/files/ATLAS-TDR-027.pdf>.
2. Particle shower, Wikipedia. — https://en.wikipedia.org/wiki/Particle_shower.
3. Liquid Argon Calorimeter Technical Design Report. — <https://cds.cern.ch/record/331061/files/CERN-LHCC-96-41.pdf>.
4. LAPAS: A SiGe Front End Prototype for the Upgraded ATLAS LAr Calorimeter. — <https://cds.cern.ch/record/1214888>.
5. Проект lpGBT. — <https://espace.cern.ch/GBT-Project/LpGBT>.
6. Design and Evaluation of LAr Trigger Digitizer Board in ATLAS Phase-I Upgrade. — <https://arxiv.org/pdf/1806.08046.pdf>.
7. Initial Design Review for the Phase-II Upgrade of the ATLAS TDAQ System. — <https://cds.cern.ch/record/2136483?>.
8. Technical Design Report for the Phase-I Upgrade of the ATLAS TDAQ System. — <http://cds.cern.ch/record/1602235>.
9. ATCA (or AdvancedTCA) Overview. — <https://atcaworld.com/atca-overview.html>.
10. Avalon Interface Specification. — https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/manual/mnl_avalon_spec.pdf.
11. The CERN-IPMC module. — <https://cern-ipmc.web.cern.ch/>.
12. The Phase-I trigger readout electronics upgrade of the ATLAS Liquid Argon calorimeters. — <https://iopscience.iop.org/article/10.1088/1748-0221/17/05/P05024>.

13. Technical Design Report for the Phase-II Upgrade of the ATLAS TDAQ System. — <https://cds.cern.ch/record/2285584/files/ATLAS-TDR-029.pdf>.
14. Top-down and bottom-up design. — https://en.wikipedia.org/wiki/Top-down_and_bottom-up_design.