

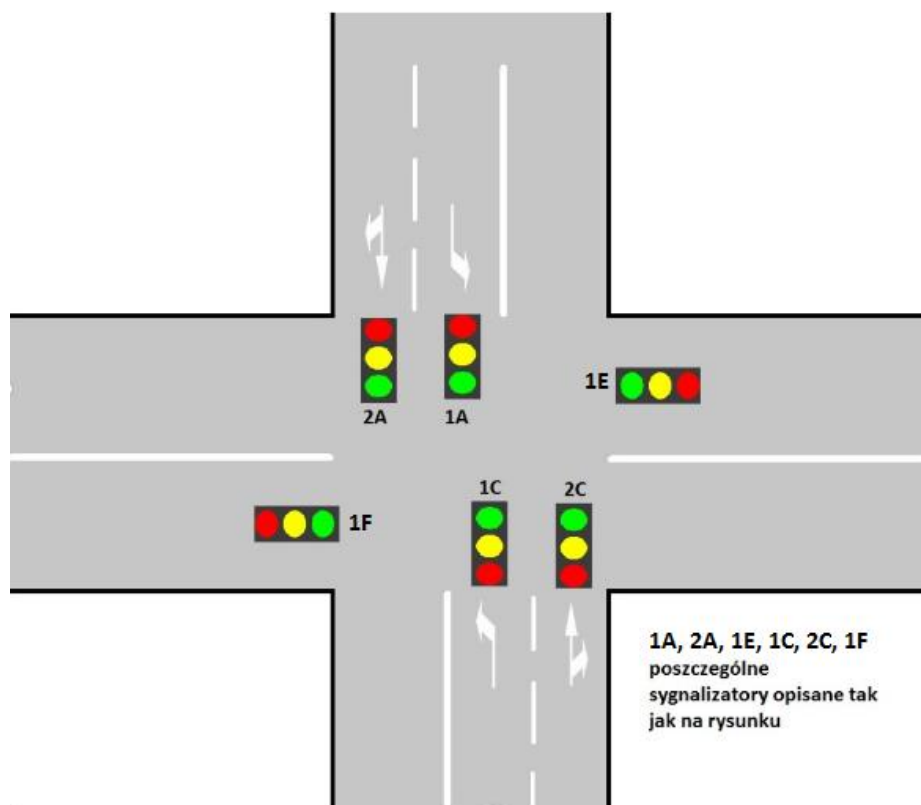


Politechnika Wrocławska

Sterownik do sygnalizacji światlnej wykonany w oparciu o FPGA

Autor: Oskar Staniszewski 212499

Idea projektu



Celem projektu jest zaprogramowanie układu, który odpowiedzialny będzie za sterowanie sygnalizatorami świetlnymi na podanym skrzyżowaniu.

Tabela przejść

<u>Sygnalizator\stan</u>	STAN1	STAN2	STAN3	STAN4	STAN5	STAN6	NOC	OFF
1A	100	010	001	001	001	011	010	000
2A	001	001	001	011	100	010	010	000
1E	001	011	100	010	001	001	010	000
1C	100	010	001	001	001	011	010	000
2C	001	001	001	011	100	010	010	000
1F	001	011	100	010	001	001	010	000

Opis sygnałów:

-światło zielone: "1 0 0"

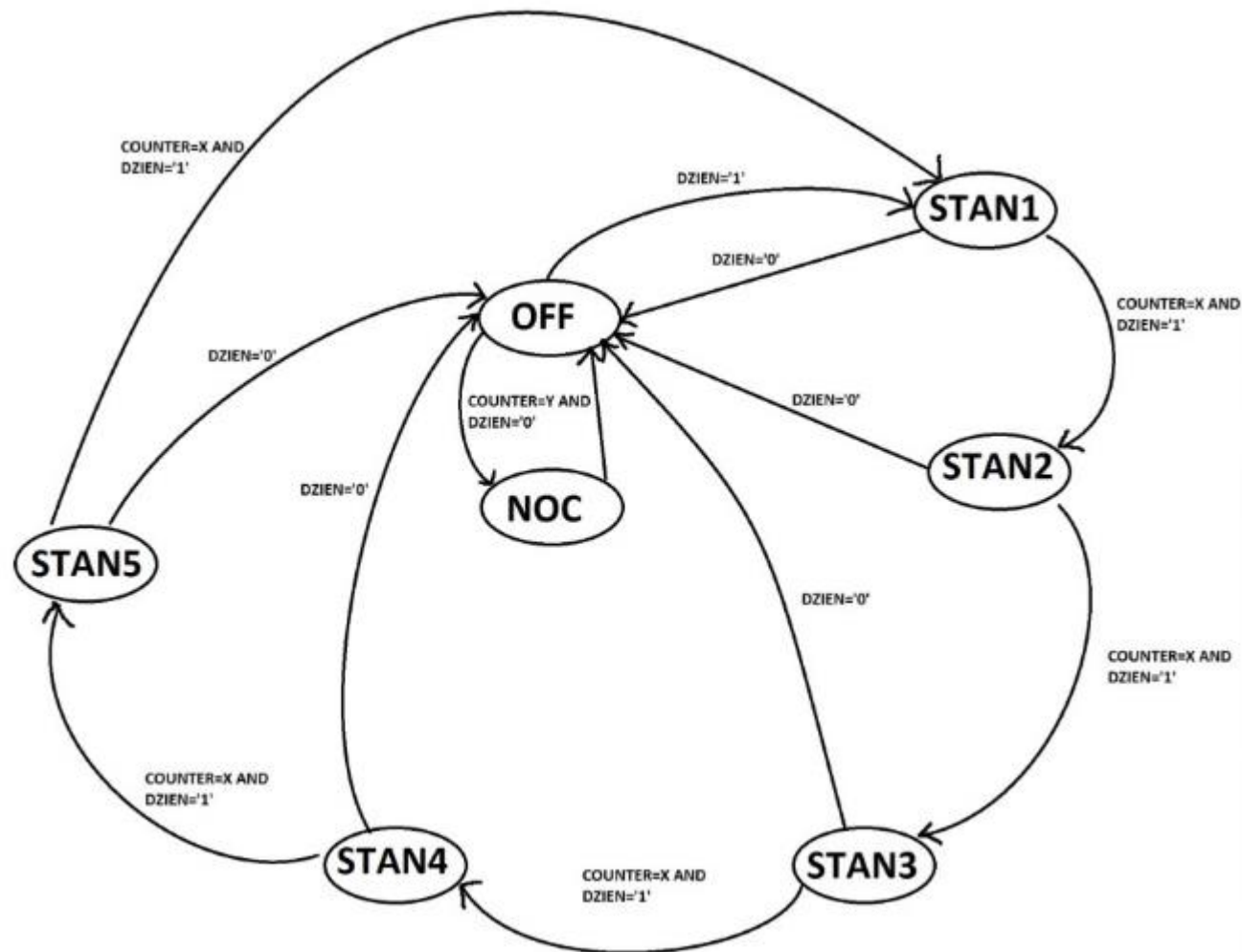
-światło pomarańczowe: "0 1 0"

-światło pomarańczowe + czerwone: "0 1 1"

-światło czerwone: "0 0 1"



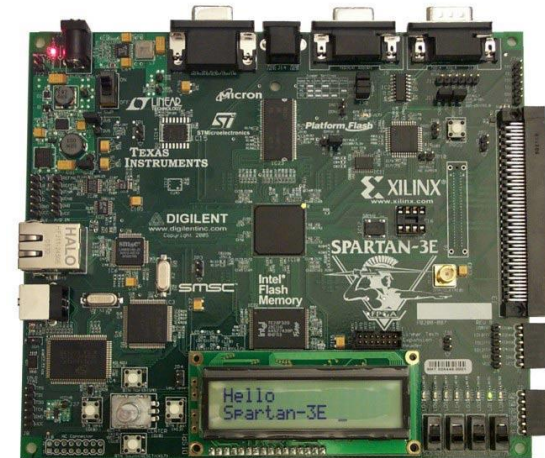
Maszyna stanów



Realizacja projektu

Układ sterownika zrealizuję przy użyciu następujących komponentów układu Spartan3E:

- generator drgań (taktowanie zegarowe 50MHz)
- wyświetlacz 7-segmentowy (moduł rozszerzeniowy)
- dioda RGB (moduł rozszerzeniowy)



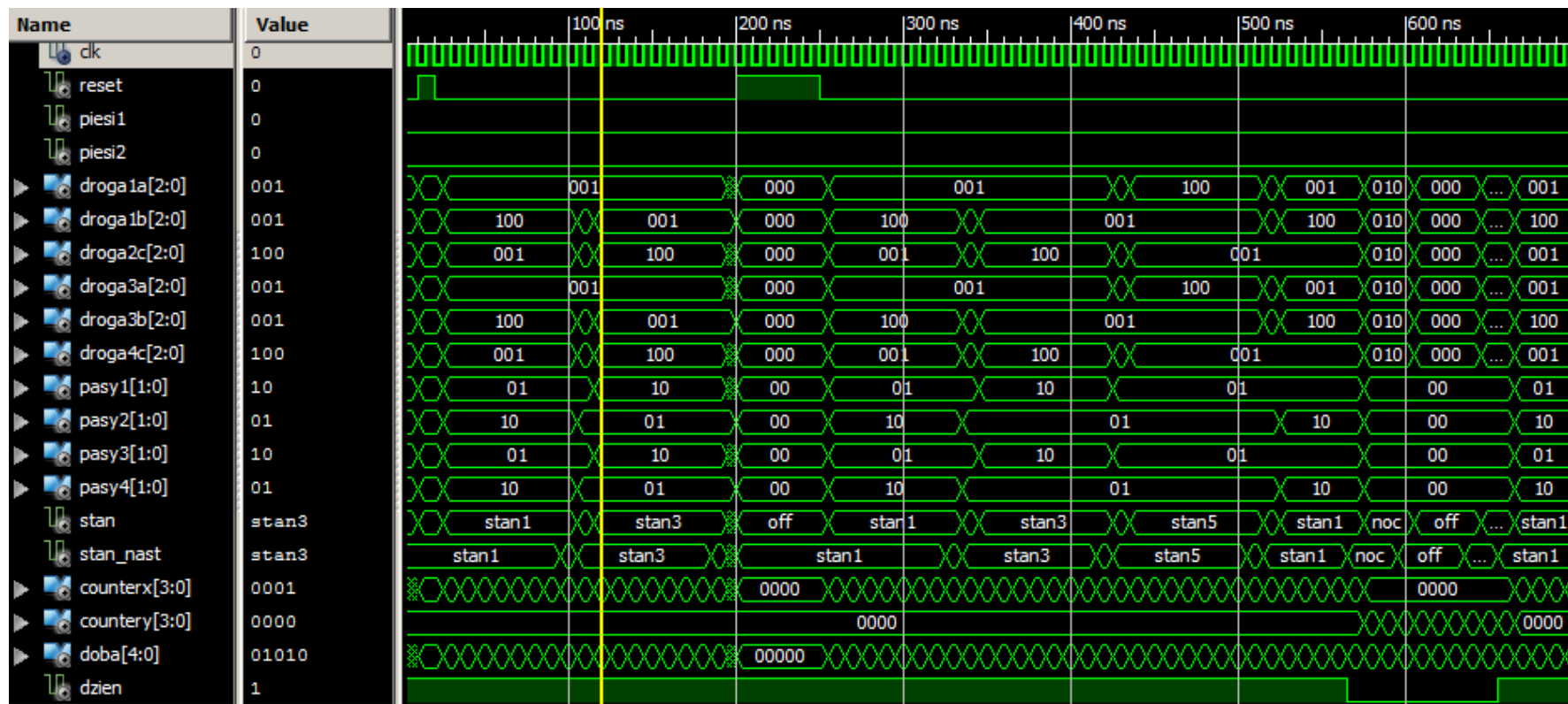
Wykonanie - VHDL

Do wykonania implementacji projektu należy zaprogramować:

- automat stanów,
- układy liczników,
- multipleksery,
- prescalery

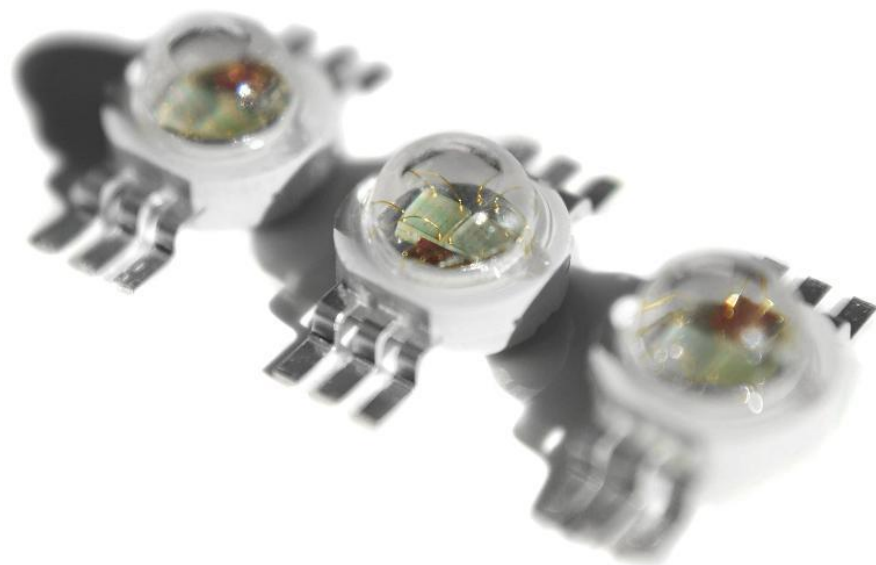


Symulacja ISim



Implementacja - FPGA

Po procesie symulacji, który przebiegł zgodnie z oczekiwaniami, przy użyciu oprogramowania ISE Design Suite należy zaimplementować kod źródłowy na układ ewaluacyjny i zobaczyć efekty działania sterownika.





Implementacja wyświetlacza 7-seg

```
process (clk, digit) is
begin
    if (clk'event and clk = '1') then
        case digit is
            when X"0" => seg <= "0000000";      --definicja cyfry 0
            when X"1" => seg <= "0110000";      --definicja cyfry 1
            when X"2" => seg <= "1101101";      --definicja cyfry 2
            when X"3" => seg <= "1111001";      --definicja cyfry 3
            when X"4" => seg <= "0110011";      --definicja cyfry 4
            when X"5" => seg <= "1011011";      --definicja cyfry 5
            when X"6" => seg <= "1011111";      --definicja cyfry 6
            when X"7" => seg <= "1110010";      --definicja cyfry 7
            when X"8" => seg <= "1111111";      --definicja cyfry 8
            when X"9" => seg <= "1110110"; --N
            when X"A" => seg <= "1110111";
            when X"B" => seg <= "1111110"; --0
            when X"C" => seg <= "1001110";
            when X"F" => seg <= "1000111";
            when X"E" => seg <= "1001111";
            when others => seg <= "1000111";
            --definicja litery E
        end case;
    end if;
end process;

process (sel, x) is
begin
    case sel is
        when "00" => digit <= x(3 downto 0);
            if sel = "00" then anodes <= "0001"; else null; end if;
        when "01" => digit <= x(7 downto 4);
            if sel = "01" then anodes <= "0010"; else null; end if;
        when "10" => digit <= x(11 downto 8);
            if sel = "10" then anodes <= "0100"; else null; end if;
        when others => digit <= x(15 downto 12);
            if sel = "11" then anodes <= "1000"; else null; end if;
    end case;
end process;
```



Implementacja prescalerów:

```
-----30 sec divider /sterowanie dayligh/-----
process(clk, reset)
begin
    if reset='1' then
        clk_div30s<=(others=>'0');
    elsif(clk'event and clk='1') then
        if clk_div30s>="10110010110100000101111000000000" then
            clk_div30s<=(others=>'0');
            if daylight>="110" and dzien='1' then
                daylight<="000";
                dzien<= not dzien;
            elsif daylight>="010" and dzien='0' then
                daylight<="000";
                dzien<= not dzien;
            else
                daylight<=daylight+"01";
            end if;
        else
            clk_div30s<=clk_div30s+"01";
        end if;
    end if;
end process;
```



Implementacja prescalerów:

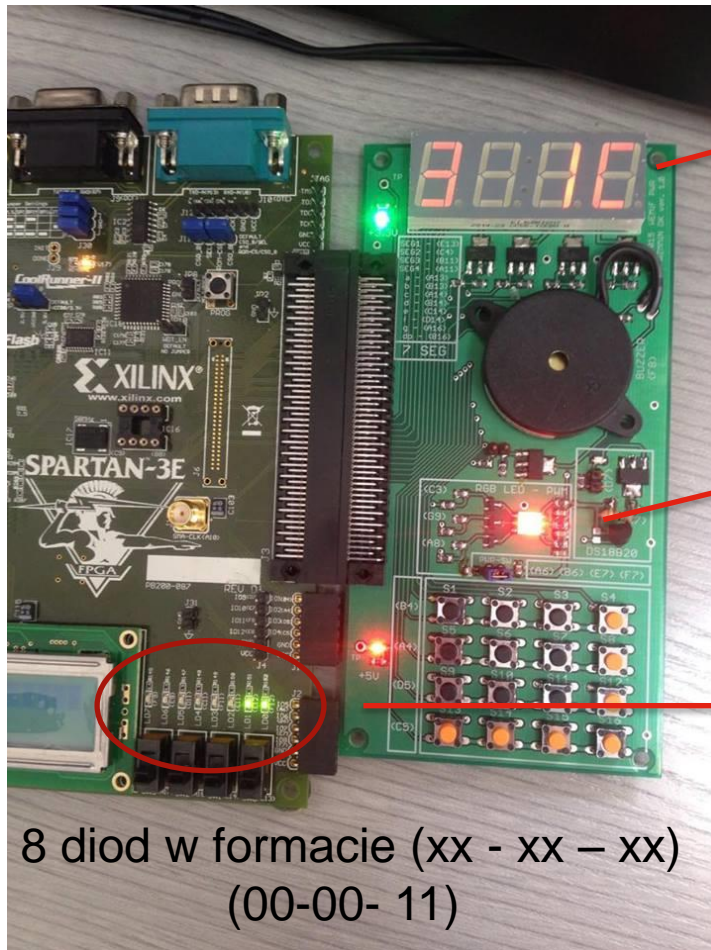
```
-----2 sec divider /sterowanie zmiana stanów/-----
process(clk, reset)
begin
    if reset='1' then
        clk_div2s<=(others=>'0');
    elsif(clk'event and clk='1') then
        if clk_div2s>="101111101011110000100000000" then
            clk_div2s<=(others=>'0');
            cnt4 <= not cnt4;
            if (stan=stan2 or stan=stan4 or stan=stan6 or stan=noc or stan=off) then
                cnt2<="0000";
            else
                cnt2<=cnt2+"01"; --30s
            end if;

            if (stan=stan1 or stan=stan3 or stan=stan5 or cnt3>="10") then
                cnt3<="00";
            else
                cnt3<=cnt3+"01";--4s
            end if;

            if cnt1>="101" or dzien='0' then
                cnt1<="000";
            else
                cnt1<=cnt1+"01";
            end if;

        else
            clk_div2s<=clk_div2s+"01";
        end if;
    end if;
end process;
```

Prezentacja działania



Aktualny stan (3) i obecnie
wyświetlany sygnalizator (1C)

Dioda RGB prezentująca
aktualnie wyświetlany kolor na
sygnalizatorze, dla danej
konfiguracji(001 -> czerwony)

Konfiguracja świateł dla aktualnie
wyświetlanego sygnalizatora (1C)
(0 0 1)

8 diod w formacie (xx - xx - xx)
(00-00- 11)

Opis sygnałów: -światło zielone: "1 0 0"
-światło pomarańczowe: "0 1 0"
-światło pomarańczowe + czerwone: "0 1 1"
-światło czerwone: "0 0 1"

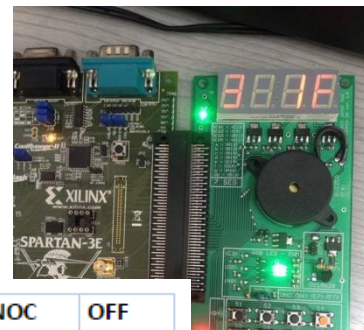


Prezentacja działania





Prezentacja działania



Sygnalizator\stan	STAN1	STAN2	STAN3	STAN4	STAN5	STAN6	NOC	OFF
1A	100	010	001	001	001	011	010	000
2A	001	001	001	011	100	010	010	000
1E	001	011	100	010	001	001	010	000
1C	100	010	001	001	001	011	010	000
2C	001	001	001	011	100	010	010	000
1F	001	011	100	010	001	001	010	000

Wyniki możemy porównać z tabelą prawdy dla naszego automatu.





XPower Analyzer

Xilinx XPower Analyzer - CROSSROAD.ncd - [Table View]

File Edit View Tools Help

Report Navigator

View

Views

Project Settings

Default Activity Rates

Summary

Confidence Level

Details

By Hierarchy

By Clock Domain

By Resource Type

Logic

Signals

Data

Control

Color

Source

Estimated

Default

A	B
Device	
Family	Spartan3e
Part	xc3s500e
Package	fg320
Temp Grade	Commercial
Process	Typical
Speed Grade	-4

C	D
On-Chip	
Clocks	0.000
Logic	0.000
Signals	0.000
IOs	0.000
Leakage	0.081
Total	0.081

E	F
Power (W)	
Used	1
Available	9312
Utilization (%)	2

G	H
Supply	
Source	1.200
Voltage	0.026
Total	0.000
Dynamic	0.000
Quiescent	0.002

I	J
Supply	
Source	2.500
Voltage	0.018
Total	0.000
Dynamic	0.000
Quiescent	0.002

K	L
Supply	
Source	2.500
Voltage	0.002
Total	0.000
Dynamic	0.000
Quiescent	0.002

M	N
Supply	
Source	2.500
Voltage	0.002
Total	0.000
Dynamic	0.000
Quiescent	0.002

O	P
Supply	
Source	2.500
Voltage	0.002
Total	0.000
Dynamic	0.000
Quiescent	0.002

Q	R
Supply	
Source	2.500
Voltage	0.002
Total	0.000
Dynamic	0.000
Quiescent	0.002

S	T
Supply	
Source	2.500
Voltage	0.002
Total	0.000
Dynamic	0.000
Quiescent	0.002

U	V
Supply	
Source	2.500
Voltage	0.002
Total	0.000
Dynamic	0.000
Quiescent	0.002

W	X
Supply	
Source	2.500
Voltage	0.002
Total	0.000
Dynamic	0.000
Quiescent	0.002

Y	Z
Supply	
Source	2.500
Voltage	0.002
Total	0.000
Dynamic	0.000
Quiescent	0.002

AA	AB
Supply	
Source	2.500
Voltage	0.002
Total	0.000
Dynamic	0.000
Quiescent	0.002

AC	AD	AE	AF	AG	AH	AI	AJ	AK	AL	AM	AN
Device											
Family	Spartan3e										
Part	xc3s500e										
Package	fg320										
Temp Grade	Commercial										
Process	Typical										
Speed Grade	-4										

AO	AP	AQ	AR	AS	AT	AU	AV	AW	AX	AY	AZ
Environment											
Ambient Temp (C)	25.0										
Use custom TJA?	No										
Custom TJA (C/W)	NA										
Airflow (LFM)	0										

BA	BB	BC	BD	BE	BF	BG	BH	BI	BJ	BK	BL
Thermal Properties											
Effective TJA (C/W)	26.1										
Max Ambient (C)	82.9										
Junction Temp (C)	27.1										

BO	BP	BQ	BR	BS	BT	BU	BV	BW	BX	BY	BZ
Characterization											
PRODUCTION	v1.2.06-23-09										

Device Utilization Summary

Logic Utilization	Used	Available	Utilization
Number of Slice Flip Flops	101	9,312	1%
Number of 4 input LUTs	172	9,312	1%
Number of occupied Slices	95	4,656	2%
Number of Slices containing only related logic	95	95	100%
Number of Slices containing unrelated logic	0	95	0%
Total Number of 4 input LUTs	180	9,312	1%
Number used as logic	172		
Number used as a route-thru	8		
Number of bonded IOBs	24	232	10%
Number of BUFMUXs	1	24	4%
Average Fanout of Non-Clock Nets	3.13		

2. Summary

2.1. On-Chip Power Summary

On-Chip Power Summary				
On-Chip	Power (mW)	Used	Available	Utilization (%)
Clocks	0.00	1	---	---
Logic	0.00	177	9312	2
Signals	0.00	203	---	---
IOs	0.00	24	232	10
Static Power	80.98			
Total	80.98			

2.2. Thermal Summary

Thermal Summary	
Effective TJA (C/W)	26.1
Max Ambient (C)	82.9
Junction Temp (C)	27.1

Dziękuję za uwagę

W przyszłości prototyp tego sterownika można rozszerzyć w zależności od skrzyżownia oraz od wymagań projektu.

