

蜂考速成课

《数字电子技术》

习题答案

(微信扫一扫)



版权声明:

内容来自高斯课堂原创，讲义笔记和相关图文均有著作权，视频课程已申请版权，登记号：陕作登字-2018-I-00001958，根据《中华人民共和国著作权法》、《中华人民共和国著作权法实施条例》、《信息网络传播权保护条例》等有关规定，如有侵权，将根据法律法规提及诉讼。

课时一 数制与编码

考点	重要程度	分值	常见题型
1. 数制转换	必考	2~4	填空
2. BCD 编码	必考	2	填空

1. 数制转换

常用数制：二进制(0,1)、八进制(0,1,2,3,4,5,6,7)、

十进制(0,1,2,3,4,5,6,7,8,9)

十六进制(0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F)。

① 二进制与十进制之间的转换

题 1. $(11001.011)_2 = (\quad)_{10}$

解：按权展开法： $(11001.011)_2 = 1 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3}$
 $= 1 \times 16 + 1 \times 8 + 0 \times 4 + 0 \times 2 + 1 \times 1 + 0 \times 0.5 + 1 \times 0.25 + 1 \times 0.125$
 $= (25.375)_{10}$

答案：25.375

题 2. $(75.625)_{10} = (\quad)_2$

解：整数部分：除 2 取余法

2 75	余数	↑ 低位 ↓ 高位
2 37	1	
2 18	1	
2 9	0	
2 4	1	
2 2	0	
2 1	0	
0	1	

小数部分：乘 2 取整法

0.625	整数	↑ 高位 ↓ 低位
$\times 2$		
1.250	1	
0.250		
$\times 2$		
0.500	0	
$\times 2$		
1.000	1	
0.000		

答案： $(75.625)_{10} = (1001011.101)_2$

② 二进制与十六进制之间的转换



题 3. $(101010.110)_2 = (\quad)_{16}$

解： $|0010|1010|.1100|$

$2 \quad A \quad . \quad C$

答案：2A.C

题 4. $(7A.3)_{16} = (\quad)_2$

解： $7 \quad A \quad . \quad 3$

$0111 \quad 1010 \quad . \quad 0011$

答案：0111 1010.0011

③ 二进制与八进制之间的转换

题 5. $(11011.11)_2 = (\quad)_8$

解： $|011|011|.110|$

$3 \quad 3 \quad . \quad 6$

答案：33.6

题 6. $(63.2)_8 = (\quad)_2$

解： $6 \quad 3 \quad . \quad 2$

$110 \quad 011 \quad . \quad 010$

答案：110 011.010

2. BCD 编码

利用 4 位二进制码表示一位十进制数，也就是只能表示 0~9，常用的是 8421 BCD 码，其与自然二进制码相似。

题 7. $(639.7)_{10} = (\quad)_{8421BCD}$

解： $6 \quad 3 \quad 9 \quad . \quad 7$

$0110 \quad 0011 \quad 1001 \quad . \quad 0111$



答案：0110 0011 1001.0111

题 8. $(1000\ 1001\ 0011.0111\ 1001)_{8421BCD} = (\quad)_{10}$

解：|1000|1001|0011|.|0111|1001|

8 9 3 . 7 9

答案：893.79

总结：(1) 二进制与十进制的转换：按权展开法和除二取余法、乘二取整法

(2) 二进制与十六进制的转换：四位一体法

(3) 二进制与八进制的转换：三位一体法

(4) 其他进制转换

题 9. $(80.125)_{10} = (\quad)_{16}$

解：十进制转二进制

$2 \overline{80}$	余数	0.125	整数
$2 \overline{40}$	0	$\times 2$	
$2 \overline{20}$	0	0.250	0
$2 \overline{10}$	0	$\times 2$	
$2 \overline{5}$	0	0.500	0
$2 \overline{2}$	1	$\times 2$	
$2 \overline{1}$	0	1.000	1
0	1	0.000	

则 $(80.125)_{10} = (1010000.001)_2$

二进制转十六进制：|0101|0000|.|0010|

5 0 . 2

则 $(1010000.001)_2 = (50.2)_{16}$

$\therefore (80.125)_{10} = (50.2)_{16}$



课时一 练习题

1. $(27.75)_{10} = (\quad)_2 = (\quad)_{16} = (\quad)_8$

2. 十六进制数 $(4F)_{16}$ 转换为二进制数为_____，转换为十进制数为_____。

3. 已知 $A = (101110.11)_2$ （下标表示进制），下列结果正确的是（ ）。

$A. A = (46.65)_{10}$ $B. A = (2E.3)_{16}$ $C. A = (56.6)_8$ $D. A = (20.21)_5$

4. $(00111000)_{8421BCD} = (\quad)_{10} = (\quad)_2 = (\quad)_8 = (\quad)_{16}$

5. 有一个数码1001 0110，作为自然二进制数时，它相当于十进制数_____，作为8421BCD码时，它相当于十进制数_____。

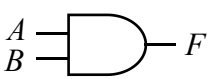

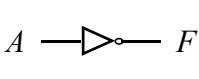


6. 二进制数1101001.011对应的十进制数为_____，对应的8421BCD为_____。



课时二 逻辑代数

考点	重要程度	分值	常见题型
1. 逻辑运算及逻辑门	必考	6~8	选择、填空
2. 规则及常用形式	必考	3~5	选择、填空、计算

1. 常见逻辑运算及逻辑门

与	或	非	异或	同或
				
输入均为1时 输出为1, 其他 情况输出为0	输入均为0时 输出为0, 其他 情况输出为1	输入1时输出 为0, 输入0 时输出为1	输入不同时输 出为1, 相同 时输出为0	输入相同时输 出为1, 不同 时输出为0
$F = A \cdot B$	$F = A + B$	$F = \bar{A}$	$F = A \oplus B$	$F = A \odot B$

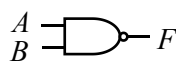
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1


A	F
0	1
1	0

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

与非门 

$$F = \overline{A \cdot B}$$

或非门 

$$F = \overline{A + B}$$

题 1. 函数 $F = AB + BC$, 令 $F = 1$ 的输入 ABC 组合为 ()。

A. $ABC = 000$

B. $ABC = 010$

C. $ABC = 101$

D. $ABC = 110$

解：对于 A 选项，代入得 $F = 0 \cdot 0 + 0 \cdot 0 = 0 + 0 = 0$ 。

对于 B 选项，代入得 $F = 0 \cdot 1 + 1 \cdot 0 = 0 + 0 = 0$ 。

对于 C 选项，代入得 $F = 1 \cdot 0 + 0 \cdot 1 = 0 + 0 = 0$ 。

对于 D 选项，代入得 $F = 1 \cdot 1 + 1 \cdot 0 = 1 + 0 = 1$ 。

答案： D

题 2. 已知 $F = ABC + CD$, 下列选项中的 (), 肯定可以使 $F = 1$ 。

A. $A = 0, BC = 1$

B. $B = 1, C = 1$

C. $BC = 1, D = 1$

D. $C = 1, D = 0$

解: A 选项, $BC = 1$, 则 $B = 1, C = 1$, 代入得 $F = 0 \cdot 1 + 1 \cdot D = 0 + D = D$, 当 D 为 0 时, 存在 $F = 0$ 的情况。

B 选项, 直接代入得 $F = A \cdot 1 \cdot 1 + 1 \cdot D = A + D$, 当 $A = D = 0$ 时, 存在 $F = 0$ 的情况。

C 选项, $BC = 1$, 则 $B = 1, C = 1$, 代入得 $F = A \cdot 1 \cdot 1 + 1 \cdot 1 = A + 1 = 1$ 。

D 选项, 代入得 $F = AB \cdot 1 + C \cdot 0 = AB$, 当 AB 为 0 时, 存在 $F = 0$ 的情况。

答案: C

题 3. 连续 5 个 “1” 异或的结果为_____。

解: $1 \oplus 1 \oplus 1 \oplus 1 \oplus 1 = 0 \oplus 1 \oplus 1 \oplus 1 \oplus 1 = 1 \oplus 1 \oplus 1 \oplus 1 = 0 \oplus 1 = 1$

答案: 1

总结: 偶数个 1 异或结果为 0, 奇数个 1 异或结果为 1, 无论多少个 0 异或结果都为 0。

偶数个 0 同或结果为 1, 奇数个 0 同或结果为 0, 无论多少个 1 同或结果都为 1。

题 4. 仅当输入变量全为 1 时, 输出才为 0, 则输出与输入的关系为 ()。

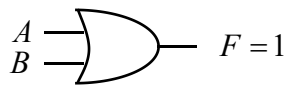
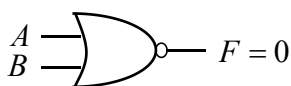
A. 或非

B. 与非

C. 同或

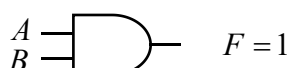
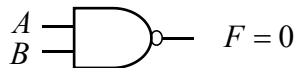
D. 异或

解: 对于 A 选项, 或非



A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

对于 B 选项, 与非



A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

对于 C 、 D 选项

偶数个 1 异或结果为 0，奇数个 1 异或结果为 1，无论多少个 0 异或结果都为 0。

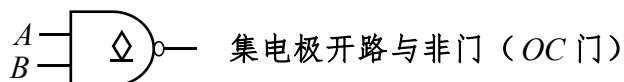
偶数个 0 同或结果为 1，奇数个 0 同或结果为 0，无论多少个 1 同或结果都为 1。

答案： B

题 5. 三态门的输出有三个状态，分别为_____、_____和_____。

答案： 高电平、低电平、高阻态

②集电极开路门



题 6. 下列几种 TTL 电路中，输出端可直接相连完成线与逻辑功能的门电路是 ()。

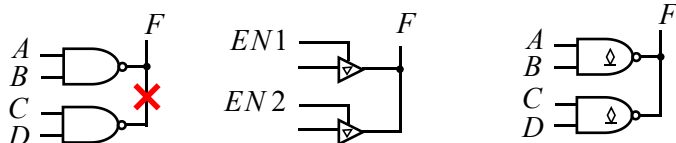
A. 或非门

B. 与非门

C. OC 门

D. 三态门

解：



答案： C

2. 规则及常用形式

①反演规则

题 7. 逻辑函数式 $F = \overline{A\bar{C} + \overline{BC}}$ 的反函数为_____。

答案： $\overline{F} = (\overline{A+C}) \cdot \overline{B+C}$

②对偶规则

题 8. 已知逻辑函数 $F = \overline{AB + \overline{B+C}}$ ，该函数的对偶函数为 $F_d =$ _____。

答案： $(A+B) \cdot B \cdot C$

③与非—与非表达式

题 9. 将逻辑函数 $F = A(B+C) + BC$ 化为与非—与非形式。

解： $F = A(B+C) + BC$

$$= AB + BC + AC$$

解题步骤：

(1) 化为与或式 $F = AB + BC + AC$

(2) 加入两个长非号

(3) 利用反演规则化简



$$= \overline{\overline{AB} + \overline{BC} + \overline{AC}}$$

$$= \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{AC}}$$

答案： $\overline{\overline{AB} \cdot \overline{BC} \cdot \overline{AC}}$

④最小项

如两个变量 A 、 B 可构成 4 个最小项： $\overline{A}\overline{B}$ 、 $\overline{A}B$ 、 $A\overline{B}$ 、 AB 。最小项是一个包含所有输入的与项。 n 个变量的最小项有 2^n 个。

题 10. 若 $\overline{A}BCDEF$ 是函数的一个最小项，该最小项的编号为_____，该函数 L 一共有_____个最小项。

解：求最小项编号时，原变量为 1，反变量为 0，即

$$A \quad \overline{B} \quad C \quad \overline{D} \quad E \quad F$$

$$1 \quad 0 \quad \quad \quad 1 \quad \quad \quad 0 \quad \quad \quad 1 \quad 1$$

则其编号为 $(101011)_2$ ，化为十进制数为 43。

L 函数有 $2^6 = 64$ 个最小项。

答案：43，64

题 11. 三变量逻辑函数 $Y = A + BC$ 的最小项表示为_____。

解：

$$Y = A + BC$$

$$= \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + A\overline{B}C$$

$$\begin{array}{cccccc} 100 & 101 & 110 & 111 & 011 & 111 \\ \hline 4 & 5 & 6 & 7 & 3 & 7 \end{array}$$

$$m_4 \quad m_5 \quad m_6 \quad m_7 \quad m_3$$

$$= m_3 + m_4 + m_5 + m_6 + m_7$$

$$= \sum(3, 4, 5, 6, 7)$$

$$Y = A + BC$$

$$\begin{array}{ccc} 1 & \times & \times \\ \hline 1 & \times & \times \end{array}$$

$$\begin{array}{cc} 100_4 & 011_3 \\ 101_5 & 111_7 \\ 110_6 & \\ 111_7 & \end{array}$$

$$= m_3 + m_4 + m_5 + m_6 + m_7$$

$$= \sum(3, 4, 5, 6, 7)$$

答案： $\sum m(3, 4, 5, 6, 7)$

课时二 练习题

1. 已知逻辑函数 $F = AB + CD$ ，可以肯定使 $F = 1$ 的状态是（ ）。



A. $AB=1, C=0, D=0$

B. $A=0, BD=0, C=0$

C. $A=0, BC=0, D=0$

D. $AC=1, B=0$

2. 已知 $A=1, B=0, C=1, D=0$, 则逻辑表达式 $(\overline{A \cdot B}) \oplus (C+D) =$ _____。

3. 在何种输入情况下, “或非”运算的结果是逻辑0 ()。

A. 全部输入为0

B. 全部输入为1

C. 任意输入为0, 其他输入为1

D. 任一输入为1

4. 若输入变量是 $A、B、C、D$ 全为1时, 输出函数 $F=1$, 则其输出关系是_____。

A. 同或

B. 或非

C. 与非

D. 异或

5. 2018 个 “1” 异或的结果为_____。

6. 连续同或 2005 个 0, 其结果为_____。

7. 三态门的三种可能的输出状态分别是_____、_____、_____。

8. 集电极开路门又称为_____门, 多个 OC 门输出端并连到一起可以实现_____功能。

9. 门电路在使用中不允许闲置输入端悬空, 与门的闲置输入端应接_____ (高或低) 电平, 或门的闲置输入端应接_____ (高或低) 电平。

10. 逻辑函数 $Y = \overline{A+B}(C+\overline{D}E)$, 利用反演定理直接求得它的反函数 $\overline{Y} =$ _____。(不需要化简)

11. 逻辑函数 $Y = AC + A\overline{B}$ 的对偶式是 ()。

A. $F_d = (A+C)(\overline{A}+B)$

B. $F_d = (A+C)(A+\overline{B})$



$$C. F_d = \overline{AC} + \overline{AB}$$

$$D. F_d = (A+C) + (\overline{A}+B)$$

12. 若将逻辑函数 $Z = B + CD + ED + FG$ 化为与非—与非式，应写成_____。

13. 在 4 变量逻辑函数中，最小项 m_6 的表达式是_____。

14. 逻辑函数 $Y(A, B, C) = \overline{A}BC + BC + \overline{BC} + AB$ 化为最小项之和的形式是_____。

15. 含有 A 、 B 、 C 、 D 四个逻辑变量的函数 $Y = A + B + D$ 中所含最小项的个数是_____。



课时三 卡诺图

考点	重要程度	占分	题型
1. 卡诺图化简逻辑函数	必考	10~15	化简题、设计题
2. 卡诺图化简带无关项的逻辑函数	必考	8~10	化简题、设计题

1. 卡诺图化简逻辑函数

① 卡诺图

三变量卡诺图如图所示

$\begin{matrix} AB \\ C \end{matrix}$	00	01	11	10
0			△	
1				

编号为110，则其表示 m_6 ，即 ABC 。

$\begin{matrix} AB \\ C \end{matrix}$	00	01	11	10
0	0	2	6	4
1	1	3	7	5

四变量卡诺图如右图所示。

$\begin{matrix} AB \\ CD \end{matrix}$	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

② 卡诺图的画法

题 1. 画出函数 $F = \sum m(1, 5, 6, 7, 11, 12, 13, 15)$ 的卡诺图。

解：

$\begin{matrix} AB \\ CD \end{matrix}$	00	01	11	10
00			1	
01	1	1	1	
11		1	1	1
10		1		

解题步骤：

- (1) 确定变量数目
- (2) 画出卡诺图
- (3) 按照编号填1



题 2. 画出函数 $F = AB + AC + \overline{B}\overline{C} + \overline{A}\overline{B}$ 的卡诺图。解： $F = AB + AC + \overline{B}\overline{C} + \overline{A}\overline{B}$

$$\begin{array}{r} 11 \times 1 \times 1 \quad \times 00 \quad 00 \times \\ \hline 110_6 \quad 101_5 \quad 100_4 \quad 000_0 \\ 111_7 \quad 111_7 \quad 000_0 \quad 001_1 \end{array}$$

C \ AB	00 01 11 10			
	0	1	1	1
0	1		1	1
1	1		1	1

解题步骤：

- (1) 写出最小项形式
- (2) 画出卡诺图
- (3) 按照编号填1

③利用卡诺图化简逻辑函数

题 3. 四变量最小项 $AB\overline{C}D$ 有_____个最小项与其逻辑相邻，写出其中一个逻辑相邻项_____。

解：若两个最小项相邻，则二者仅有一个变量不同。

则与 $AB\overline{C}D$ 相邻的最小项如下：

最小项	$AB\overline{C}D$	$AB\overline{C}\overline{D}$	$AB\overline{C}D$	$AB\overline{C}D$
相邻项	$\overline{A}B\overline{C}D$	$A\overline{B}\overline{C}D$	$ABCD$	$AB\overline{C}\overline{D}$

推广： n 变量最小项有 n 个逻辑相邻项。答案：4， $\overline{A}B\overline{C}D$ 或 $A\overline{B}\overline{C}D$ 或 $ABCD$ 或 $AB\overline{C}\overline{D}$ 。题 4. 利用卡诺图化简逻辑函数 $F(A,B,C,D) = \sum m(0,2,3,6,7,8,10,11)$ 。

解：

CD \ AB	00 01 11 10			
	00	01	11	10
00	1			1
01				
11	1	1		1
10	1	1		1

解题步骤：

- (1) 画卡诺图
- (2) 画卡诺圈
- (3) 写出卡诺圈对应的逻辑表达式
- (4) 相或

$$\begin{array}{ll} AB & \\ 00 & \Rightarrow \overline{B} \\ 10 & \\ CD & \Rightarrow \overline{B}\overline{D} \\ 00 & \Rightarrow \overline{D} \\ 10 & \end{array}$$

$$\begin{array}{ll} AB & \\ 00 & \Rightarrow \overline{A} \\ 01 & \\ CD & \Rightarrow \overline{A}C \\ 11 & \Rightarrow C \\ 10 & \end{array}$$

$$\begin{array}{ll} AB & \\ 00 & \Rightarrow \overline{B} \\ 10 & \\ CD & \Rightarrow \overline{B}C \\ 11 & \Rightarrow C \\ 10 & \end{array}$$

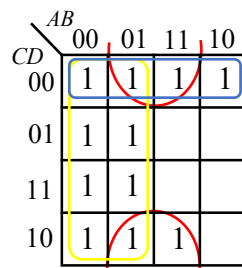
 F 的化简结果： $F = \overline{B}\overline{D} + \overline{A}C + \overline{B}C$ 。

答案： $F = \overline{B}\overline{D} + \overline{A}C + \overline{B}C$

题 5. 利用卡诺图化简逻辑函数 $F = \overline{A}\overline{B}\overline{C} + A\overline{C}\overline{D} + \overline{A}B + ABC\overline{D} + \overline{A}\overline{B}C + \overline{A}B\overline{D}$ 。

解： $F = \overline{A}\overline{B}\overline{C} + A\overline{C}\overline{D} + \overline{A}B + ABC\overline{D} + \overline{A}\overline{B}C + \overline{A}B\overline{D}$

000	×	1	×	00	×	11	×	11	10	00	×	01	×	0
0000	₀	1000	₈	0100	₄	1110	₁₄	0010	₂	0100	₄			
0001	₁	1100	₁₂	0101	₅			0011	₃	0110	₆			
				0110	₆									
				0111	₇									

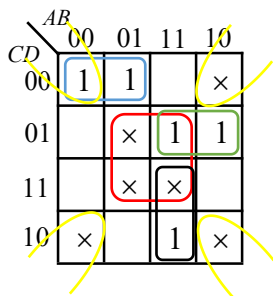


$$F = \overline{A} + \overline{C}\overline{D} + B\overline{D}$$

2. 卡诺图化简带有无关项的逻辑函数

题 6. 请利用卡诺图化简该逻辑函数 $F(A,B,C,D) = \sum m(0,4,9,13,14) + \sum d(2,5,7,8,10,15)$ 。

解：



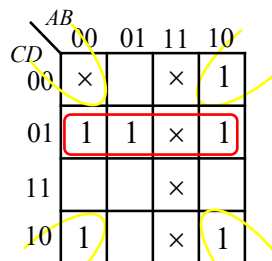
$$F = BD + \overline{A}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C} + ACD$$

题 7. 已知函数 $Y = \overline{A}\overline{B}\overline{C} + \overline{B}\overline{C}\overline{D} + \overline{A}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}C\overline{D}$ 中所有输入变量不能同时为 0，且 A ， B 变量不能同时为 1。用卡诺图化简法化简该逻辑函数。

解：

$Y = \overline{A}\overline{B}\overline{C} + \overline{B}\overline{C}\overline{D} + \overline{A}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}C\overline{D}$

100	×	×	001	0	×	01	10	10	00	10
1000	₈	0001	₁	0001	₁	1010	₁₀	0010	₂	
1001	₉	1001	₉	0101	₅					



$$F = \overline{B}\overline{D} + \overline{C}\overline{D}$$



题 8. 用卡诺图化简法将以下函数化为最简与或形式

$$\begin{cases} Y = CD\bar{A}(A \oplus B) + \bar{A}B\bar{C} + \bar{A}\bar{C}D \\ \text{约束条件 } AB + CD = 0 \end{cases}$$

解：

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

$$AB + CD = 1$$

$AB \backslash CD$	00	01	11	10
00		1	×	
01	1	1	×	
11	×	×	×	×
10		1	×	1

$$F = B + \bar{A}D + AC$$

课时三 练习题

1. 用卡诺图化简法将函数化简为最简与或式。

$$F = A\bar{B} + BD + BCD + \bar{A}B\bar{C}D$$

2. 用卡诺图法化简函数

$$(1) F(A, B, C) = \sum m(0, 1, 2, 4, 6, 7)。$$

$$(2) F(A, B, C, D) = \sum m(0, 1, 2, 4, 5, 6, 7, 9, 13, 15)。$$



3. 判断正误：约束项就是逻辑函数中不允许出现的变量取值组合，用卡诺图化简时可将约束项当作1，也可以当作0。（ ）

4. 用卡诺图法化简函数。

$$(1) F(A, B, C, D) = \sum m(0, 2, 4, 6, 9, 13) + \sum d(1, 3, 5, 7, 8, 11, 15)。$$

$$(2) F(A, B, C) = \sum m(0, 3, 4, 5) + \sum d(0, 2)。$$

5. 用卡诺图化简逻辑函数 $F(A, B, C, D) = \overline{A}\overline{B}D + A\overline{B}D + ABC\overline{C} + ABCD\overline{C}$ ，且 $A + \overline{B} = 1$ ，写出最简与或表达式。

6. 用卡诺图化简函数。

$$(1) F = ACD + BCD + (\overline{A} + \overline{B})C。$$

$$(2) F = \sum m(0, 1, 2, 4, 5, 9) + \sum d(7, 8, 10, 11, 12, 13)。$$



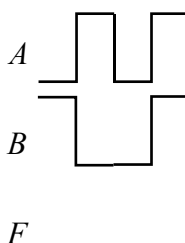
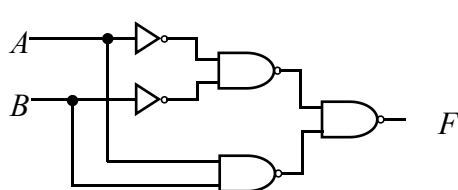
课时四 组合逻辑电路

考点	重要程度	占分	题型
1. 组合逻辑电路分析	★★★★★	10 ~ 20	分析题
2. 组合逻辑电路设计	★★★★★	10 ~ 20	设计题
3. 竞争与冒险	★★★	2 ~ 5	选择题、填空题

3. 组合逻辑电路分析

题 1. 组合逻辑电路如图所示，

- (1) 写出输出 F 的逻辑表达式，并化为与或式；
- (2) 分析此电路的逻辑功能；
- (3) 根据输入 A ， B 的波形，画出输出 F 的波形。



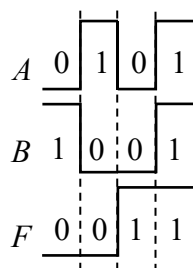
解：(1) $F = \overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A}} + \overline{\overline{B}} = A + B$

(2)

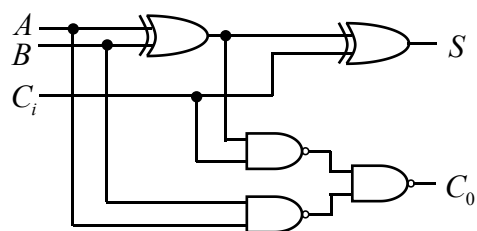
A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

逻辑功能为同或。

(3) 绘制波形图如下：



题 2. 写出如图所示电路的真值表及逻辑表达式，并分析其逻辑功能。



解: $S = A \oplus B \oplus C$

$$C_0 = \overline{(A \oplus B)C_i} AB = (A \oplus B)C_i + AB$$

A	B	C_i	C_o	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

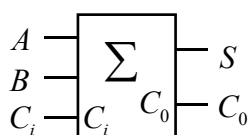
可得该电路的逻辑功能为一位全加器。

题 3. 全加器与半加器的区别为 ()

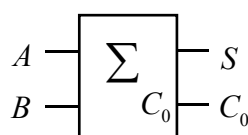
- A. 不包含异或运算 B. 加数中包含来自低位的进位
- C. 无进位 D. 有进位

答案: B

解:



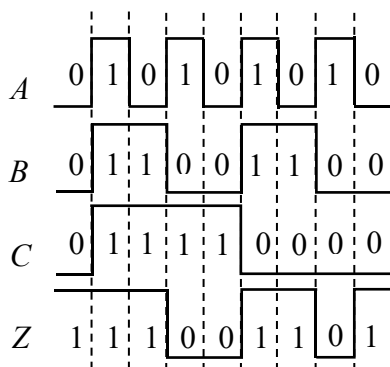
全加器



半加器

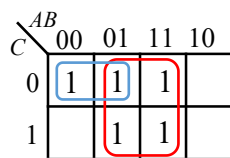


题 4. 有一组合逻辑电路，不知其内部结构，但测出其输入及输出的波形如图所示。请列出真值表，写出逻辑表达式，并化简得到最简与或表达式。



解：

A	B	C	Z
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1



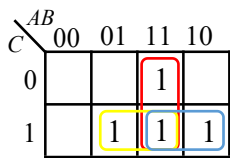
$$F = \overline{A}\overline{C} + B$$

4. 组合逻辑电路设计

题 1. 设计一个三人表决的逻辑电路，当有两人或两人以上赞同时，决议通过。要求：（1）列出真值表；（2）写出表达式并化简；（3）要求采用“与非门”实现电路，画出电路图。

解：设三个人分别为 A, B, C ，结果为 F ，1 表示赞同，0 表示不赞同

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

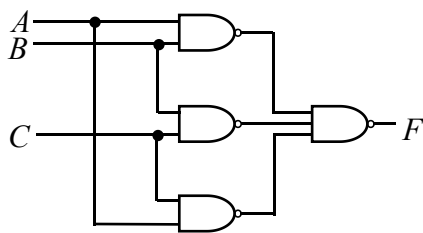


$$F = AB + BC + AC$$



$$F = AB + BC + AC = \overline{\overline{AB + BC + AC}} = \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{AC}}$$

设计电路如下：



题 2. 试设计一个 8421 BCD 码的检码电路。要求当输入量 $DCBA \leq 4$ ，或 ≥ 8 时，电路输出 L 为高电平，否则为低电平。试用与非门设计该电路。要求：（1）写出真值表；（2）写出函数式并化简；（3）画出由与非门实现的逻辑电路。

解：

D	C	B	A	L
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	×
1	0	1	1	×
1	1	0	0	×
1	1	0	1	×
1	1	1	0	×
1	1	1	1	×

$AB \backslash CD$	00	01	11	10
00	1	1	×	1
01	1		×	1
11	1		×	×
10	1		×	×

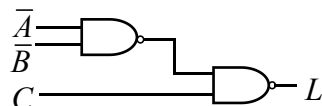
$$L = \overline{C} + \overline{AB}$$

$$= \overline{AB} + \overline{C}$$

$$= \overline{\overline{\overline{AB} + \overline{C}}}$$

$$= \overline{\overline{AB} \cdot C}$$

$$= \overline{\overline{AB} \cdot C}$$



5. 竞争与冒险

题 1. 组合逻辑电路的竞争冒险是由于_____引起的。

- A. 电路不是最简 B. 电路有多个输出
- C. 电路中使用不同的门电路 D. 电路中存在延时

答案：D

题 2. 给定组合逻辑电路的逻辑函数为： $F = \overline{AD} + \overline{AC} + ABC$ ，请判断该逻辑电路是否存在竞争冒险现象，如果存在，如何消除竞争冒险。

解：

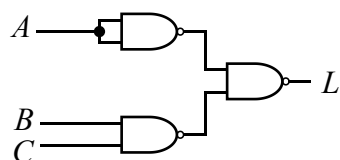
\overline{AD}	\overline{AC}	ABC
$0 \times \times 1$	$0 \times \times 1$	$110 \times$
0001 ₁	0000 ₀	1100 ₁₂
0011 ₃	0001 ₁	1101 ₁₃
0101 ₅	0100 ₄	
0111 ₇	0101 ₅	

AB \ CD	00	01	11	10
00	1	1	1	
01	1	1	1	
11	1	1		
10				

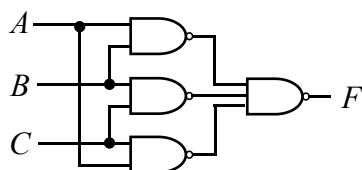
$$F = \overline{AC} + \overline{AD} + BC$$

课时 4 习题

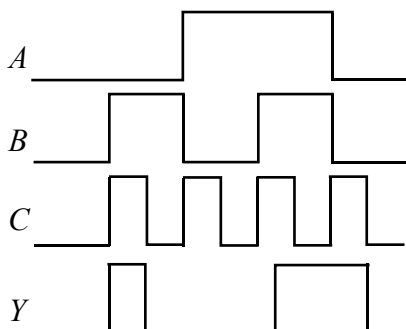
1. 逻辑电路如图所示，写出输出函数表达式，列出真值表。



2. 分析下图电路的逻辑功能，写出逻辑函数表达式，列出真值表，指出电路完成什么逻辑功能。



3. 已知输入 A、B、C 和输出 Y 的图形如图所示，试用与非门设计实现此要求的组合逻辑电路。



4. 某汽车驾驶员培训班结业考试，有三名评判员，其中 A 为主评判员， B 、 C 为副评判员。考试时至少两名评判员（其中必须包括主评判员）认为合格才可以通过。列出真值表，写出 Y 的表达式，并用最少的与非门实现。

5. 某组合逻辑电路的输入 $X(X_3X_2X_1X_0)$ 为 8421BCD 码，当输入对应的十进制数在 3 和 8 之间，即 $3 \leq X \leq 8$ 时，输出 $Y=1$ ，否则 $Y=0$ 。试用最少的与非门实现该电路。要求：
(1) 列出真值表 (2) 写出 Y 的最简表达式 (3) 画出逻辑电路图

6. 实验室有 Y_1 和 Y_2 两个故障指示灯，用来表示四台设备的工作情况，当只有一台设备故障时 Y_1 亮；若有两台设备发生故障时 Y_2 亮；若有三台设备故障时，则 Y_1 、 Y_2 灯都亮。要求：(1) 列出真值表 (2) 写出函数表达式 (3) 化简为最简与或式 (4) 利用与非门实现该电路

7. 引起组合逻辑电路中竞争与冒险的原因是 ()。

A. 逻辑关系错误

B. 干扰信号

C. 电路延时

D. 电源不稳定

8. 某电路输出表达式为 $Y=AC+\overline{B}+\overline{C}$ ，该电路是否存在竞争冒险，说明理由。



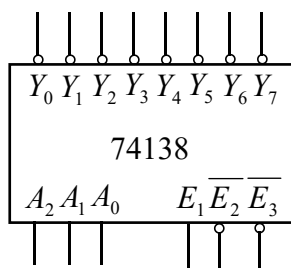
课时五 常用组合逻辑器件

考点	重要程度	占分	题型
1. 常用组合逻辑器件分析	★★★★★	3~8	选择题、填空题
2. 综合应用	★★★★★	10~20	设计题

6. 常用组合逻辑器件

①译码器

3-8 译码器逻辑符号如图。



题 1: 已知 74LS138 译码器的三个使能端为 $E_1=1$, $\overline{E_2}=0$, $\overline{E_3}=0$ 时, 地址码 $A_2A_1A_0=011$, 则输出 $Y_7 \sim Y_0$ 为 ()。

- A. 11111101 B. 10111111 C. 11110111 D. 11111111

解: 地址码 $A_2A_1A_0=011$, 则 Y_3 输出有效, 为低电平, 其余皆为高电平, 即 $Y_7 \sim Y_0$ 为 11110111。

答案: C。

题 2: 一个译码器若有 100 个译码输出端, 则译码器地址输入端至少有 ____ 个。

解: $(99)_{10} = (110\ 0011)_2$

答案: 7。

②编码器

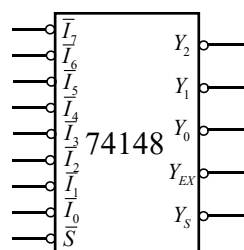
编码器的逻辑功能与译码器相反, 即把输入信号转换为二进制代码输出

8-3 优先编码器逻辑符号如图。

当 $\overline{I_7}\overline{I_6}\overline{I_5}\overline{I_4}\overline{I_3}\overline{I_2}\overline{I_1}\overline{I_0}=1111\ 0111$ 时, $Y_2Y_1Y_0=100$

优先编码器: 允许多个输入端同时为有效 (低电平), 优先级为

$\overline{I_7} > \overline{I_6} > \overline{I_5} > \overline{I_4} > \overline{I_3} > \overline{I_2} > \overline{I_1} > \overline{I_0}$ 。



题 3: 74148 是 8 线-3 线优先编码器, 编码输入输出均为低电平有效, 若输入 $\overline{I_7}\overline{I_6}\overline{I_5}\overline{I_4}\overline{I_3}\overline{I_2}\overline{I_1}\overline{I_0}$ 为 11011001, 输出 $Y_2Y_1Y_0$ 应为 ____。

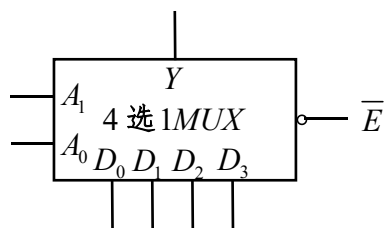
解: $\overline{I_5}=0$ 、 $\overline{I_2}=0$ 、 $\overline{I_1}=0$, 易得 $\overline{I_5}$ 优先级最高, $Y_2Y_1Y_0=010$ 。

答案: 010。

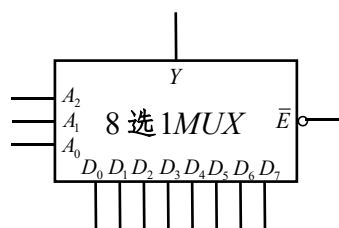


③数据选择器

4选1数据选择器与8选1数据选择器如下图：



当 $A_1A_0 = 11$ 时, $Y = D_3$



当 $A_2A_1A_0 = 110$ 时, $Y = D_6$

7. 综合应用

题1：利用 74138 实现逻辑函数 $Z = A \oplus B \oplus C$

解： $Z = A \oplus B \oplus C$ 化为最小项的形式，其真值表如下：

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

解题步骤：

- (1) 写出最小项形式
- (2) 化为与非-与非表达式
- (3) 画出电路图

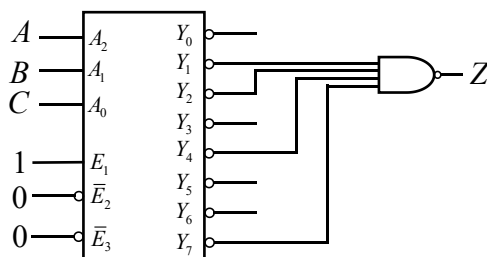
则其最小项形式为 $Z = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$

$$= m_1 + m_2 + m_4 + m_7$$

$$= \overline{\overline{m_1 + m_2 + m_4 + m_7}}$$

$$= \overline{m_1 \cdot m_2 \cdot m_4 \cdot m_7}$$

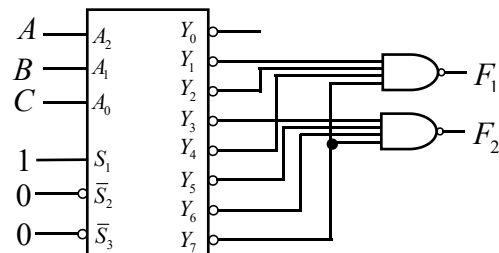
$$= \overline{Y_1 \cdot Y_2 \cdot Y_4 \cdot Y_7}$$



则答案如右图所示。

题2：用 3-8 译码器 74138 构成逻辑电路如图所示，试写出 F_1 、

F_2 的逻辑表示式，列出真值表，并分析电路的逻辑功能。



解：由图可得 $F_1 = \overline{Y_1 \cdot Y_2 \cdot Y_4 \cdot Y_7} = \overline{m_1 \cdot m_2 \cdot m_4 \cdot m_7} = m_1 + m_2 + m_4 + m_7$

$$F_2 = \overline{Y_3 \cdot Y_5 \cdot Y_6 \cdot Y_7} = \overline{m_3 \cdot m_5 \cdot m_6 \cdot m_7} = m_3 + m_5 + m_6 + m_7$$

则真值表如下：

A	B	C	F_1	F_2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

易得，可以从真值表中看出此电路逻辑功能为全加器。

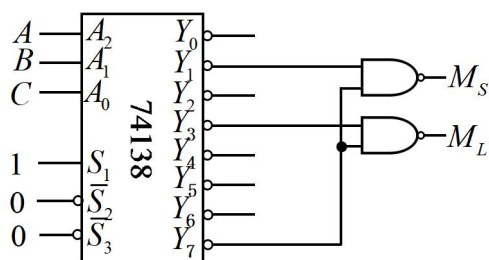
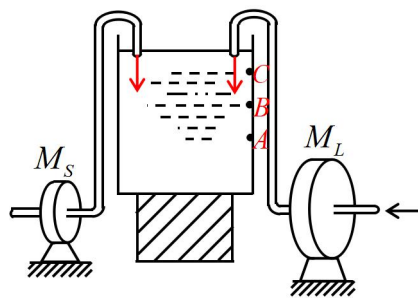
题 3：有一水箱，由大、小两台水泵 M_L 和 M_S 供水，如图所示。水箱中设置了 3 个水位检测元件 A、B、C。水面低于检测元件时，检测元件给出高电平；水面高于检测元件时，检测元件给出低电平。现要求水位超过 C 点时，水泵停止工作；水位低于 C 点而高于 B 点时， M_S 单独工作；水位低于 B 点而高于 A 点时， M_L 单独工作；水位低于 A 点时， M_L 和 M_S 同时工作。用一块 74LS138（3-8 译码器）及少量门电路实现该功能，画出电路。

解：先根据题意作出真值表

A	B	C	M_L	M_S
0	0	0	0	0
0	0	1	0	1
0	1	0	×	×
0	1	1	1	0
1	0	0	×	×
1	0	1	×	×
1	1	0	×	×
1	1	1	1	1

$$\text{则 } M_L = m_3 + m_7 = \overline{m_3 \cdot m_7} = \overline{Y_3 \cdot Y_7}$$

$$M_S = m_1 + m_7 = \overline{m_1 \cdot m_7} = \overline{Y_1 \cdot Y_7}$$

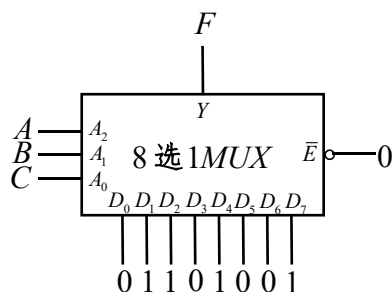


②数据选择器综合应用

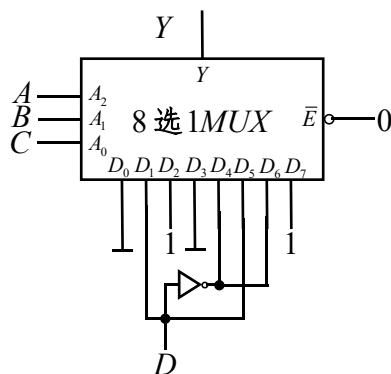
题 4：利用 74LS151（8 选 1 数据选择器）实现逻辑函数 $F = A \oplus B \oplus C$ 。

解：先将逻辑函数化为最小项形式，真值表如图：

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



题 5：74HC151（8 选 1 数据选择器）的连接方式如下图所示，写出 Y 的表达式。



解：由图可得

$$Y = \overline{ABC} \cdot D + \overline{ABC} + \overline{ABC} \cdot \overline{D} + \overline{ABC} \cdot \overline{D} + \overline{ABC} \cdot \overline{D} + \overline{ABC}$$

题 6：设计一个 8421 码的判奇电路，当输入码为奇数个“1”时，输出 1，否则为 0，用 8 选 1 数据选择器 74LS151 加若干门电路实现，画出电路图。

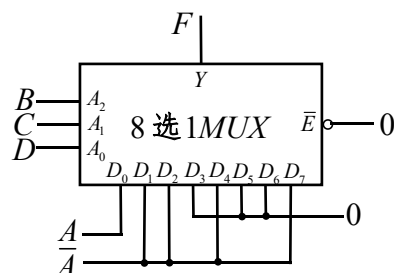
解：根据题意作出真值表如下（令输入 BCD 码为 ABCD）：



A	B	C	D	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	×
1	0	1	1	×
1	1	0	0	×
1	1	0	1	×
1	1	1	0	×
1	1	1	1	×

$$F = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D}$$

$$= \overline{A} \cdot \overline{B}\overline{C}D + \overline{A} \cdot \overline{B}C\overline{D} + \overline{A} \cdot B\overline{C}\overline{D} + \overline{A} \cdot BCD + A \cdot \overline{B}\overline{C}\overline{D}$$



课时五 练习题

1. 一若 3-8 译码器的数据输入为 A_2 、 A_1 、 A_0 ，则 Y_3 的表达式为_____。
2. 74LS138 是 3-8 译码器，译码输出为低电平有效，若输入为 $A_2A_1A_0 = 110$ 时，输出 $Y_7 \sim Y_0$ 为_____。
3. 已知 74138 为输出低有效的 3-8 译码器，如某时刻输出端 $Y_7 \sim Y_0$ 的输出电平为 11011111，则对应的输入地址 $A_2A_1A_0$ 应为_____。
4. 8421BCD 译码器有 10 个译码输出信号，则译码器输入端个数至少是_____。
5. 8-3 优先编码器 74148 的输入为 $\overline{I_0} \sim \overline{I_7}$ ，当优先级最高的 $\overline{I_7}$ 有效时，其输出 $Y_2Y_1Y_0$ 的值为_____。

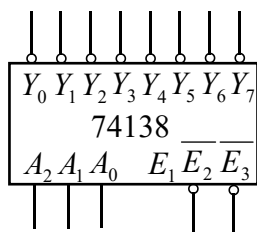


是_____。

6. 8-3 优先编码器 74148 是最高位优先编码电路 ($\overline{I_7}$ 优先级最高), 如果输入使能端 $\overline{E} = 0$,

则当 $\overline{I_0 I_1 I_2 I_3 I_4 I_5 I_6 I_7} = 00110101$ 时, 输出 $Y_2 Y_1 Y_0$ 为_____。

7. 用 3-8 译码器 74LS138 和门电路实现如下多输出逻辑函数。



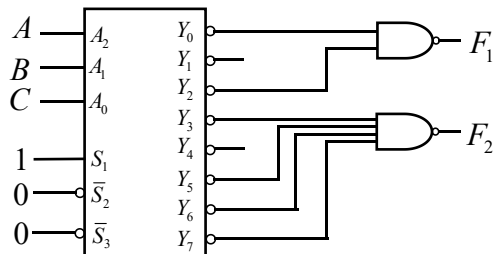
$$Z_1 = \overline{A}\overline{C} + \overline{A}BC + \overline{A}BC$$

$$Z_2 = BC + \overline{A}BC$$

$$Z_3 = \overline{A}B + \overline{A}BC$$

$$Z_4 = \overline{A}BC + \overline{B}C + ABC$$

8. 由 3-8 译码器 74LS138 构成的电路如图所示, 要求:



(1) 写出输出 F_1 和 F_2 的最小项表达式

(2) 说明 F_2 所能实现的逻辑功能

(3) 若输入端 $S_1 = 0$, 则 $F_1 = ?$

9. 分别用 3-8 译码器和 8 选 1 数据选择器实现 $Y_1 = \overline{A}BC + \overline{A}BC + ABC$, $Y_2 = \overline{A}B + \overline{A}C$.

10. 设计一个组合逻辑电路, 输入是 4 位二进制 $B = B_3 B_2 B_1 B_0$, 要求 B 能被 3 整除 (其中 0 也能被 3 整除) 时输出 Y 为 1, 否则为 0, 试解答下列问题。

(1) 列真值表

(2) 采用 “74LS151” 8 选 1 数据选择器实现该逻辑电路, 写出表达式, 画出电路图 (规定: $B_3 B_2 B_1$ 分别接到 $A_2 A_1 A_0$)

11. 设计一个三变量的判奇电路 (三个变量中奇数变量为 1 时, 其输出为 1), 要求分别利用 3-8 译码器和 8 选 1 数据选择器实现该电路。

12. 某汽车驾驶员培训班进行结业考试, 有三名评判员, 其中 A 为主评判员, B 和 C 为副评



判员。在评判时，按照少数服从多数的原则通过，但主评判员认为合格，亦可通过。试问：

- (1) 要求用最少的与非门实现，画出其组合逻辑电路
- (2) 画出用一片 3-8 译码器实现的电路
- (3) 画出用一片 74HC151 八选一数据选择器实现的电路。

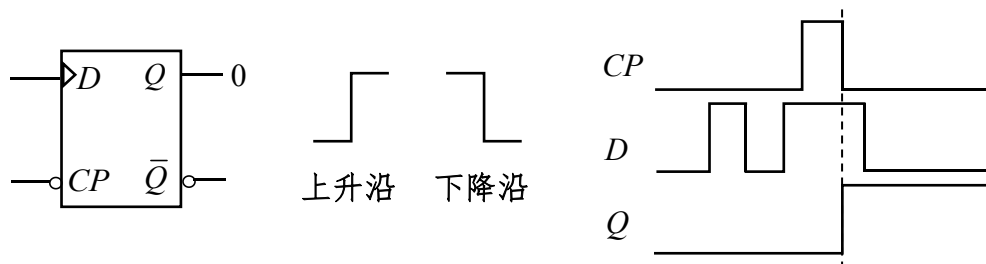


课时六 触发器

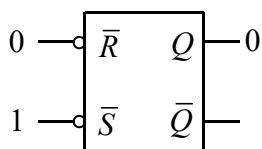
考点	重要程度	占分	题型
1. 触发器的触发方式	★★★★	3~8	选择题、填空题
2. 触发器的逻辑功能	★★★★★	8~15	设计题

1. 触发器的触发方式

当它被**特定信号**触发时，输出发生变化。**触发器的输出是由当前状态和当前输入决定的。**

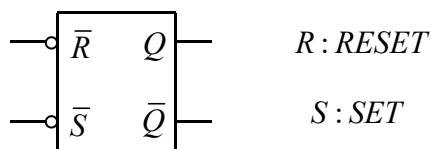


触发方式有三种，分别为电平触发、主从触发和边沿触发。



2. 触发器的逻辑功能

① RS 触发器



R : RESET

S : SET

R	S	Q^{n+1}
0	0	不允许
0	1	0
1	0	1
1	1	保持

它的状态方程为

$$\begin{cases} Q^{n+1} = \bar{S} + RQ \\ R + S = 1 \text{ 或 } \bar{R}\bar{S} = 0 \text{ 为约束条件} \end{cases}$$

题 1. 触发器的输出状态取决于 ()

- A. 输入信号
- B. 电路的原始状态
- C. 输入信号和电路的原始状态
- D. 电路的次态

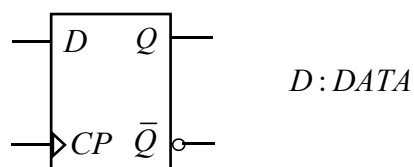
答案： C



题 2. 基本 RS 触发器的约束条件是_____。

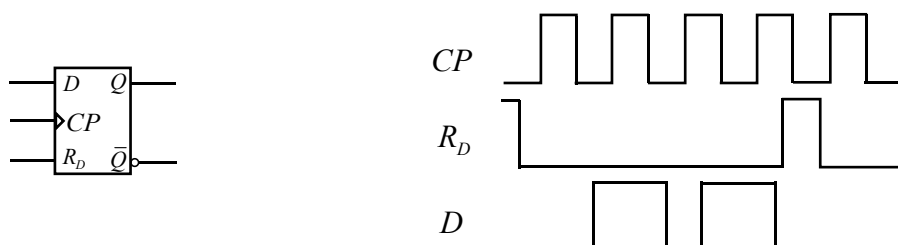
答案： $R + S = 1$ 或 $\overline{RS} = 0$

② D 触发器

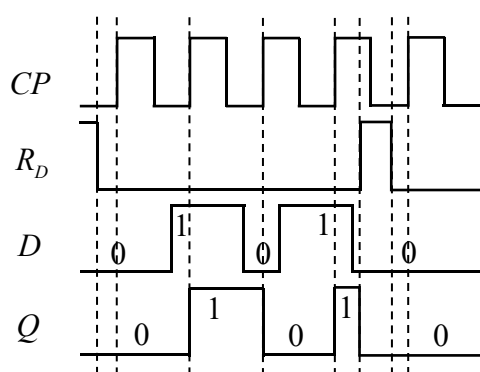


它的状态方程为 $Q^{n+1} = D$

题 3. 带有异步复位端 R_D 的边沿 D 触发器的时钟脉冲 CP 和输入 D 及 R_D 的波形如图所示，画出其输出端的电压波形。



解： $Q^{n+1} = D$

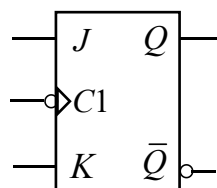


解题步骤：

- (1) 列写状态方程
- (2) 根据 R_D 处理初始值
- (3) 在有效边沿处用虚线标示
- (4) 写出虚线处输入变量的值
- (5) 写出输出的值，并画出波形

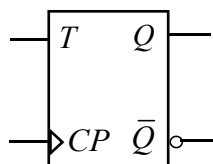


③ JK 触发器

 $J: JEEP$ $K: KEEP$ 状态方程为 $Q^{n+1} = J\bar{Q} + \bar{K}Q$

J	K	Q^{n+1}	说明
0	0	Q	保持
0	1	0	置0
1	0	1	置1
1	1	\bar{Q}	翻转

④ T 触发器

状态方程为 $Q^{n+1} = J\bar{Q} + \bar{K}Q = T\bar{Q} + \bar{T}Q$ 当 $T = 0$ 时，保持当 $T = 1$ 时，翻转

题 4. 对于 JK 触发器，若 $J = K$ ，则可完成_____触发器的逻辑功能，若 $J = \bar{K}$ ，则可完成_____触发器的逻辑功能。

答案：T，D

题 5. 欲使 JK 触发器按 $Q^{n+1} = 1$ 工作，可使 JK 触发器的输入端（ ）

A. $J = K = 1$ B. $J = 1, K = 0$ C. $J = K = 0$ D. $J = 0, K = 1$

解：对于 A 选项， $Q^{n+1} = J\bar{Q} + \bar{K}Q = 1 \cdot \bar{Q} + \bar{1} \cdot Q = 1 \cdot \bar{Q} + 0 \cdot Q = \bar{Q}$

对于 B 选项， $Q^{n+1} = J\bar{Q} + \bar{K}Q = 1 \cdot \bar{Q} + \bar{0} \cdot Q = 1 \cdot \bar{Q} + 1 \cdot Q = Q + \bar{Q} = 1$

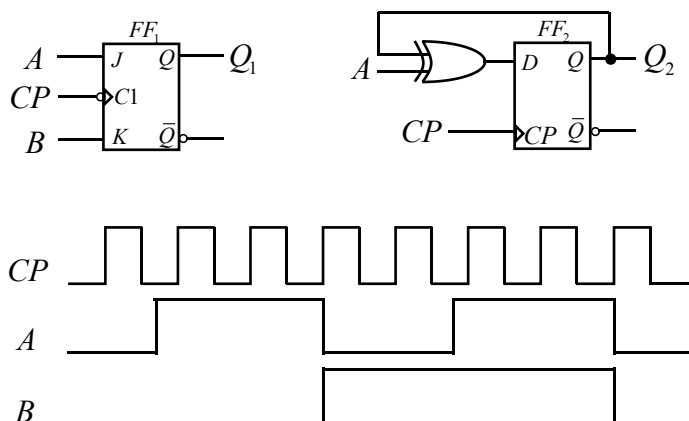
对于 C 选项， $Q^{n+1} = J\bar{Q} + \bar{K}Q = 0 \cdot \bar{Q} + \bar{0} \cdot Q = 0 \cdot \bar{Q} + 1 \cdot Q = Q$

对于 D 选项， $Q^{n+1} = J\bar{Q} + \bar{K}Q = 0 \cdot \bar{Q} + \bar{1} \cdot Q = 0 \cdot \bar{Q} + 0 \cdot Q = 0$

答案：B

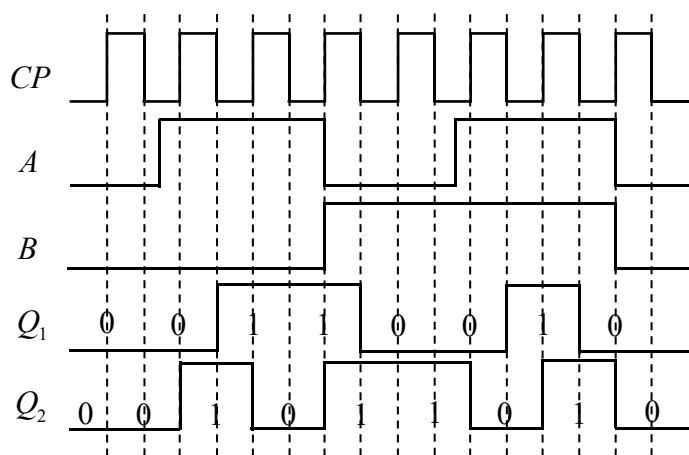


题 6. 已知 CP 、 A 、 B 波形，写出各触发器输出端的函数表达式并画出波形图。（设触发器初态为 0）



解：对于 FF_1 ，其为 JK 触发器状态方程为 $Q_1^{n+1} = J\bar{Q} + \bar{K}Q = A\bar{Q}_1 + \bar{B}Q_1$

对于 FF_2 ，其为 D 触发器状态方程为 $Q_2^{n+1} = D = A \oplus Q_2$



解题步骤：

- (1) 列写状态方程
- (2) 根据 R_D 处理初始值
- (3) 在有效边沿处用虚线标示
- (4) 写出虚线处输入变量的值
- (5) 写出输出的值，并画出波形



课时六 练习题

1. 在同步工作的条件下, JK 触发器的现态 $Q^n = 1$, 要求 $Q^{n+1} = 1$, 则应使_____。

- A. $J = X, K = 1$ B. $J = K = 0$ C. $J = 1, K = X$ D. $J = K = 1$

2. 要使基本 RS 触发器输出是 0, 它的输入信号 \bar{R} 和 \bar{S} 应为_____。

- A. 00 B. 01 C. 10 D. 11

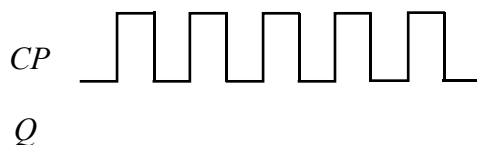
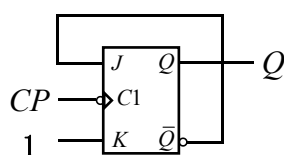
3. 对边沿 JK 触发器, 在 CP 为高电平期间, 当 $J = K = 1$ 时, 状态完全翻转一次 ()。

4. RS 触发器的特征方程为_____, 约束条件为_____。

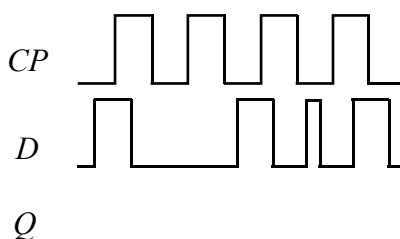
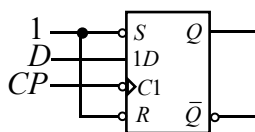
5. 仅具有保持和翻转的功能的触发器为_____。

- A. D 触发器 B. JK 触发器 C. T 触发器 D. RS 触发器

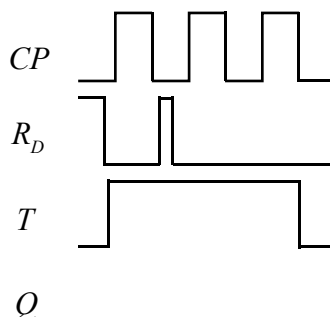
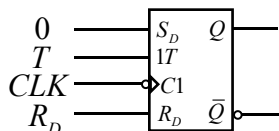
6. 集成边沿 JK 触发器的时钟脉冲 CP 的波形如下图所示, 画出其输出端的电压波形。假设触发器的初始状态为 1。



7. 电路如图所示, 设初态为 0, 试绘制波形



8. 已知 T 触发器的逻辑符号及输入波形如图所示, 试写出 T 触发器的特征方程, 并画出输出 Q 的波形。



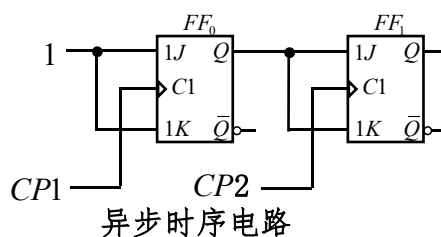
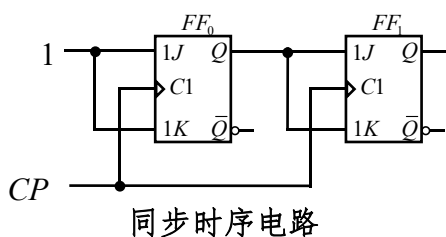
课时七 时序逻辑电路分析

考点	重要程度	占分	题型
1. 同步和异步的区别	★★	3~5	选择、填空题
2. 同步时序逻辑电路分析	★★★★★	10~15	分析题

8. 同步和异步的区别

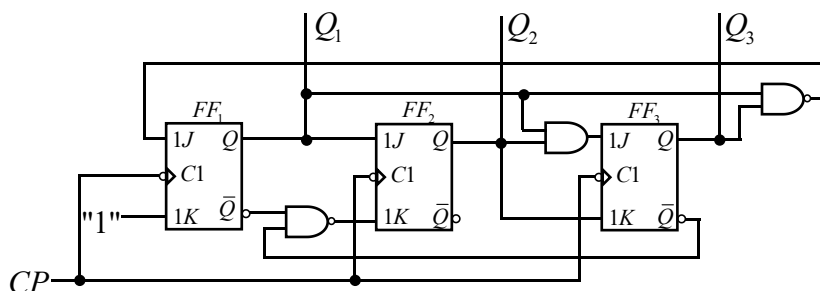
题 1. 时序逻辑电路按照其是否有统一的时钟控制分为_____时序电路和_____时序电路。

答案：同步，异步。



9. 同步时序逻辑电路分析

题 1. 分析时序逻辑电路的功能，写出驱动方程，状态转移方程，画出状态转移图。



解：列写驱动方程

$$J_1 = \overline{Q_2} \quad K_1 = 1$$

$$J_2 = Q_1 \quad K_2 = \overline{Q_1} \overline{Q_3}$$

$$J_3 = Q_1 Q_2 \quad K_3 = Q_2$$

解题步骤：

- (1) 列写激励和输出方程
- (2) 导出状态方程
- (3) 列写状态转移真值表
- (4) 画状态转移表
- (5) 画状态转移图

列写状态方程。

图中触发器均为 JK 触发器，状态方程为 $Q^{n+1} = J\overline{Q} + \overline{K}Q$ 。

$$\text{则 } Q_1^{n+1} = J_1\overline{Q}_1 + \overline{K}_1Q_1 = \overline{Q}_1\overline{Q}_2\overline{Q}_3 + \overline{1} \cdot Q_1 = \overline{Q}_1\overline{Q}_2\overline{Q}_3$$

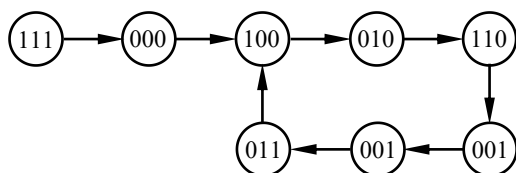
$$Q_2^{n+1} = J_2\overline{Q}_2 + \overline{K}_2Q_2 = Q_1\overline{Q}_2 + \overline{Q}_1Q_2\overline{Q}_3$$

$$Q_3^{n+1} = J_3\overline{Q}_3 + \overline{K}_3Q_3 = Q_1Q_2\overline{Q}_3 + \overline{Q}_2Q_3$$

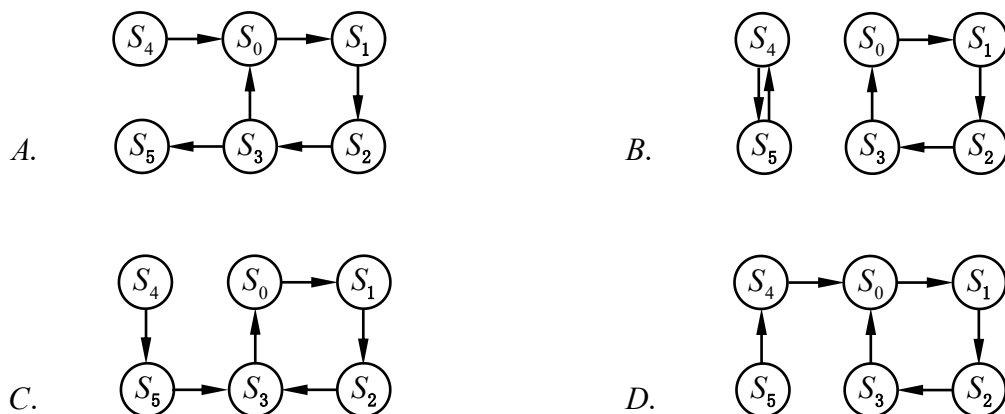
状态转移真值表为：

Q_1	Q_2	Q_3	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
0	0	0	1	0	0
0	0	1	1	0	1
0	1	0	1	1	0
0	1	1	1	0	0
1	0	0	0	1	0
1	0	1	0	1	1
1	1	0	0	0	1
1	1	1	0	0	0

通过状态转移真值表画状态图。如下：

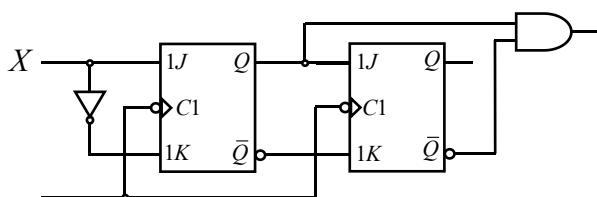


题 2. 下图分别为四个逻辑电路的状态转换图，其中不具备自启动特性的是（ ）。



答案：B。

题 3. 分析时序逻辑电路的功能，写出驱动方程，状态转移方程，画出状态转移图。



解：列写驱动方程和输出方程

$$J_1 = X \quad K_1 = \bar{X}$$

$$J_2 = Q_1 \quad K_2 = \bar{Q}_1$$

$$Z = Q_1 \bar{Q}_2$$

解题步骤：

(1) 列写激励和输出方程

(2) 导出状态方程

(3) 列写状态转移真值表

(4) 画状态转移表

(5) 画状态转移图

列写状态方程。

图中触发器均为 JK 触发器，状态方程为 $Q^{n+1} = J\bar{Q} + \bar{K}Q$ 。

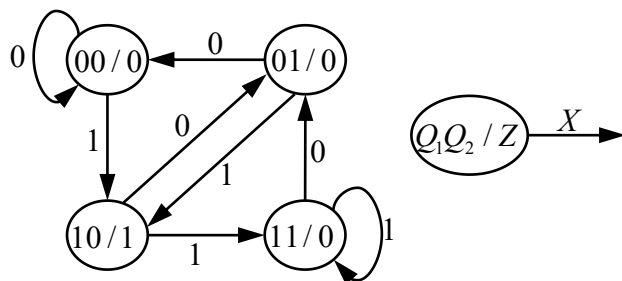
$$\text{则 } Q_1^{n+1} = J_1 \bar{Q}_1 + \bar{K}_1 Q_1 = X \bar{Q}_1 + \bar{X} Q_1 = X \bar{Q}_1 + X Q_1 = X \cdot (Q_1 + \bar{Q}_1) = X$$

$$Q_2^{n+1} = J_2 \bar{Q}_2 + \bar{K}_2 Q_2 = Q_1 \bar{Q}_2 + \bar{Q}_1 Q_2 = Q_1 \bar{Q}_2 + Q_1 Q_2 = Q_1$$

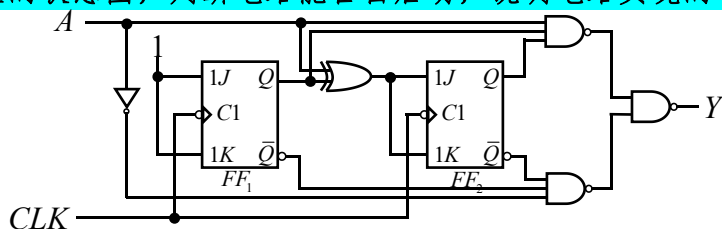
状态转移真值表为：

X	Q_1	Q_2	Q_1^{n+1}	Q_2^{n+1}	Z
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	1	0	0
1	1	0	1	1	1
1	1	1	1	1	0

通过状态转移真值表画状态图。如下：



题 4. 分析如下图所示逻辑电路。写出各触发器的驱动方程，状态方程和输出方程；画出完整的状态图，判断电路能否自启动，说明电路实现的功能。



解：写出驱动方程与输出方程为：

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = A \oplus Q_1$$

$$Y = \overline{AQ_1Q_2} \overline{AQ_1Q_2} = AQ_1Q_2 + \overline{AQ_1Q_2}$$

状态方程为：

均为 JK 触发器，状态方程为 $Q^{n+1} = J\bar{Q} + \bar{K}Q$ 。

$$\text{则 } Q_1^{n+1} = J_1\bar{Q}_1 + \bar{K}_1Q_1 = 1 \cdot \bar{Q}_1 + \bar{1} \cdot Q_1 = \bar{Q}_1$$

$$Q_2^{n+1} = J_2\bar{Q}_2 + \bar{K}_2Q_2 = A \oplus Q_1 \cdot \bar{Q}_2 + \overline{A \oplus Q_1} \cdot Q_2 = A \oplus Q_1 \oplus Q_2$$

状态转移真值表为：

A	Q_1	Q_2	Q_1^{n+1}	Q_2^{n+1}	Y
0	0	0	1	0	1
0	0	1	1	1	0
0	1	0	0	1	0
0	1	1	0	0	0
1	0	0	1	1	0
1	0	1	1	0	0
1	1	0	0	0	0
1	1	1	0	1	1

解题步骤：

(6) 列写激励和输出方程

(7) 导出状态方程

(8) 列写状态转移真值表

(9) 画状态转移表

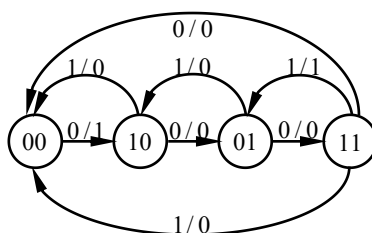
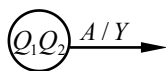
(10) 画状态转移图

易得其为 Mealy 型电路，

状态转移表为：

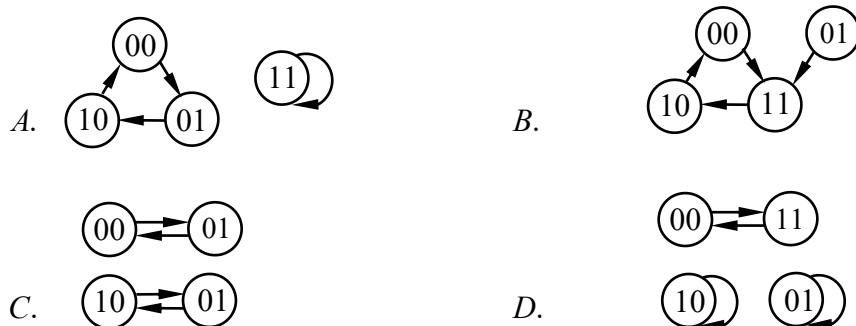
$Q_1Q_2 \backslash A$	$Q_1^{n+1}Q_2^{n+1} / Y$	
	0	1
00	10 / 1	11 / 0
01	11 / 0	10 / 0
10	01 / 0	00 / 0
11	00 / 0	01 / 1

状态转移图的形式为

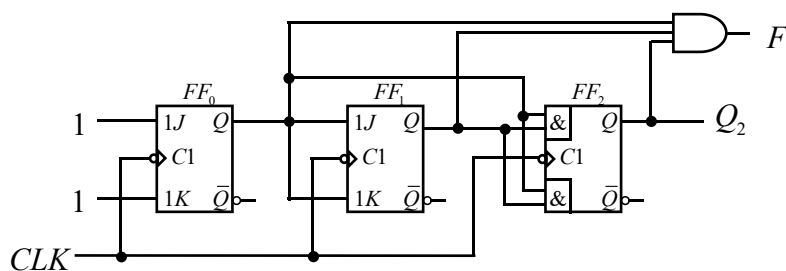


课时七 练习题

7. 下列时序电路的状态图中，具有自启动功能的是（ ）。

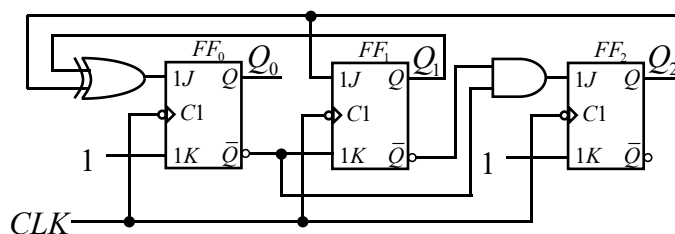


2. 分析图示计数器为几进制计数器，要求写出驱动方程，输出方程，状态转换表，状态转换图，说明能否自启动。



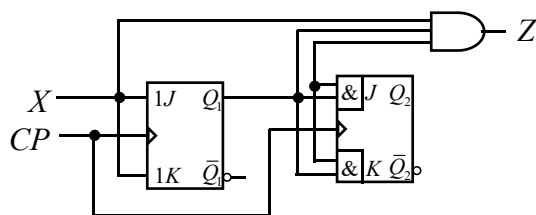
3. 分析如图所示的电路，要求：

- ①写出各触发器的驱动方程。
- ②写出各触发器的状态方程。
- ③列出状态表。
- ④画出状态转换图。



4. 分析下图所示的时序逻辑电路，只要求写出激励方程、状态方程和输出方程，画出状态表和状态图。

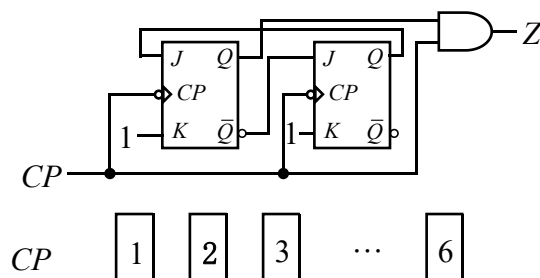




5. 分析如图所示的时序电路，要求：

(1) 写出各触发器的激励方程、状态方程和输出方程。

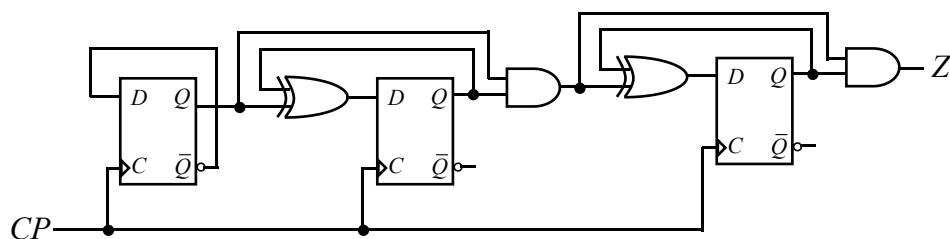
(2) 假定 Q_1 和 Q_2 的初态为 0，画出 Q_1 、 Q_2 和 Z 在 CP 作用下的波形图。



6. 分析如图所示的电路图。

(1) 此时序逻辑电路是 Moore 型还是 Mealy 型？是同步电路还是异步电路？

(2) 写出电路的激励方程、状态方程和输出方程，列出电路的状态转移表。

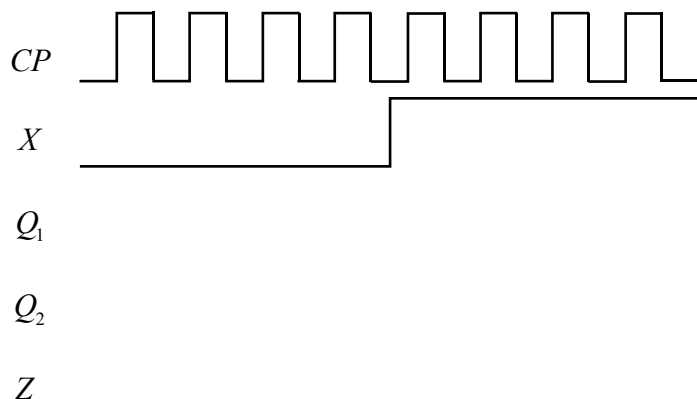
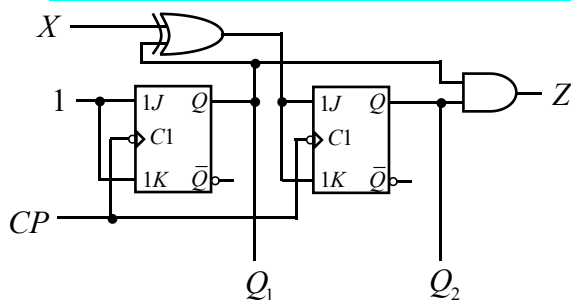


7. 某时序电路如图所示。

(1) 写出该电路的激励方程、输出方程和状态方程。

(2) 列写状态真值表和状态表。

(3) 设各触发器的初态为 0，试画出图中 Q_1 、 Q_2 和 Z 的输出波形。



课时八 时序逻辑电路的设计

考点	重要程度	占分	题型
1. 同步时序逻辑电路设计	★★★★	8~12	设计题

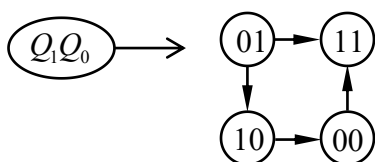
同步时序逻辑电路设计

题 1. 构造一个模 10 同步计数器需要_____个状态，需要_____个触发器。

解：模 10 计数器需要计 10 个数， $(9)_{10} = (1001)_2$ 一个触发器可表示一位二进制数。

答案：10、4

题 2. 用 JK 触发器设计一个同步型时序电路，实现如图示循环：



解：根据状态图列写状态转移真值表

Q_1	Q_2	Q_1^{n+1}	Q_0^{n+1}
0	0	1	1
0	1	1	0
1	0	0	0
1	1	0	1

作出卡诺图如下

$Q_1 \backslash Q_0$	0	1
0	1	
1	1	

$$Q_1^{n+1} = \overline{Q_1}$$

$$Q_1^{n+1} = J_1 \overline{Q_1} + \overline{K_1} Q_1$$

$$\Rightarrow J_1 = K_1 = 1$$

$Q_1 \backslash Q_0$	0	1
0	1	
1		1

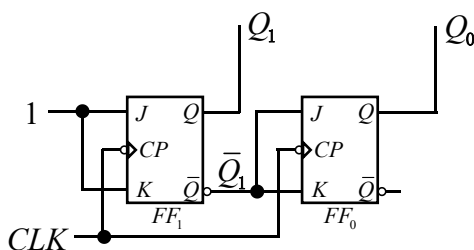
$$Q_0^{n+1} = \overline{Q_1} \overline{Q_0} + Q_1 Q_0$$

$$Q_0^{n+1} = J_0 \overline{Q_0} + \overline{K_0} Q_0$$

$$\Rightarrow J_0 = K_0 = \overline{Q_1}$$

得到激励方程如下：

$$J_1 = K_1 = 1 \quad J_0 = K_0 = \overline{Q_1}$$



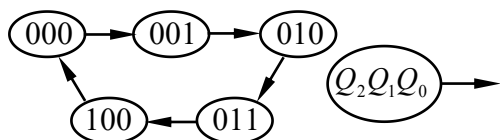
解题步骤：

- (1) 列写转态转移真值表
- (2) 利用卡诺图得到状态方程和输出方程
- (3) 导出激励方程
- (4) 画出时序逻辑电路图



题3. 试用下降沿触发的边沿JK触发器和门电路为组件，设计一个按自然二进制态序变化的同步五进制加法计数器，要求写出必要的设计步骤，画出逻辑电路图，并检查电路的自启动能力。

解：画出有效状态转移图如下



Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	×	×	×
1	1	0	×	×	×
1	1	1	×	×	×

Q_2Q_1	00	01	11	10
Q_0			×	
0			×	
1		1	×	×

$$Q_2^{n+1} = Q_1Q_0$$

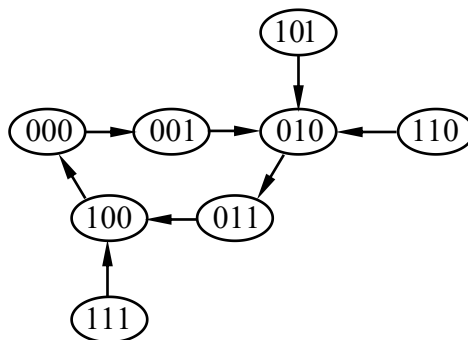
Q_2Q_1	00	01	11	10
Q_0				
0		1	×	
1	1		×	×

$$Q_1^{n+1} = Q_1\overline{Q_0} + \overline{Q_1}Q_0$$

AB	00	01	11	10
C				
0	1	1	×	
1			×	×

$$Q_0^{n+1} = \overline{Q_2}\overline{Q_0}$$

Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	1	0	0



$$Q_2^{n+1} = Q_1Q_0$$

$$Q_1^{n+1} = Q_1\overline{Q_0} + \overline{Q_1}Q_0$$

$$Q_0^{n+1} = \overline{Q_2}\overline{Q_0}$$

$$Q_2^{n+1} = J_2\overline{Q_2} + \overline{K_2}Q_2$$

$$Q_1^{n+1} = J_1\overline{Q_1} + \overline{K_1}Q_1$$

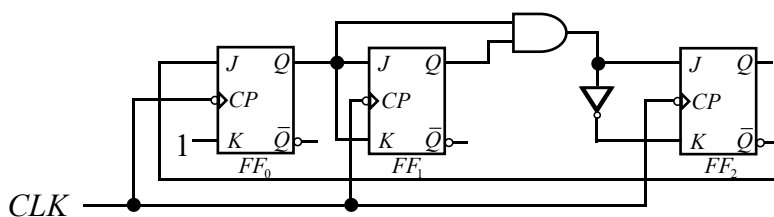
$$Q_0^{n+1} = J_0\overline{Q_0} + \overline{K_0}Q_0$$

$$\Rightarrow J_2 = Q_1Q_0 \quad K_2 = \overline{Q_1}\overline{Q_0}$$

$$\Rightarrow J_1 = K_1 = Q_0$$

$$\Rightarrow J_0 = \overline{Q_2} \quad K_0 = 1$$

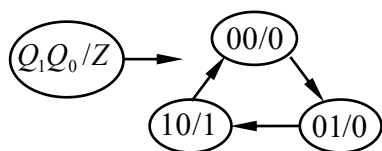




解题步骤：

- (1) 列写转态转移真值表
- (2) 利用卡诺图得到状态方程和输出方程
- (3) 补全真值表，画出完整的状态转移图
- (4) 导出激励方程
- (5) 画出时序逻辑电路图

题 4. 某同步时序电路的状态图如下，试用 D 触发器设计电路。



解：根据状态图列写状态转移真值表

Q_1	Q_0	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	×	×	×

$$Q_1^{n+1} = D_1 = Q_0 \Rightarrow D_1 = Q_0$$

$$Q_0^{n+1} = D_0 = \overline{Q_1} \overline{Q_0} \Rightarrow D_0 = \overline{Q_1} \overline{Q_0}$$

$Q_1 \backslash Q_0$	0	1
0		
1	1	×

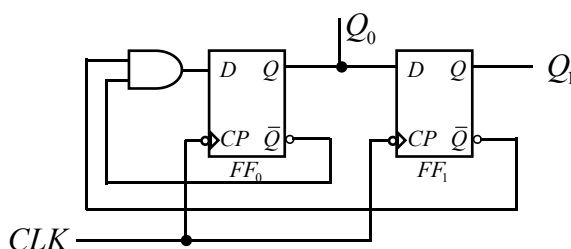
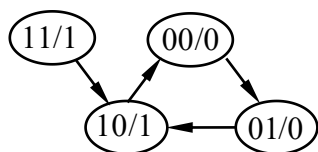
$$Q_1^{n+1} = Q_0$$

$Q_1 \backslash Q_0$	0	1
0	1	
1		×

$$Q_0^{n+1} = \overline{Q_1} \overline{Q_0}$$

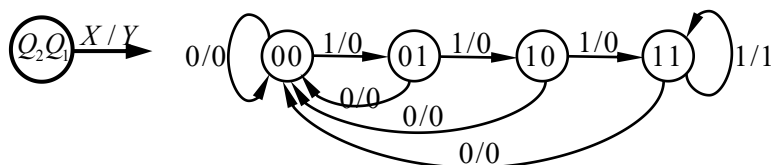
$Q_1 \backslash Q_0$	0	1
0		1
1		×

$$Z = Q_1$$

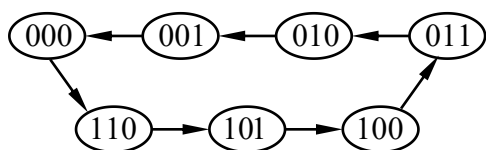


课时八 习题

1. 若用触发器组成某十一进制加法计数器，需要_____个触发器，有_____个无效状态。
2. 试用下降沿触发器设计4进制计数器，转换序列为 $00 \rightarrow 01 \rightarrow 10 \rightarrow 11 \rightarrow 00$ 。要求写出状态转移图，状态转换表，次态卡诺图，状态方程，驱动方程并画出逻辑电路图。
3. 已知某同步时序电路的状态图如下图所示。若用上升沿D触发器实现该电路，试画出电路图。

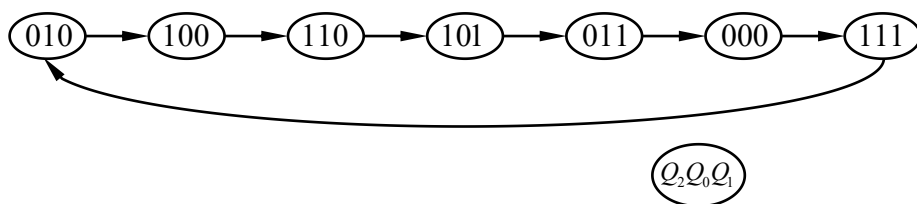


4. 用D触发器和逻辑门电路设计一个同步七进制减1计数器，用 $Q_2Q_1Q_0$ 表示状态，要求其状态图如下所示。



- 要求：(1) 写出设计过程，并画出电路图；
(2) 检查是否可自启动。

5. 请用JK触发器设计一个同步时序电路，实现以下状态图所示功能（电路须能自启动）。



课时九 集成计数器

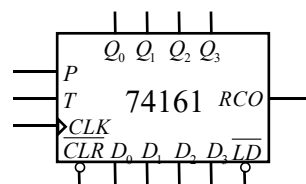
考点	重要程度	占分	题型
1. 常用集成计数器分析	★★★★	3 ~ 5	选择、填空题
2. 常用集成计数器应用	必考	12 ~ 18	设计题

常用集成计数器分析

① 4 位同步二进制计数器 74161

74161 的模值为 16，计数过程为 $0 \rightarrow 1 \rightarrow 2 \rightarrow \dots \rightarrow 14 \rightarrow 15 \rightarrow 0$ 。

功能	实现条件
加 1 计数	$P = T = 1, \overline{CLR} = \overline{LD} = 1, CLK = \uparrow$
同步预置	$P = T = 1, \overline{CLR} = 1, \overline{LD} = 0, CLK = \uparrow$
异步清零	$\overline{CLR} = 0$
计数保持	$P = 0, T = 1, \overline{CLR} = \overline{LD} = 1$



$$Q_3 Q_2 Q_1 Q_0 = D_3 D_2 D_1 D_0$$

② 同步十进制计数器 74160

74160 为十进制计数器。

③ 4 位同步二进制计数器 74163

与 74161 相似，只有一处不同，74161 为异步清 0，74163 为同步清 0。

10. 集成计数器应用

题 1. 三位二进制加法计数器，从初始状态 000 开始计数（即第一个时钟脉冲到来后为 001），经过 100 个时钟脉冲后的状态为_____。

A. 000

B. 100

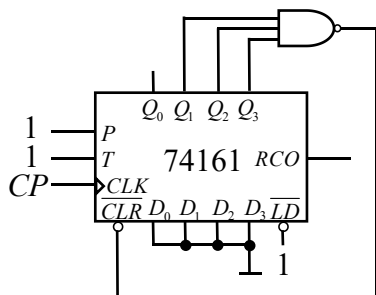
C. 101

D. 111

答案：B。



题 2. 分析如图所示电路，说明其功能。

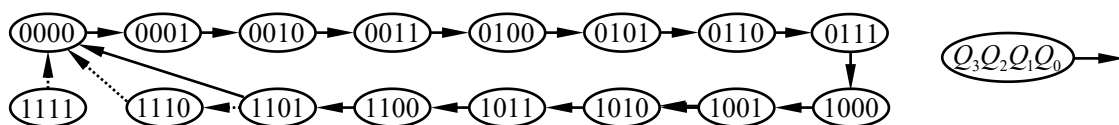


解： $D_3D_2D_1D_0 = 0000$ ， $P = T = 1$ ， $\overline{LD} = 1$ ， $\overline{CLR} = \overline{Q_3Q_2Q_1}$

$$Q_3Q_2Q_1Q_0 = 1110$$

， $\overline{CLR} = 0$ ，异步清零，其余情况正常计数。

$$Q_3Q_2Q_1Q_0 = 1110$$

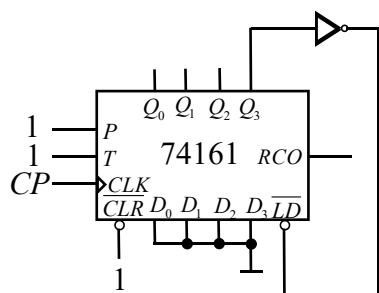


可自启动的模14计数器。

总结： $P = T = 1$ ， $\overline{LD} = 1$ ， \overline{CLR} 接逻辑门输出的时候，它的计数初值一定是0

可以令 $\overline{CLR} = 0$ 的最小 Q 值再减去1，就是它的计数终值。

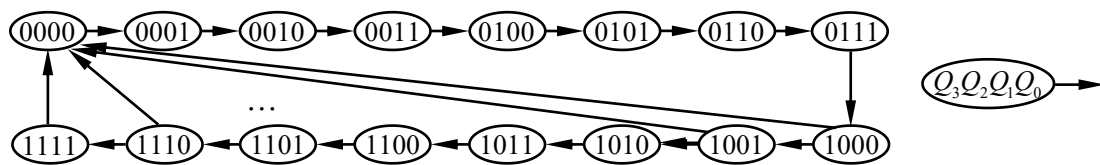
题 3. 分析如图所示电路，说明其功能。



解： $D_3D_2D_1D_0 = 0000$ ， $P = T = 1$ ， $\overline{CLR} = 1$ ， $\overline{LD} = \overline{Q_3}$



$Q_3Q_2Q_1Q_0 = 1\times\times\times$, $\overline{LD} = 0$, 同步预置 ($Q_3Q_2Q_1Q_0 = D_3D_2D_1D_0 = 0000$), 其余情况正常计数。

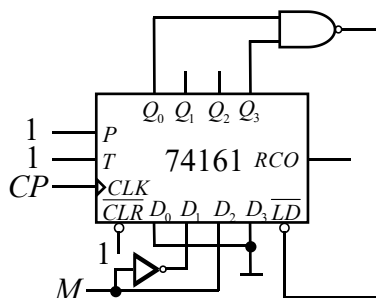


可自启动的模9计数器。

总结: $P=T=1$, $\overline{CLR}=1$, \overline{LD} 接逻辑门输出的时候, 它的计数初值是 $D_3D_2D_1D_0$

可以令 $\overline{LD}=0$ 的最小 Q 值, 就是它的记数终值。

题 4. 74161 及其外围电路如图所示, 试分析当 $M=1$ 和 $M=0$ 时电路的逻辑功能。



解: $P=T=1$, $\overline{CLR}=1$, $\overline{LD} = \overline{Q_3Q_0}$ 同步置数法

$Q_3Q_2Q_1Q_0 = 1\times\times\times$, $\overline{LD} = 0$, 同步预置 ($Q_3Q_2Q_1Q_0 = D_3D_2D_1D_0$), 其余情况正常计数。

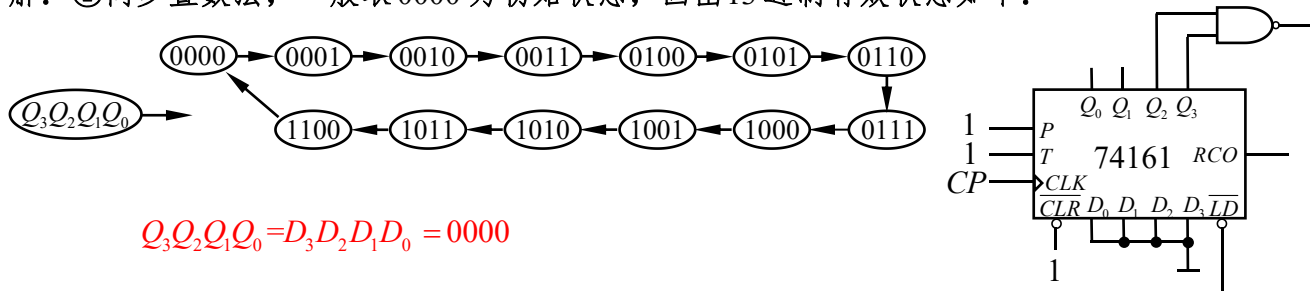
记数终值是9

当 $M=0$ 时, $D_3D_2D_1D_0 = 0010$, 计数过程为 0010 ~ 1001 (2~9), 即模8计数器。

当 $M=1$ 时, $D_3D_2D_1D_0 = 0100$, 计数过程为 0100 ~ 1001 (4~9), 即模6计数器。

题 5. 用计数器 74161 构成 13 进制计数器, 并画出相应的状态图。

解: ①同步置数法, 一般取 0000 为初始状态, 画出 13 进制有效状态如下:

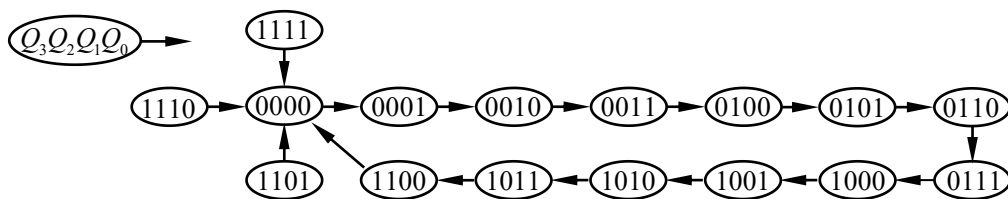


$Q_3Q_2Q_1Q_0 = D_3D_2D_1D_0 = 0000$

当 $Q_3Q_2Q_1Q_0 = 1100$ 时, $\overline{LD} = 0$, 当 $Q_3Q_2Q_1Q_0 = 0000 \sim 1011$ 时, $\overline{LD} = 1$



令 $\overline{LD} = \overline{Q_3 Q_2}$ ，当 $Q_3 Q_2 Q_1 Q_0 = 11 \times \times$ 时 $\overline{LD} = 0$ ，其余状态为 1

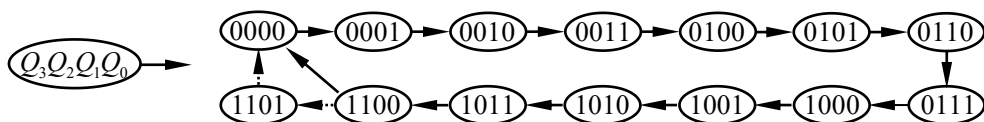


总结：计数初始值为 $D_3 D_2 D_1 D_0$

计数终值为 $D_3 D_2 D_1 D_0$ 加上模值减一。

$P = T = 1$ ， $\overline{CLR} = 1$ ， \overline{LD} 接与非门输出。

②异步清零法，画出 13 进制有效状态如下：

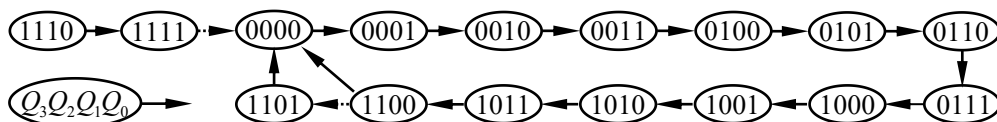


$Q_3 Q_2 Q_1 Q_0 = 0000$

状态 1101 为过渡态，即 $Q_3 Q_2 Q_1 Q_0 = 1101$ 时，将计数器异步清零。

当 $Q_3 Q_2 Q_1 Q_0 = 1101$ 时， $\overline{CLR} = 0$ ，当 $Q_3 Q_2 Q_1 Q_0 = 0000 \sim 1100$ 时， $\overline{CLR} = 1$

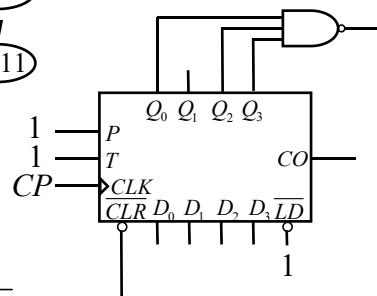
令 $\overline{CLR} = \overline{Q_3 Q_2 Q_0}$ ，当 $Q_3 Q_2 Q_1 Q_0 = 11 \times 1$ 时 $\overline{CLR} = 0$ ，其余状态为 1



总结：计数初始值为 0

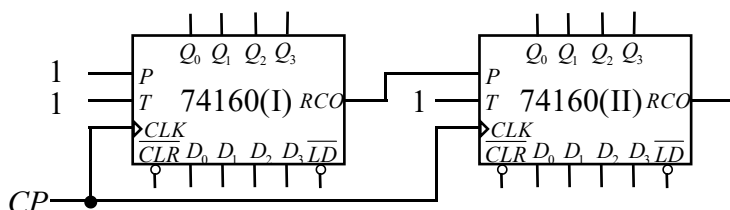
计数终值为模值。

$P = T = 1$ ， $\overline{LD} = 1$ ， \overline{CLR} 接与非门输出。

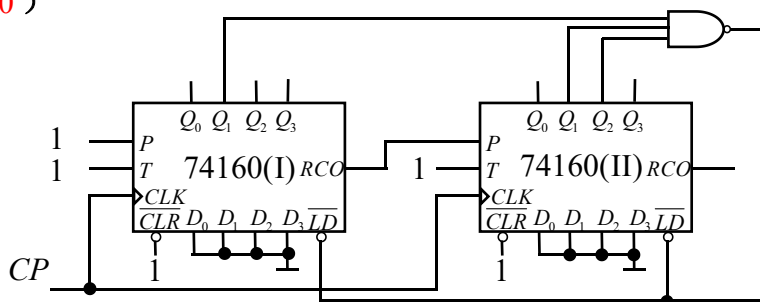


题 6. 试用两片 74160 和一片与非门接成计数长度为 63 的加法计数器，采用同步级联。

解：先将两个 74160 级联为 100 进制计数器，利用同步级联方式，如图所示：

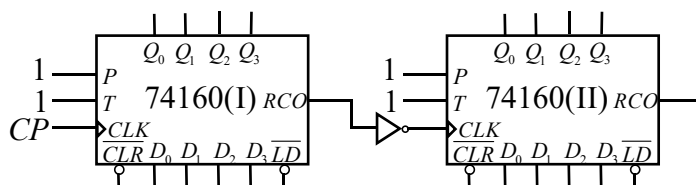


同步置数法：计数初值为 0，计数终值为 62，易得 74160(I) 的终值为 2 (0010)，74160(II) 的终值为 6 (0110)

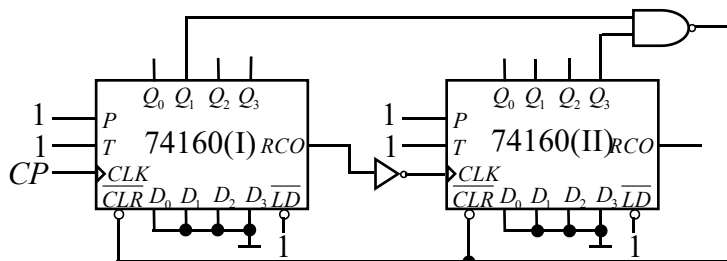


题 7. 试用两片 74161 和与非门接成计数长度为 130 的加法计数器，采用异步级联方式。

解：先将两个 74161 级联为 256 进制计数器，利用异步级联方式，如图所示：



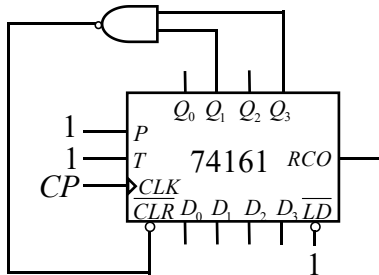
异步清零法：计数初值为 0，计数终值为 130 ($(82)_{16}$)，易得 74160(I) 的终值为 2 (0010)，74160(II) 的终值为 8 (1000)



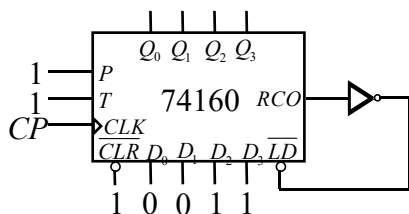
课时九 练习题

13. 一个四位二进制码减法计数器的起始值为1001，经过100个时钟脉冲后的值为_____。
14. 一个五位的二进制加法计数器，由0000状态开始，经过74个时钟脉冲后此计数器的状态为_____。
15. 集成4位二进制加法计数器74161的连接图如图所示，试分析电路的功能。要求：

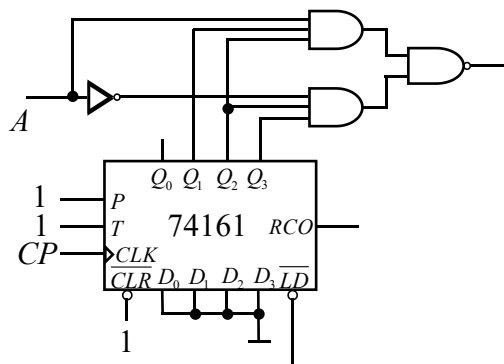
- (1) 画出完整状态图；
- (2) 检验自启动功能；
- (3) 说明计数器模值。



16. 试分析如图所示电路，画出状态转移图，并说明是几进制计数器。



17. 利用74160和必要门电路采用同步预置法和异步清0法设计一个八进制计数器。
18. 利用74161和必要门电路采用同步预置法和异步清0法设计一个模十三计数器。
19. 74161及其外围电路图如图所示。试分析当 $A=0$ 和 $A=1$ 时电路的逻辑功能。



20. 用异步清0法将两片74160构成61进制计数器。
21. 用同步置数法将两片74161构成67进制计数器。



课时十 移位寄存器、集成逻辑门及存储器

考点	重要程度	占分	题型
1. 移位寄存器应用	★★★★	3~5	选择、填空题
2. 集成逻辑门使用的实际问题	★★★★	3~5	选择、填空题
3. 半导体存储器	★★★★	3~5	选择、填空题

移位寄存器应用

题目 1：有一个四位左移移位寄存器，当预先置入 1011 后，其串行输入固定接 0，在 4 个移位脉冲 CP 作用下，四位数据的移位过程是（ ）。

- A. 1011 → 0110 → 1100 → 1000 → 0000
- B. 1011 → 0101 → 0010 → 0001 → 0000
- C. 1011 → 0100 → 1101 → 1110 → 1111
- D. 1011 → 1010 → 1001 → 1000 → 0111.

答案： A.

2. 集成逻辑门使用的实际问题

题 1. 有一个三输入端的 TTL 与非门，要求其输出为低电平时，输入端应为（ ）

- A. 一个接 VCC、一个接 20KΩ 电阻到地，一个悬空
- B. 全部接地
- C. 一个接低电平，两个悬空
- D. 一个接高电平，两个接低电平

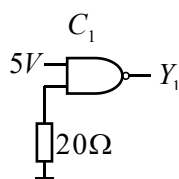
答案： A.

总结：对 TTL 与非门，输入端接下拉电阻，阻值小于 0.7KΩ 时，相当于接入低电平，其余相当于接入高电平。

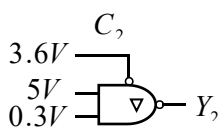
对于 TTL 门电路，悬空相当于接入高电平，CMOS 门电路不允许悬空。



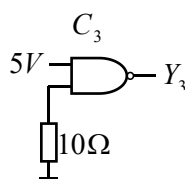
题 2. 如图所示电路中, C_1, C_2, C_3 为 TTL 门电路, C_4, C_5, C_6 为 CMOS 门电路, 试指出各门的输出状态 (高电平、低电平、高阻态)



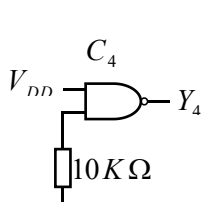
$$Y_1 = 1 \cdot 0 = 1$$



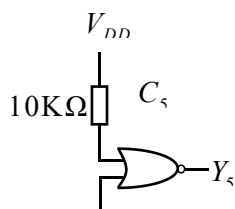
高阻态



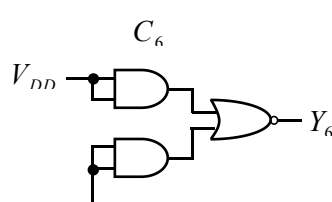
$$Y_3 = \overline{1 \cdot 1} = 0$$



$$Y_4 = \overline{1 \cdot 0} = 0$$



$$Y_5 = \overline{1 + 0} = 0$$



$$Y_6 = \overline{1 + 0} = 0$$

3. 存储器的分类及相关计算

题 1. 半导体存储器从存、取功能上可以分为两大类, 即_____ (具有易失性) 和_____ (具有非易失性)。

答案: RAM, ROM。

题 2. 若存储器的容量为 $512K \times 32$ 位, 则该存储器地址线有_____条, 数据线有_____条。

答案: 19, 32。

题 3. 要构成容量为 $4K \times 8$ 的 RAM, 需要_____片容量为 256×4 的 RAM。

答案: 32



课时十 练习题

22. 已知 4 位左移移位寄存器的现态，从左到右依次为 1010，则在一个有效时钟信号作用下，其次态为（ ）。

- A. 1011 或 1110
- B. 0011 或 1101
- C. 1101 或 0101
- D. 0101 或 0100

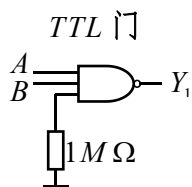
23. 一个右移移位寄存器，当预先置入 1011 后，其串行输入端固定接 0，在 4 个移位脉冲 CP 作用下，四位数据的移位过程为（ ）。

- A. $1011 \rightarrow 0110 \rightarrow 1100 \rightarrow 1000 \rightarrow 0000$
- B. $1011 \rightarrow 0101 \rightarrow 0010 \rightarrow 0001 \rightarrow 0000$
- C. $1011 \rightarrow 1100 \rightarrow 1101 \rightarrow 1110 \rightarrow 1111$
- D. $1011 \rightarrow 1010 \rightarrow 1001 \rightarrow 1000 \rightarrow 0111$

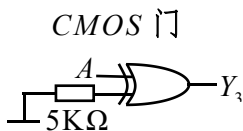
3. TTL 集成逻辑门电路中，或非门的多余输入端应如何接？

- A. 悬空
- B. V_{CC}
- C. GND
- D. 无法确定

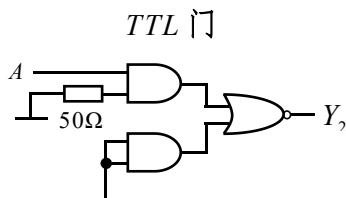
4. 写出图示电路的逻辑表达式



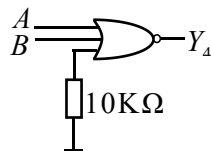
$Y_1 = \underline{\hspace{2cm}}$



$Y_3 = \underline{\hspace{2cm}}$



$Y_7 = \underline{\hspace{2cm}}$



$Y_4 = \underline{\hspace{2cm}}$

5. 某存储器具有 8 根地址线和 8 根数据线，则该存储器的容量是（ ）

- A. $8 \times 8K$
- B. $8K \times 8$
- C. 256×8
- D. 256×256



6. 指出存储系统 $128K \times 8$ 至少需要_____条地址线和_____条数据线。

7. 要构成容量为 4096×4 的 RAM，需要_____片 1024×4 的 RAM。



课时十一 555 定时器

考点	重要程度	占分	题型
1. 施密特触发器	★★★★	3~5	选择、填空
2. 单稳态触发器	★★★★	3~5	选择、填空
3. 多谐振荡器	★★★★	5~8	设计题

1. 施密特触发器

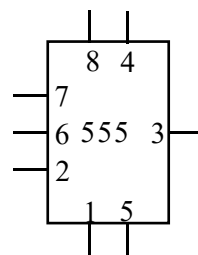
①555 定时器

它可以方便地构成施密特触发器、单稳态触发器和多谐振荡器。

555 定时器的逻辑符号如右图。

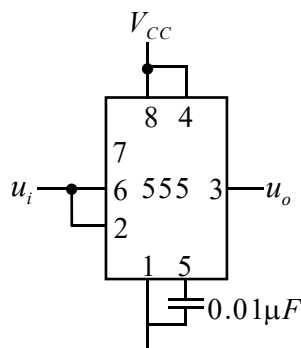
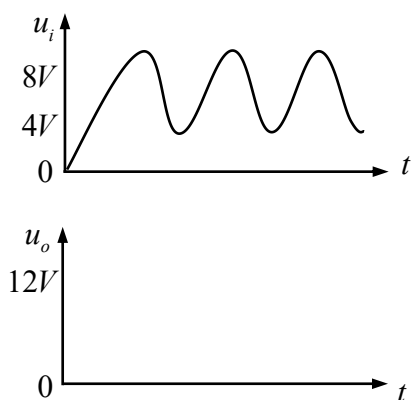
②555 定时器构成施密特触发器

施密特触发器可以把不规则的信号整形成比较规则的数字脉冲信号。



题 1. 已知电源电压 $V_{CC} = 12V$, 求:

- (1) 说明电路的功能;
- (2) 电路的 V_{T+} 、 V_{T-} 各为多少?
- (3) 如果输入电压波形如图, 试画出 3 脚的输出电压波形。



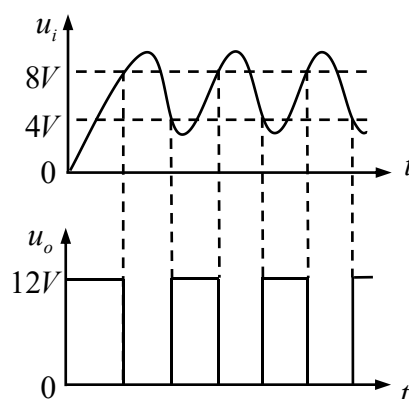
解: (1) 该电路是施密特触发器, 功能是波形整形。

$$(2) V_{T+} = \frac{2}{3}V_{CC}$$

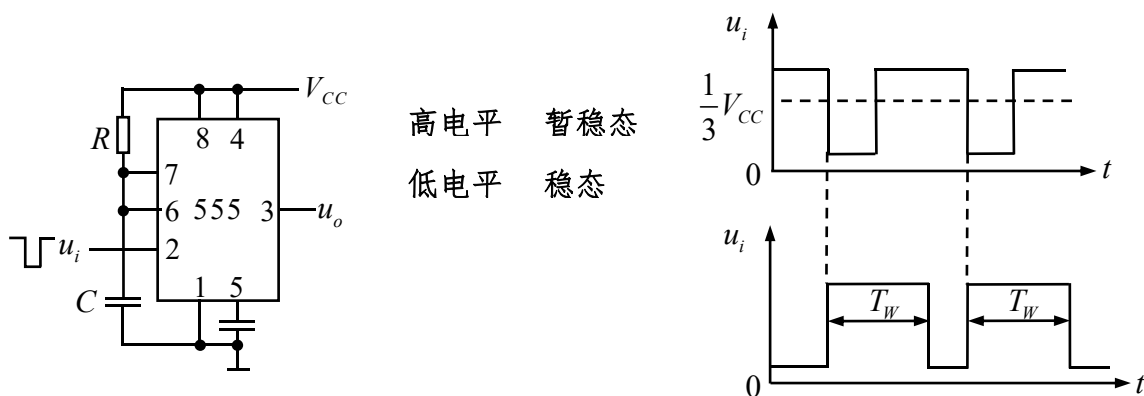
$$V_{T-} = \frac{1}{3}V_{CC}$$

(3) 输入电压上升时与 V_{T+} 的交点处, 由高变低;

输入电压下降时与 V_{T-} 的交点处, 由低变高;



2. 单稳态触发器

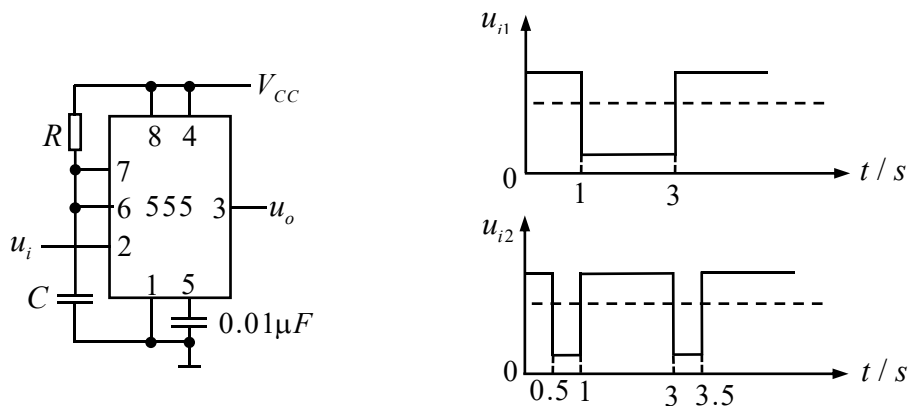


暂稳态的持续时间为 $T_W = 1.1 \cdot RC$

注：输入触发信号低电平宽度必须小于 T_W 。

题 1. 如图所示电路中， $R=10K\Omega$ ， $C=100\mu F$ ，请回答一下问题：

- (1) 这是一个什么电路？
- (2) 如图 u_i 出现一个负脉冲时， u_o 会出现多长宽度的正脉冲？
- (3) 判断如图两个触发信号是否合理。



解：(1) 易得，该电路为 555 定时器构成的单稳态触发器

(2) 由以上分析可知， u_o 出现的正脉冲即为暂稳态，持续时间为 T_W

$$T_W = 1.1 \cdot RC = 1.1 \times 10 \times 10^3 \times 100 \times 10^{-6} s = 1.1s$$

所以 u_o 会出现 1.1s 的正脉冲。

(3) 输入触发信号的低电平宽度必须小于 T_W ，即 1.1s。

u_{i1} 的低电平宽度为 2s， u_{i2} 的低电平宽度为 0.5s，所以 u_{i1} 不合理， u_{i2} 合理。

题 2. 由 555 定时器构成的单稳态触发器，其输出脉冲的宽度取决于 ()



A. 电源电压

B. 触发信号幅度

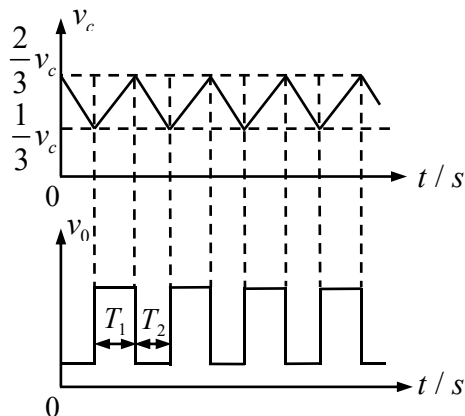
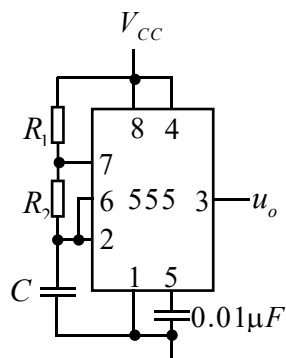
C. 触发信号宽度

D. 外接 R 、 C 的数值

解：输出脉冲宽度即为 T_w ，又 $T_w = 1.1 \cdot RC$ ，所以取决于外接 R 、 C 的数值。

答案：D.

3. 多谐振荡器



电容充电时，电容 C 两端电压逐渐增大，输出高电平。

电容放电时，电容 C 两端电压逐渐减小，输出低电平。

即充放电路径上经过哪几个电阻则将他们相加后与电容相乘，再乘以 0.7 即得持续时间。

高电平持续时间 $T_1 = 0.7(R_1 + R_2)C$

低电平持续时间 $T_2 = 0.7R_2C$

易得振荡周期为 $T = T_1 + T_2 = 0.7(R_1 + 2R_2)C$

题 1. 用 555 定时器构成的多谐振荡器如图所示，当电位器 R_w 滑移至上下两端时，分别计算

振荡频率和相应的占空比。

解：高电平持续时间为 $T_1 = 0.7(R_1 + R_2 + R_w)C$

当电位器 R_w 滑移至最上端时，低电平持续时间为

$T_2 = 0.7(R_2 + R_w)C$

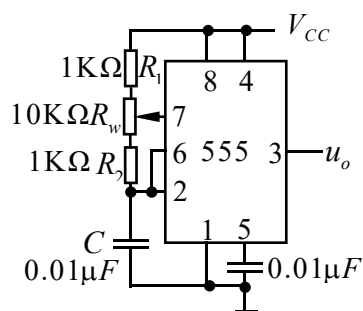
振荡周期 $T = T_1 + T_2 = 0.7(R_1 + 2R_2 + 2R_w)C$

$$= 0.7(1K\Omega + 2K\Omega + 20K\Omega) \times 0.01\mu F$$

$$= 0.7 \times 23 \times 10^3 \times 0.01 \times 10^{-6} s$$

$$= 0.161ms$$

则振荡频率为 $f = \frac{1}{T} = \frac{1}{0.161ms} \approx 6.2kHz$



$$\text{占空比为} = \frac{T_1}{T_1 + T_2} = \frac{R_1 + R_2 + R_w}{R_1 + 2R_2 + 2R_w} = \frac{12}{23} \approx 52\%$$

当电位器 R_w 滑移至最下端时，低电平持续时间为

$$T_2 = 0.7 R_2 C$$

$$\text{振荡周期 } T = T_1 + T_2 = 0.7(R_1 + 2R_2 + R_w)C$$

$$= 0.7 \times 13 \times 10^3 \times 0.01 \times 10^{-6}$$

$$= 0.091 \text{ ms}$$

$$\text{则振荡频率为 } f = \frac{1}{T} = \frac{1}{0.091 \text{ ms}} \approx 11 \text{ kHz}$$

$$\text{占空比为} = \frac{T_1}{T_1 + T_2} = \frac{R_1 + R_2 + R_w}{R_1 + 2R_2 + R_w} = \frac{12}{13} \approx 92\%$$



课时十一 练习题

1. 施密特触发器、单稳态触发器和多谐振荡器中可将三角波转换为同频率的矩形波的是_____。

2. 单稳态电路的主要功能是（ ）

A. 多谐振荡 B. 波形变换 C. 延时 D. 存储信息

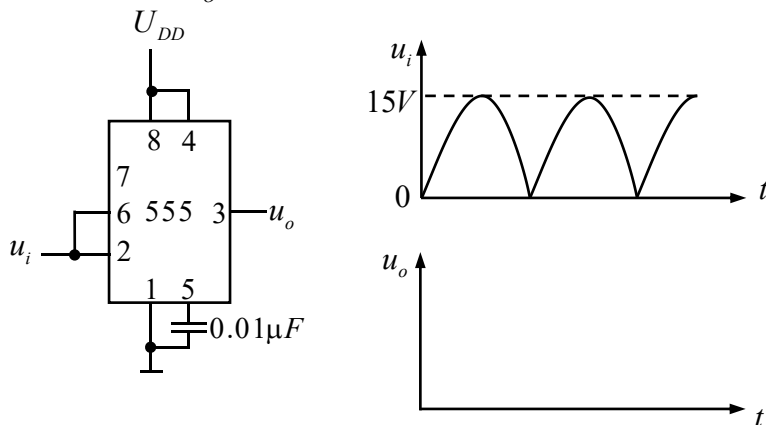
3. 在没有任何输入的前提下，为获得周期性的矩形波，可选用（ ）

A. 单稳态触发器 B. 多谐振荡器
C. 施密特触发器 D. 计数器

4. 下图为 555 定时器组成的施密特触发器，已知 $U_{DD} = 15V$ 。

(1) 计算 U_{T+} 、 U_{T-} 及回差电压 ΔU_T ；

(2) 画出输出波形 U_o

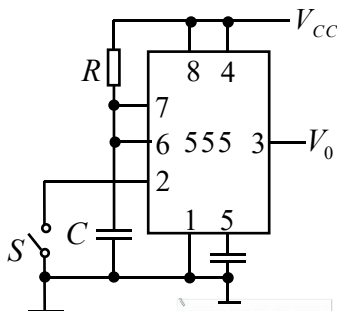


5. 电路如图所示

(1) 分析 S 未按下时电路的工作状态， u_o 处于高电平还是低电平？电路状态是否可以保持稳定？

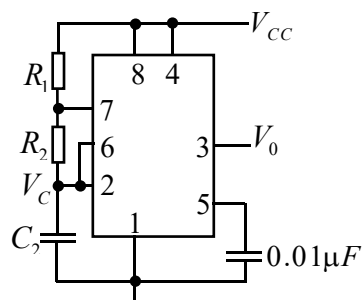
(2) 若 $C = 10\mu F$ ，按一下 S ，当要求输出的脉宽 $t_w = 10S$ 时，计算 R 值。

(3) 若 $C = 0.1\mu F$ ，要求暂稳时间 $t_w = 5ms$ 时的 R 值。此时若将 C 改为 $1\mu F$ （ R 不变），则时间 t_w 又为多少？

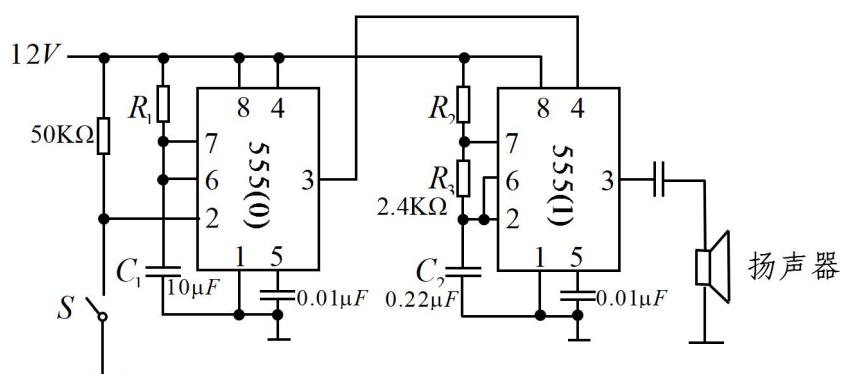


6. 用 555 定时器构成的多谐振荡器如下图：

已知 $R_1=1\text{K}\Omega$ ， $R_2=8.2\text{K}\Omega$ ， $C=0.1\mu\text{F}$ ，试求脉冲宽度 t_w 和振荡频率 f ，并画出 V_c 与 V_o 的工作波形。



7. 分析如图所示电路，简述电路组成及工作原理。若要求扬声器在开关 S 按下以后，以 1kHz 的频率持续响 11s ，试确定图中 R_1 ， R_2 的阻值。



课时十二 可编程逻辑器件及 ADC、DAC

考点	重要程度	占分	题型
1. 可编程逻辑器件	★★★★	3~5	选择、设计
2. A/D 转换器	★★★★	5~8	选择、填空
3. D/A 转换器	★★★★	5~8	选择、填空

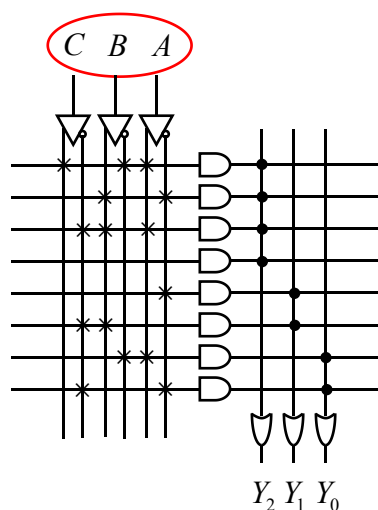
可编程逻辑器件

题目 1: 用 PLA 进行逻辑设计时, 应将逻辑函数表达式变换成 ()。

- A. 与非与非式 B. 异或表达式 C. 最简与或式 D. 标准与或式

答案: C.

题目 2: PLA 编程后的阵列如图所示, 分析并写出实现的逻辑函数表达式。



解: $Y_0 = \overline{A}B + \overline{A}\overline{C}$

$$Y_1 = \overline{A} + \overline{B}C$$

$$Y_2 = \overline{A}BC + \overline{A}B + \overline{A}\overline{C}.$$

题目 3: 试用如图所示可编程逻辑器件 FPLA 产生如下组合逻辑函数, 画出阵列图。

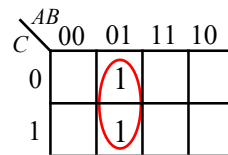
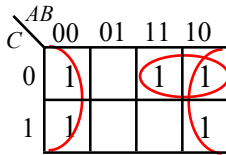
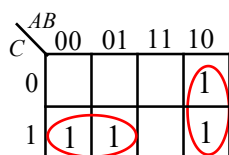
$Y_1 = \overline{A}BC + \overline{A}C + \overline{A}BC$, $Y_2 = \overline{A}B + \overline{A}C + \overline{A}BC$, $Y_3 = \overline{A}BC + \overline{A}BC$ (提示: 先化简各逻辑函数, 再画出阵列图)。

解: 先化简上述逻辑函数。

$$Y_1 = \overline{A}BC + \overline{A}C + \overline{A}BC$$

$$Y_2 = \overline{A}B + \overline{A}C + \overline{A}BC$$

$$Y_3 = \overline{A}BC + \overline{A}BC$$



$$Y_3 = \overline{A}B$$



$$Y_1 = \overline{AB} + \overline{AC}$$

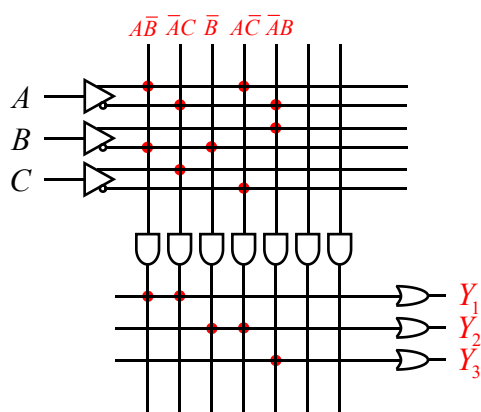
$$Y_3 = \overline{ABC} + \overline{ABC}$$

得化简后逻辑函数为：

$$Y_1 = \overline{AB}C + \overline{AC} + \overline{ABC}$$

$$Y_2 = \overline{B} + \overline{AC}$$

$$Y_3 = \overline{AB}$$



11. A/D 转换器

题目 1：A/D 转换的过程可分为____、____、____、____四个步骤。

答案：采样、保持、量化、编码

题目 2：要求 A/D 转换器将 0 ~ 50°C 范围的温度转换为数字量，精确到 0.1°C 至少需要____位的 A/D 转换器。

答案：9

题目 3：某 A/D 转换器输入为 0 ~ 10V 的模拟电压，输出为 8 位二进制数字信号 ($D_7 \sim D_0$)，若输入电压是 4V，则输出的数字信号为 ()。

A. 00100011

B. 00110011

C. 00100001

D. 01100110

解：A/D 转换器的输入与输出的关系可以表示为 $y = \frac{2^{n-1} - 1}{V_{REF}} x$

$$V_{REF} = 10V, \quad n = 8, \quad x = 4V$$

$$\text{则 } y = \frac{2^8 - 1}{10} \times 4 = \frac{256 - 1}{4} = 102 = (01100110)_2$$

答案：D

12. D/A 转换器

题目 1：若系统要求 DAC 的分辨率优于 0.00025，至少需要____位的 D/A 转换器。

答案：12

题目 2：一个 8 位的 D/A 转换器，输入为 00111100 时输出电压为 1.5V，则输入为 01100100 时，输出电压为____V。



答案：2.52

课时十二 习题

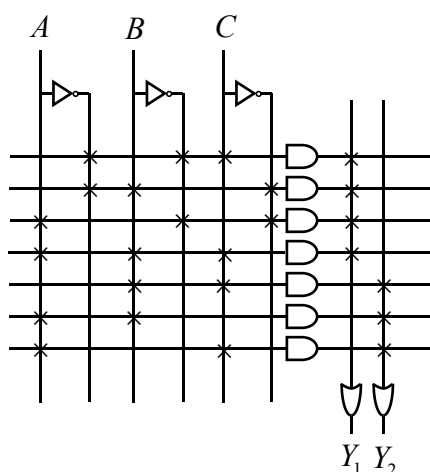
1. 试用可编程逻辑器件 $FPLA$ 产生如下组合逻辑函数，画出阵列图。

$$Y_1 = ABC\bar{C} + \bar{A}C + ABC\bar{C}$$

$$Y_1 = \bar{A}\bar{B} + A\bar{C} + A\bar{B}C$$

$$Y_1 = \bar{A}BC + \bar{A}B\bar{C} + ABC$$

2. 如图所示由阵列构成的组合逻辑电路，试分析写出输出 Y_1 和 Y_2 的逻辑函数表达式，并说明电路实现的功能。



3. 以下那一项不属于一般 A/D 转换过程的步骤？（ ）

- A. 取样 B. 保持 C. 翻转 D. 量化

4. 有一个 A/D 转换器，其输入和输出有理想的线性关系。当分别输入 $0V$ 和 $5V$ 电压时，输出数字量为 $00H$ 和 FFH ，可求得当输入 $2V$ 电压时，电路输出的数字量为_____。

5. n 位 A/D 转换器的分辨率为_____。

6. 某 8 位 A/D 转换器当输入数字量 10000000 时，输出电压为 $5V$ ，若只有最低位高电平，则 A/D 转换器的输出电压为_____。

7. 输入至少_____位数字量的 D/A 转换器分辨率达千分之一。

