

# Einführung in die Technische Informatik

## VLSI-Systementwurf

### Zeitverhalten

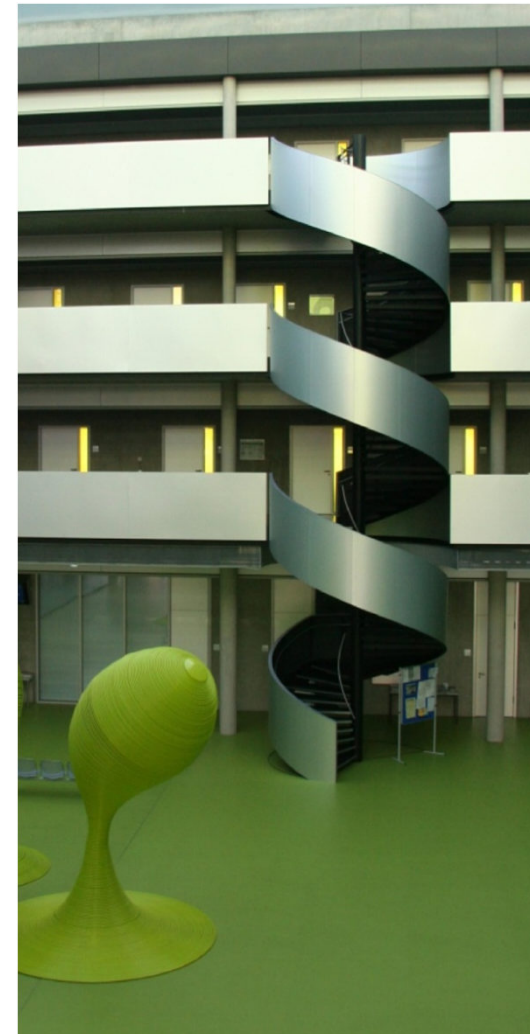
*Rainer G. Spallek*  
*Martin Zabel*

TU Dresden, 09.10.2013



## Gliederung

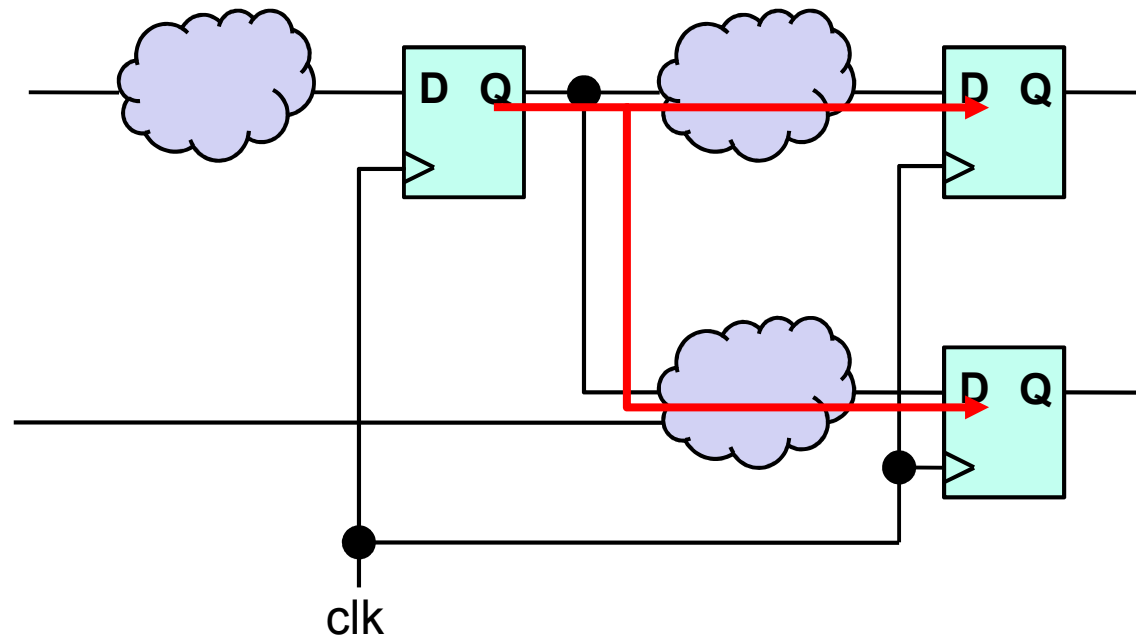
- 1 Wiederholung
- 2 Schaltnetze
- 3 Schaltwerke
- 4 Zusammenschaltung von ICs
- 5 Beispiel CoolRunner-II
- 6 Zusammenfassung



# 1 Wiederholung

Takt-Spezifikation:

```
create_clock -name clk -period 10 -waveform {0 5}  
[get_ports clk]
```



## 2 Schaltnetze

### Einzelgatter:

- Allg.: vorgegebenes, separat verdrahtbares Bauelement.
- I.d.R.: Ein Ausgang, ein-/mehrere Eingänge.
- Zeitverhalten hinterlegt in Hersteller-Bibliothek.

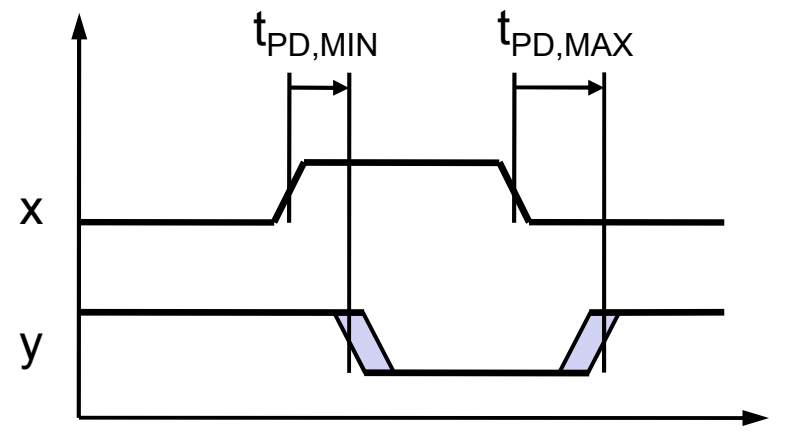
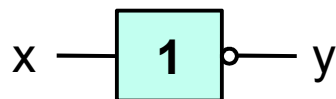
### Schaltnetz:

- Netzwerk von Bauelementen.
- Zeitverhalten bestimmt durch die einzelnen Bauelemente und durch das Verbindungsnetzwerk.
- I.d.R.: Mehrere Aus-/Eingänge.

## Einzelgatter

**Verzögerungszeit:** *Propagate-Delay*,  $t_{PD}$

- Zeit zwischen Änderung am Eingang und stabilem Ausgang.
- Temperaturabhängig, Parameterstreuung, NMOS/PMOS.
- Typischer Wert für Simulation.
- Minimum/Maximum für kürzesten/längsten Pfad in der Timing-Analyse.  
Teilweise auch für Simulation (VITAL).



**Hinweis:** Im Allg. keine Analyse, ob überhaupt Signalwechsel am Ausgang.  
(Beispiel: Carry-Skip)

**Gatter mit „balanciertem“ Zeitverhalten:**

- $t_{PD}$  unabhängig vom Eingang (und Ausgang).
- Beispiel: NAND, NOR.
- $t_{OUT,MAX} = \max\{t_{IN}\} + t_{PD,MAX}$
- $t_{OUT,MIN} = \min\{t_{IN}\} + t_{PD,MIN}$

**Gatter mit „unbalanciertem“ Zeitverhalten:**

- Separate  $t_{PD}$  für alle Kombinationen zwischen Ein- und Ausgang.
- Beispiel: MUX, Komplexgatter wie Volladdierer.
- $t_{OUT,MAX} = \max\{t_{IN1} + t_{PD1,MAX}, t_{IN2} + t_{PD2,MAX}, \dots\}$
- $t_{OUT,MIN} = \min\{t_{IN1} + t_{PD1,MIN}, t_{IN2} + t_{PD2,MIN}, \dots\}$

## Schaltnetz

### Verbindungsnetzwerk beeinflusst $t_{PD}$ der Gatter:

- Kanal der MOSFETs am Ausgang = Widerstand.
- Schaltgeschwindigkeit der MOSFETs abhängig von Last.
- Statt Änderung der  $t_{PD}$  → Zusätzlich: *Routing-Delay*,  $t_{RD}$ .

### Last am Gatterausgang:

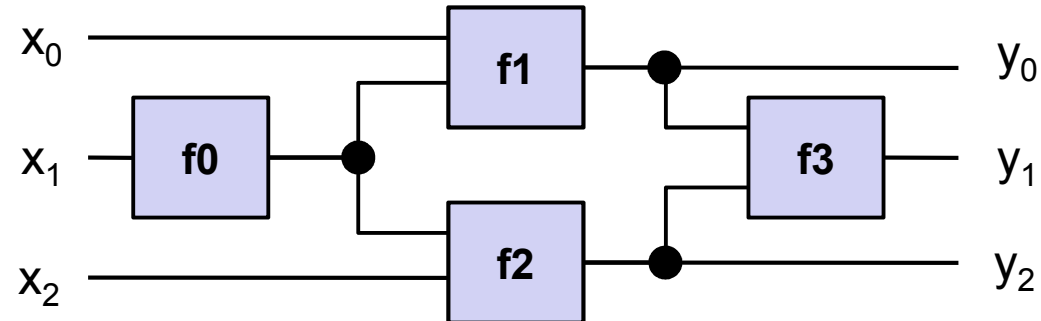
- Eingangskapazitäten der folgenden Gatter.  
→ *Fan-Out* = Anzahl der angeschlossenen Eingänge.
- Leitungswiderstände und –kapazitäten, proportional zur Leitungslänge.

### Abbildung als Graph:

- Knoten =
  - Gatterausgänge und
  - Ein-/Ausgänge des Schaltnetzes (Ein-/Ausgangsknoten).
- Gerichtete und gewichtete Kanten =
  - Verbindung zwischen Knoten:  $t_{RD} +$
  - Verzögerung innerhalb Gatter:  $t_{PD}$  .
- Bestimmung der kürzesten/längsten Pfade zwischen allen Paaren von Ein- und Ausgangsknoten:
  - Dijkstra-Algorithmus,
  - Floyd-Algorithmus.



Beispiel:



Graph:

## 3 Schaltwerke

### Flip-Flop:

- Allg.: vorgegebenes, separat verdrahtbares Bauelement.
- Verschiedene Typen: D-FF, T-FF, mit/ohne Reset, ...
- Zeitverhalten hinterlegt in Hersteller-Bibliothek.

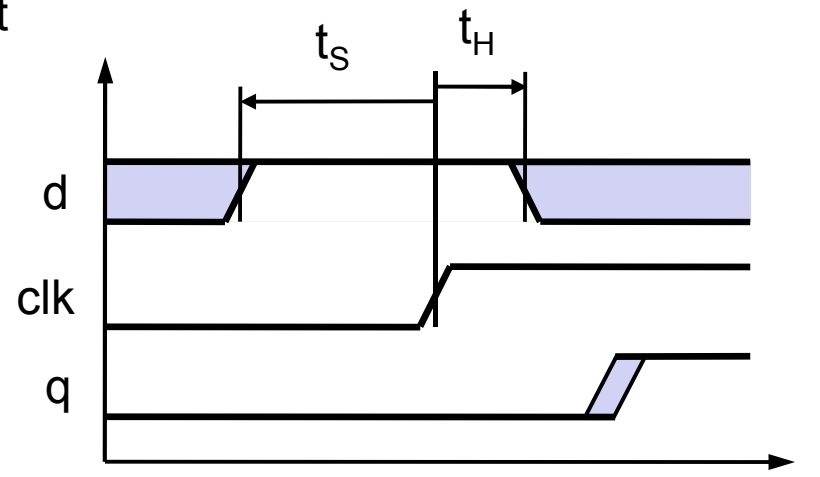
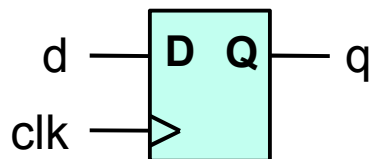
### Schaltwerke:

- FF + Schaltnetze für Ausgänge und Folgezustand.

## Flip-Flop

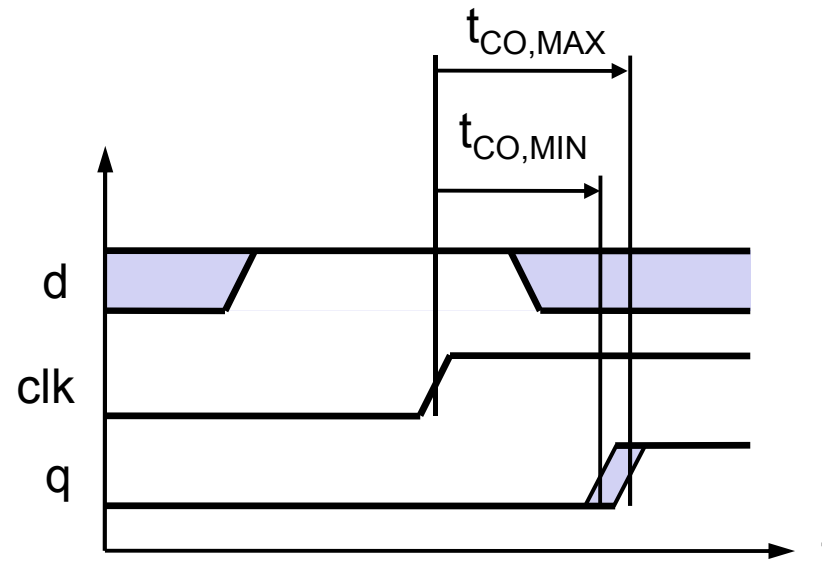
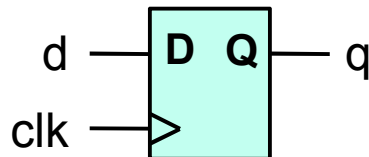
### **Setup-Time $t_S$ und Hold-Time $t_H$ :**

- Zeitfenster relativ zur aktiven Taktflanke, in dem Dateneingang stabil sein muss.
- I.d.R: nur Maximum. Temperaturabhängig, Parameterstreuung.
- **Vorzeichenbehaftete Zeiten:**
  - $t_S > 0$ : Pfeil Richtung Vergangenheit
  - $t_H > 0$ : Pfeil Richtung Zukunft



### **Clock-to-Output-Time $t_{CO}$**

- Zeit zwischen aktiver Taktflanke und stabilem Ausgang.
- Analog  $t_{PD}$ : Minimum, Maximum, typischer Wert.
  - Häufig nur Maximum im Datenblatt spezifiziert.
- Temperaturabhängig, Parameterstreuung.



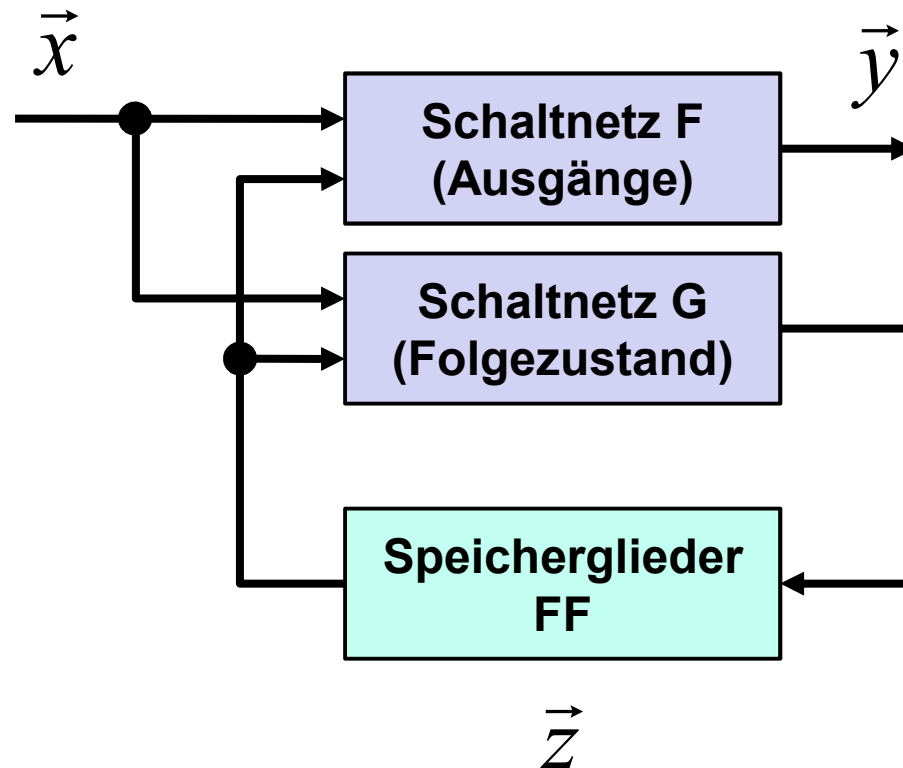
## Schaltwerke

### Aufbau:

- Eingänge:  $X$
- Ausgänge:  $Y$
- Speicherglieder:  $Z$

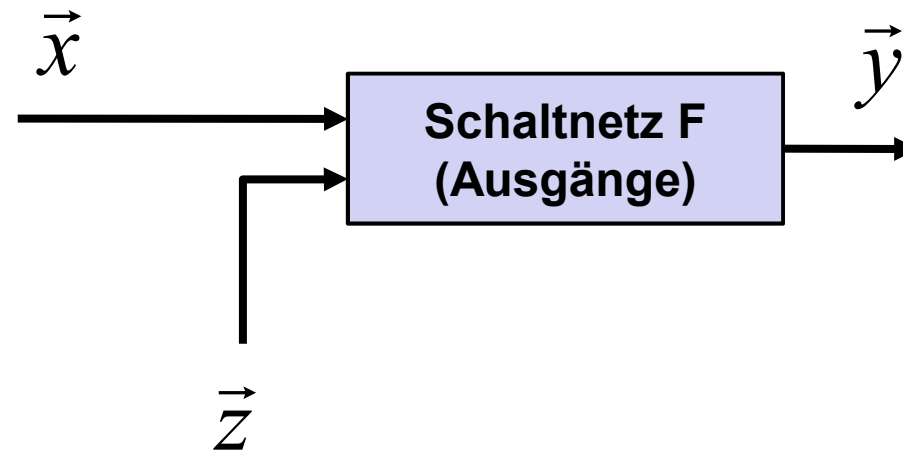
### 4 Zeitparameter:

- $t_{PD}$
- $t_S, t_H$
- $t_{CO}$
- Periodendauer  $T$



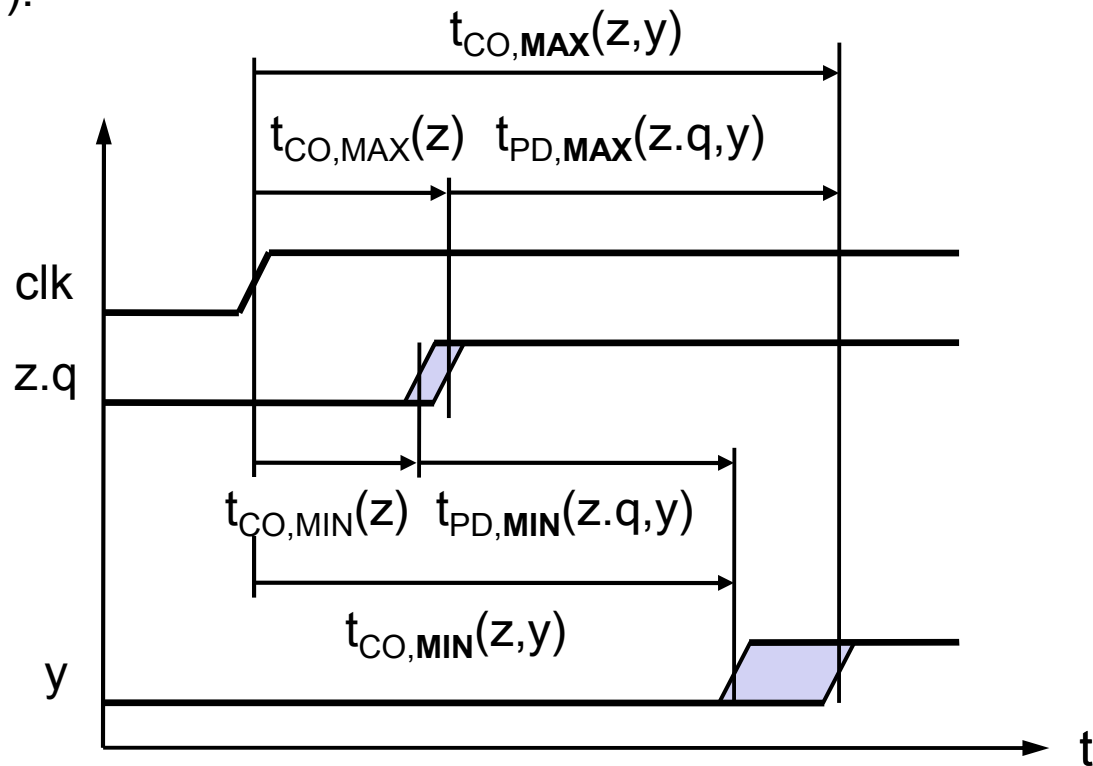
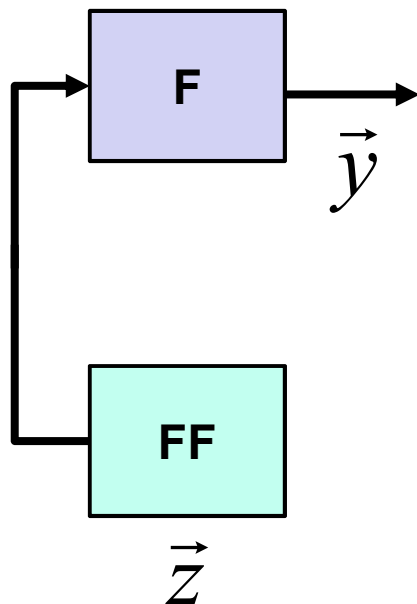
**Propagate-Delay für Schaltwerk:**

- $t_{PD,MIN}(x,y)$  und  $t_{PD,MAX}(x,y)$
- Kürzester/Längster Pfad für alle Paare  $(x,y)$
- Pfade von Z nach Y nicht von Interesse.



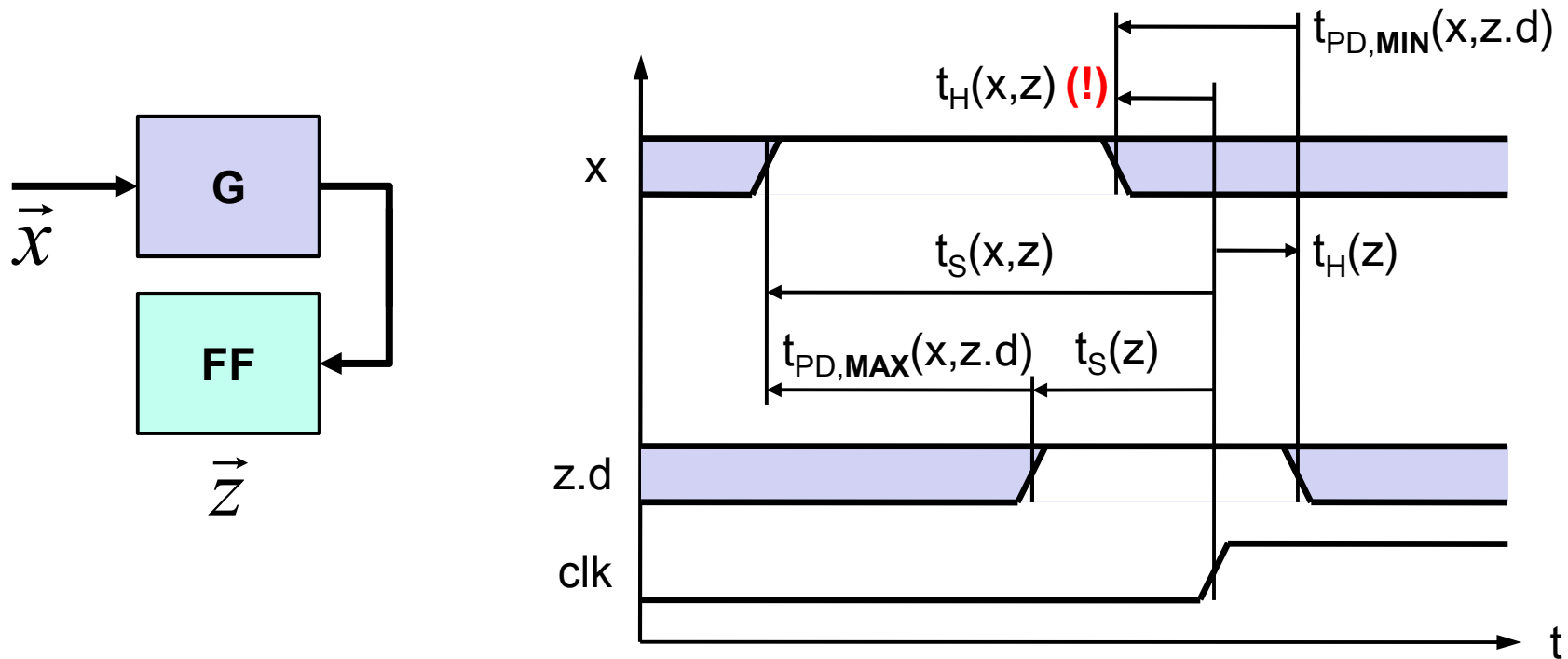
### Clock-to-Output-Time für Schaltwerk:

- $t_{CO,MIN}(z,y) = t_{CO,MIN}(z) + t_{PD,MIN}(z.q,y)$
- $t_{CO,MAX}(z,y) = t_{CO,MAX}(z) + t_{PD,MAX}(z.q,y)$
- Zeiten für alle Paare  $(z,y)$ .



## Setup-/Hold-Time für Schaltwerk:

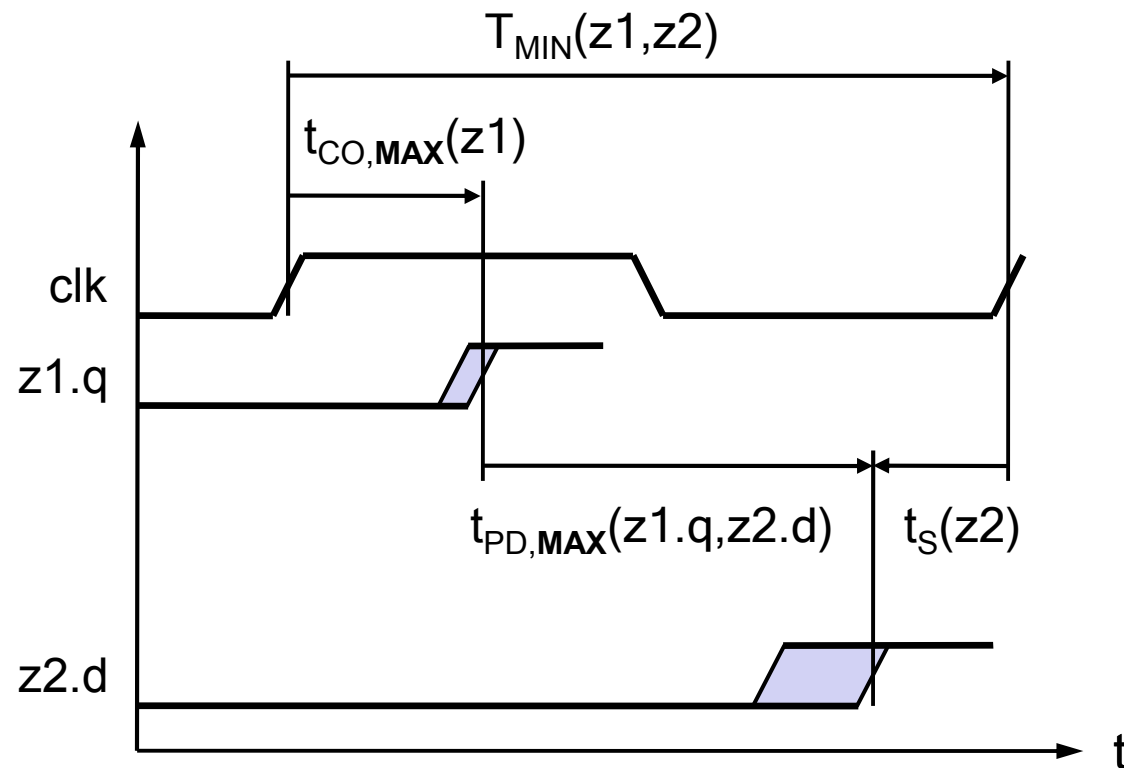
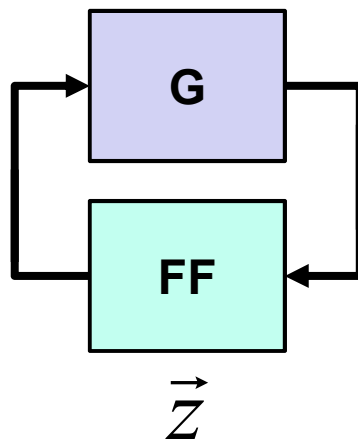
- Setup-Time:  $t_S(x,z) = t_S(z) + t_{PD,MAX}(x,z.d)$
- Hold-Time:  $t_H(x,z) = t_H(z) - t_{PD,MIN}(x,z.d)$
- Zeiten für alle Paare (x,z).





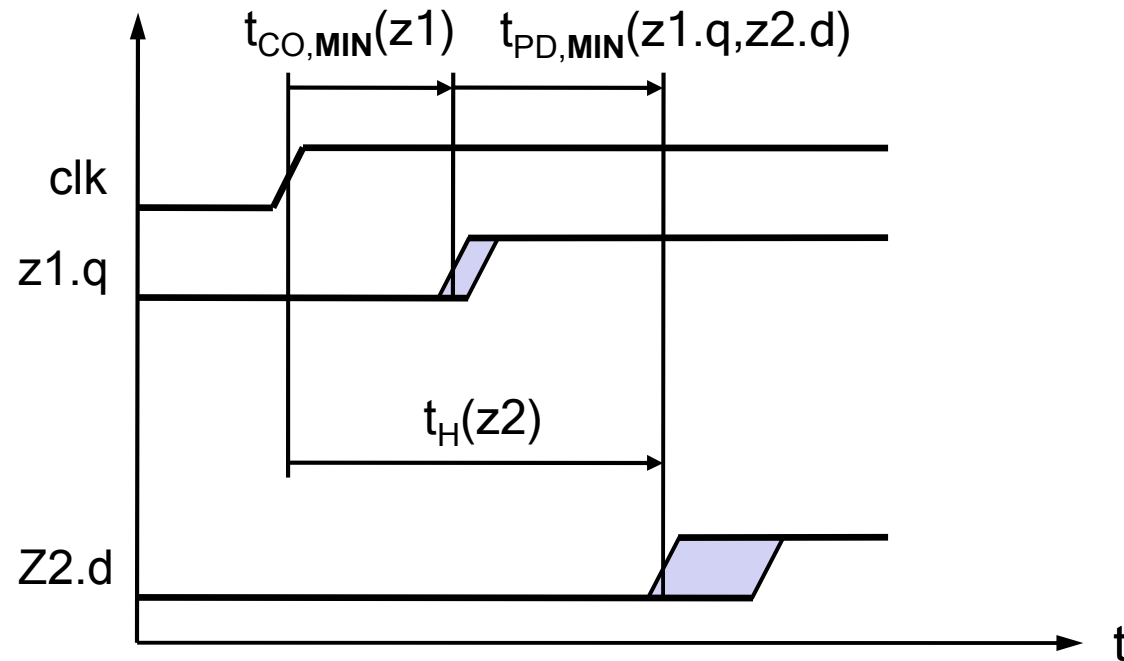
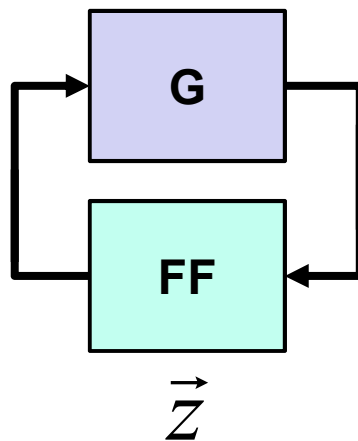
### Minimale Periodendauer für Schaltwerk:

- $T_{\text{MIN}}(z1, z2) = t_{\text{CO,MAX}}(z1) + t_{\text{PD,MAX}}(z1.q, z2.d) + t_s(z2)$
- $T_{\text{MIN}} = \max\{ T_{\text{MIN}}(z1, z2) \}$



## Hold-Time-Problem für Schaltwerk:

Es muss gelten:  $t_H(z2) < t_{CO,MIN}(z1) + t_{PD,MIN}(z1.q,z2.d)$



## 4 Zusammenschaltung von ICs

### I/O-Verzögerungen

Gesucht: Zeitangaben bezogen auf externe PINs.

→ Angaben im Datenblatt.

#### **Zusätzliche Verzögerungszeiten für I/O-Treiber:**

- Input-Delay für x:  $t_{ID,MIN}(x)$  /  $t_{ID,MAX}(x)$
- Input-Delay für clk:  $t_{ID,MIN}(clk)$  /  $t_{ID,MAX}(clk)$
- Output-Delay für y:  $t_{OD,MIN}(y)$  /  $t_{OD,MAX}(y)$

#### **Zusätzliche Verzögerungszeiten für Takt-Netzwerk:**

- Hier Vorgabe: Ausbalancierter Taktbaum.
- Propagate-Delay für clk:  $t_{PD,MIN}(clk)$  /  $t_{PD,MAX}(clk)$

**Propagate-Delay für IC:**

- $t_{PD,MIN}(x^*, y^*) = t_{ID,MIN}(x) + t_{PD,MIN}(x, y) + t_{OD,MIN}(y)$
- $t_{PD,MAX}(x^*, y^*) = t_{ID,MAX}(x) + t_{PD,MAX}(x, y) + t_{OD,MAX}(y)$

**Clock-to-Output-Time für IC:**

- $t_{CO,MIN}(clk^*, y^*) = t_{ID,MIN}(clk) + t_{PD,MIN}(clk) + \min\{ t_{CO,MIN}(z, y) \} + t_{OD,MIN}(y)$
- $t_{CO,MAX}(clk^*, y^*) = t_{ID,MAX}(clk) + t_{PD,MAX}(clk) + \max\{ t_{CO,MAX}(z, y) \} + t_{OD,MAX}(y)$
- $t_{CO,MIN}(z, y)$  und  $t_{CO,MAX}(z, y)$  entsprechend Schaltwerk.

**Setup-Time für IC:**

- Takt trifft frühestens zum Zeitpkt.  $t_{ID,MIN}(clk) + t_{PD,MIN}(clk)$  am FF ein.
- $t_S(x^*, clk^*) = t_{ID,MAX}(x) + \max\{t_S(x, z)\} - t_{ID,MIN}(clk) - t_{PD,MIN}(clk)$
- Längster Pfad für Daten, aber kürzester für Takt!
- $t_S(x, z)$  entsprechend Schaltwerk.

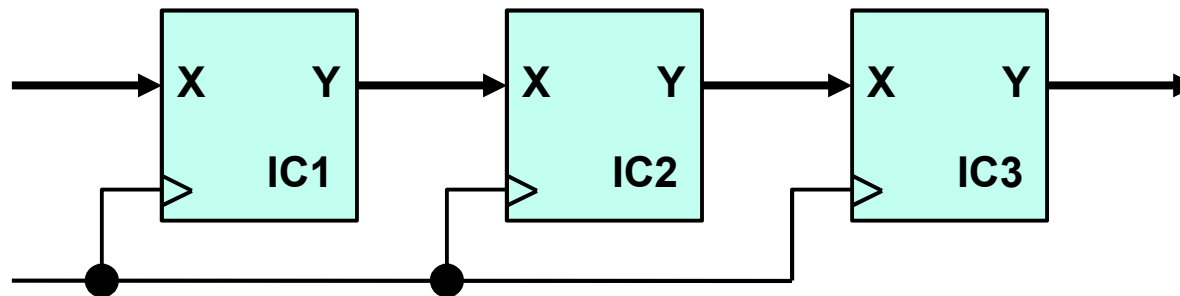
**Hold-Time für IC:**

- Takt trifft spätestens zum Zeitpkt.  $t_{ID,MAX}(clk) + t_{PD,MAX}(clk)$  am FF ein.
- $t_H(x^*, clk^*) = t_{ID,MAX}(clk) + t_{PD,MAX}(clk) + \max\{t_H(x, z)\} - t_{ID,MIN}(x)$
- Kürzester Pfad für Daten, aber längster für Takt!
- $t_H(x, z)$  entsprechend Schaltwerk.

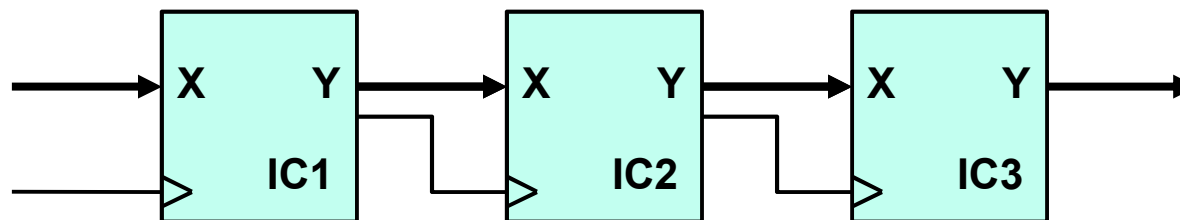
**Taktfrequenz:** unverändert

## Verfügbares Zeit-Budget

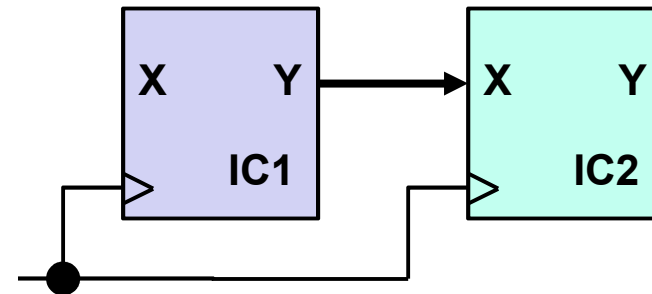
*System Synchronous:*



*Source Synchronous:* für High-Speed-Anwendungen



## System Synchronous:



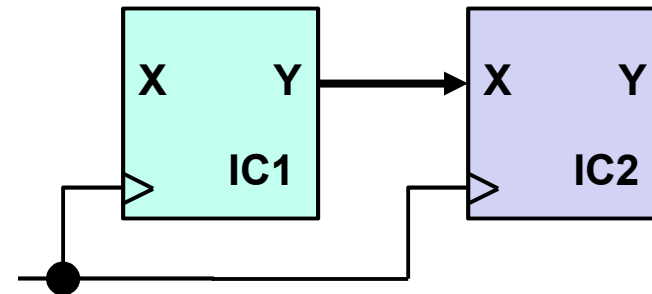
- Vorgabe Systemtakt:  $T$
- Vorgabe durch IC1:  $t_{CO,MAX}(clk^*, y^*)$
- Verfügbar für IC2:  $t_s(x^*, clk^*) \leq T - t_{CO,MAX}(clk^*, y^*) - t_{RD}(y^*, x^*)$
- Altera / Synopsys Design Constraints:
 

```
create_clock -name clk -period 10 -waveform {0 5}
                                     [get_ports clk]
set_input_delay -clock clk 8 [get_ports x]
```
- Xilinx UCF Variante 1:
 

```
NET "x" OFFSET = IN 8 ns AFTER "clk"; # t_CO
TIMESPEC ... = PERIOD "clk" 10 ns HIGH; # T
```
- Xilinx UCF Variante 2:
 

```
NET "x" OFFSET = IN 2 ns BEFORE "clk"; # t_S
```

## System Synchronous:



- Vorgabe Systemtakt:  $T$
- Vorgabe durch IC2:  $t_s(x^*, clk^*)$
- Verfügbar für IC1:  $t_{CO,MAX}(clk^*, y^*) \leq T - t_s(x^*, clk^*) - t_{RD}(y^*, x^*)$
- Altera / Synopsys Design Constraints:
 

```
create_clock -name clk -period 10 -waveform {0 5}
                                     [get_ports clk]
set_input_delay -clock clk 4 [get_ports y]
```
- Xilinx UCF Variante 1:
 

```
NET "y" OFFSET = OUT 4 ns BEFORE "clk";    # t_S
TIMESPEC ... = PERIOD "clk" 10 ns HIGH;    # T
```
- Xilinx UCF Variante 2:
 

```
NET "y" OFFSET = OUT 6 ns AFTER "clk";     # t_CO
```



---

## Source Synchronous

## 5 Beispiel Cyclone III

Im Datenblatt spezifiziert:

- min./max. Frequenzen für Taktnetzwerke und –generatoren
- max. Frequenzen für IP-Blöcke wie Multiplizierer, Speicherblöcke
- Zeitverhalten der I/O-Komponenten:
  - High-Speed-Transceiver: Frequenzen, Datenraten, Jitter
  - I/O-Blöcke: Input-/Output-Delay, max. Frequenzen im DDR-Modus

Nicht spezifiziert sind:

- Verzögerungszeiten einzelner LUTs,  $t_S$ ,  $t_H$  und  $t_{CO}$  von FFs
- Routing-Delay der Verdrahtung

## 6 Zusammenfassung

### Schaltnetze:

- Verzögerungszeit  $t_{PD}$ ,
- Graphenansatz, kürzeste/längste Pfade.

### Schaltwerke:

- Clock-to-Output-Time  $t_{CO}$ , Setup-Time  $t_S$ , Hold-Time  $t_H$ ,
- Minimale Periodendauer  $T$ .

### Zusammenschaltung von ICs:

- Zusätzliche Verzögerungszeiten.
- Zeit-Budgets für System Synchronous.