

# Einführung in die Technische Informatik

## VLSI-Systementwurf

### Grundlagen des Schaltkreisentwurfs

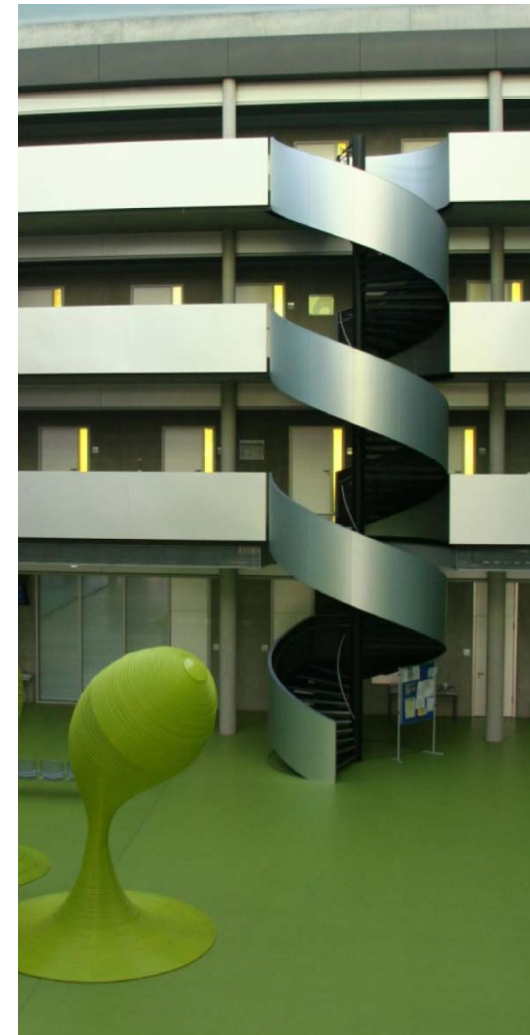
*Rainer G. Spallek*  
*Martin Zabel*

TU Dresden, 07.08.2013



## Gliederung

- 1 Abstraktionsebenen und Sichten
- 2 Entwurfsablauf
- 3 Entwurststile
- 4 Entwurfswerkzeuge
- 5 Zusammenfassung



# 1 Abstraktionsebenen und Sichten

## Ebenen des Entwurfs:

- Charakterisierung des jeweiligen Detaillierungsgrades der Beschreibung des Entwurfsgegenstandes.
- Abstraktionsgrad von der eigentlichen physikalischen Realisierung.
- Abstraktionsniveaus, Hierarchien.

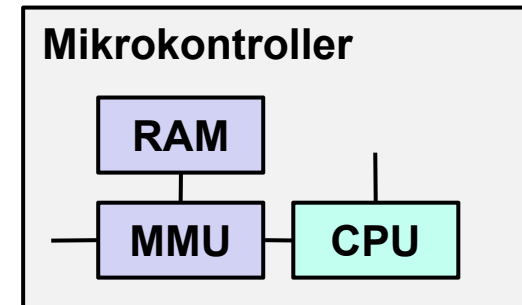
## Sichten des Entwurfs:

- Betrachtung des Entwurfsgegenstandes aus versch. Richtungen.
- Sicht = Eigenschaften die den Entwurfsgegenstand charakterisieren.
- Alle Sichten auf jeder Entwurfsebene → Y-Diagramm / X-Diagramm.

## Abstraktionsebenen

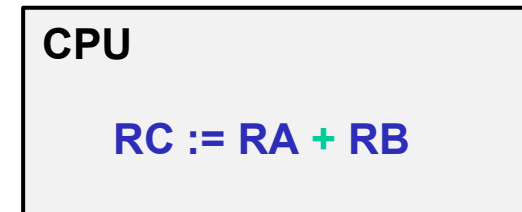
### Systemebene:

Systemkonzept des Entwurfsgegenstandes



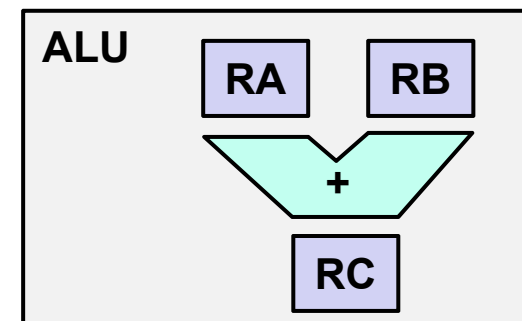
### Algorithmische Ebene:

Algorithmische Beschreibung des Entwurfsgegenstandes



### Register-Transfer-Ebene:

Datentransfer und –verarbeitung zwischen Registern





## Sichten

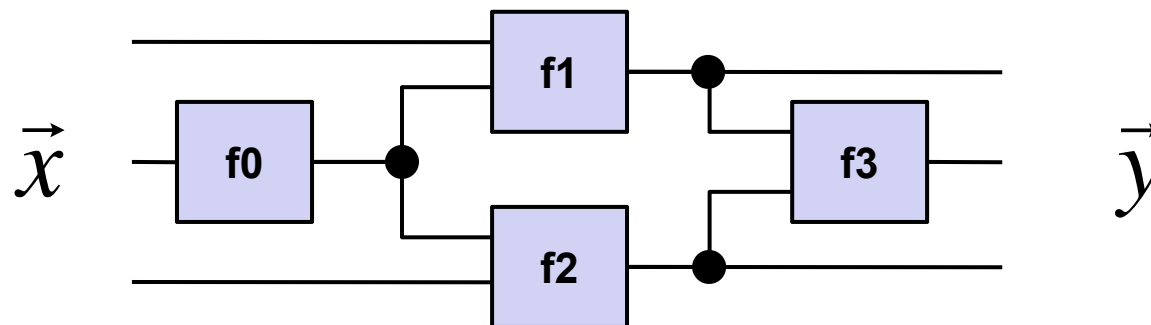
### Verhaltenssicht:

Beschreibung des zeitlichen Verhaltens durch „charakterisierende Variablen“ und deren Werteverläufe über die Zeit.

$$\vec{y}(t) = f(\vec{x}(t))$$

### Struktursicht:

Spezifizierung eines Objektes durch Subobjekte und deren Verbindungsstrukturen.



**Geometriesicht:**

Räumliche Anordnung und Ausdehnung der Subobjekte.

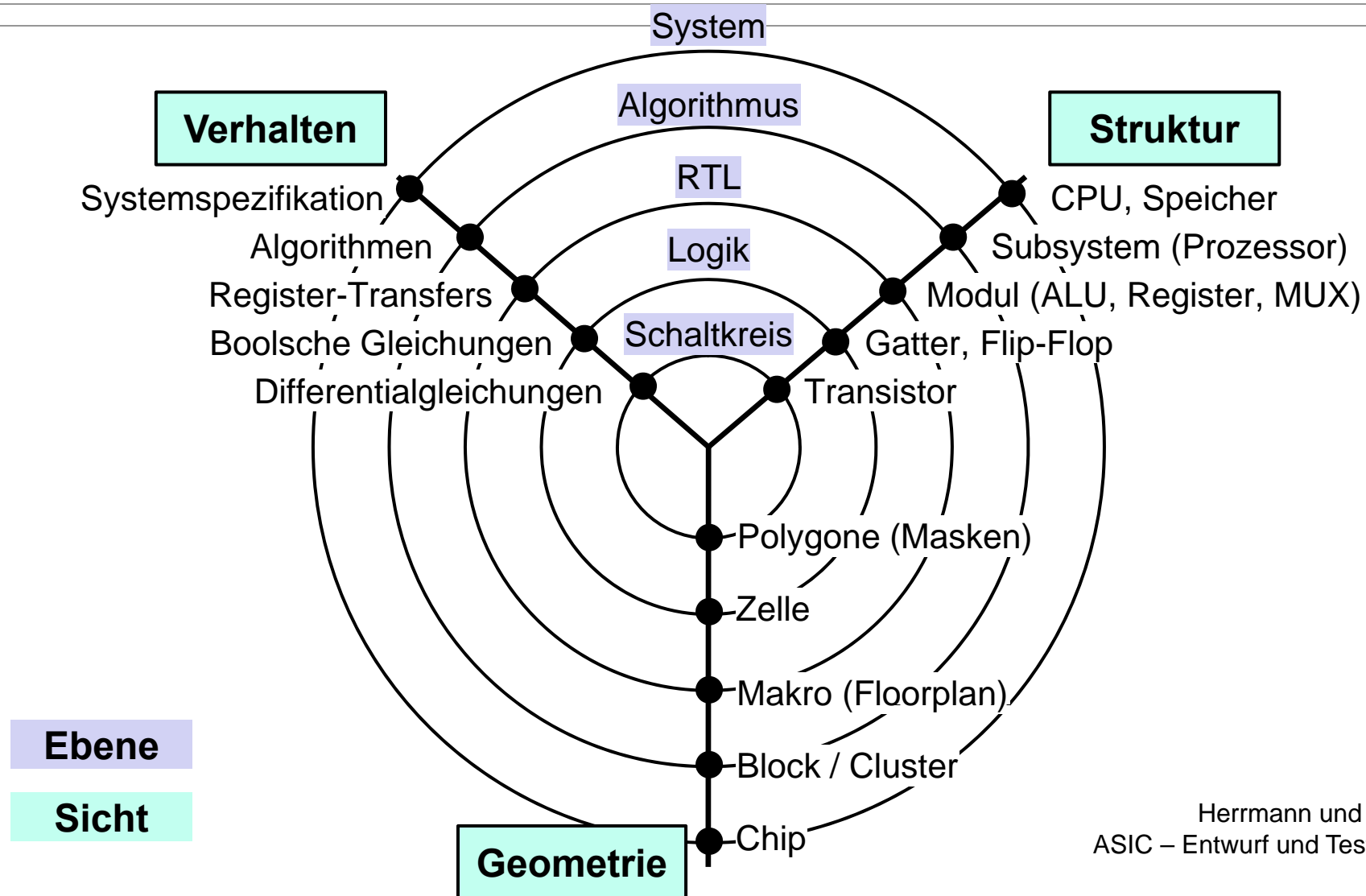
**Testsicht:**

- Existenz oder Nichtexistenz angenommener strukturelle oder funktioneller Defekte.
- *F. J. Rammig, Systematischer Entwurf digitaler Systeme, B. G. Teubner Stuttgart, 1989*

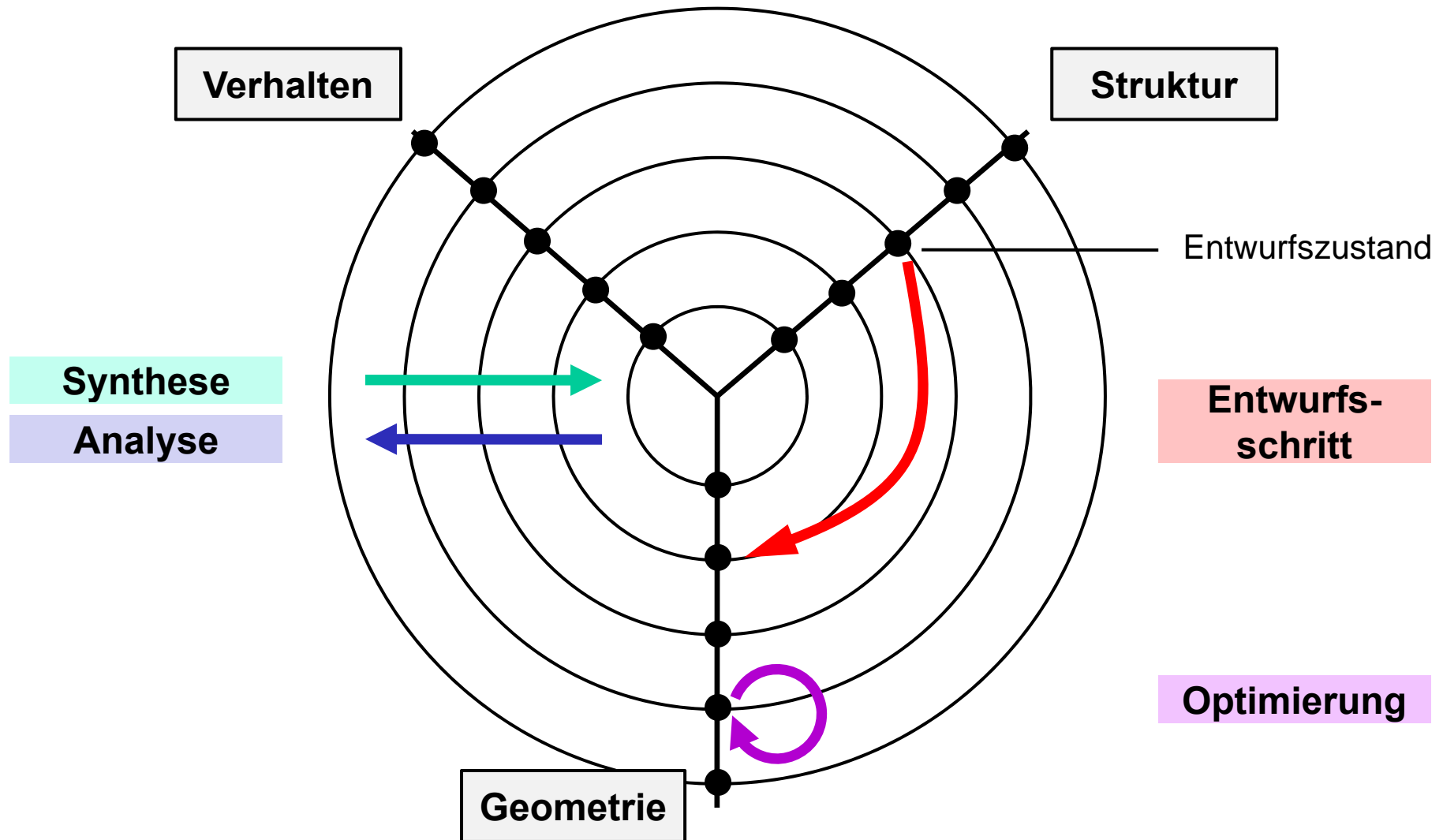
## Y-Diagramm nach Gajski

- Stellt Ebenen und Sichten in Form eines Y-Diagramms dar.
- Ursprünglich nur 3 „Ebenen“.
- Heute: Erweiterung auf 5 Ebenen:
  - Systemebene,
  - Algorithmische Ebene,
  - Register-Transfer-Ebene,
  - Logikebene,
  - Schaltungsebene.





Herrmann und Müller,  
ASIC – Entwurf und Test, 2004



## 2 Entwurfsablauf

**Allgemein:** Transformation einer Aufgabenstellung (Pflichtenheft) in einen fertigen Schaltkreis.

### **Top-Down-Strategie:**

- Systemebene → Schaltkreisebene.
- Vorteil: Parallele Entwicklung auf unteren Ebenen.
- Nachteil: Systemspezifikation zu Projektbeginn oft zu ungenau.

### **Bottom-Up-Strategie:**

- Analyse vorhandener Komponenten.
- Zusammensetzen von neuen Komponenten auf höherer Ebene im Sinne der Aufgabenstellung.
- Nachteil: Globales Ziel wird nicht immer erreicht.

### **Meet-in-the-Middle**

**Entwurfsschritt:**

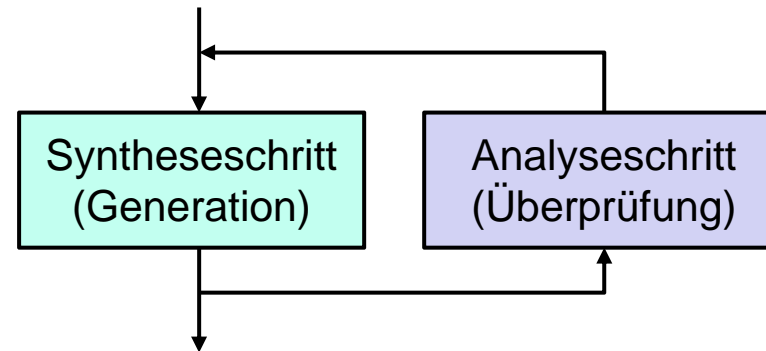
- Generierende Aktivität.
- Überprüfende Aktivität.

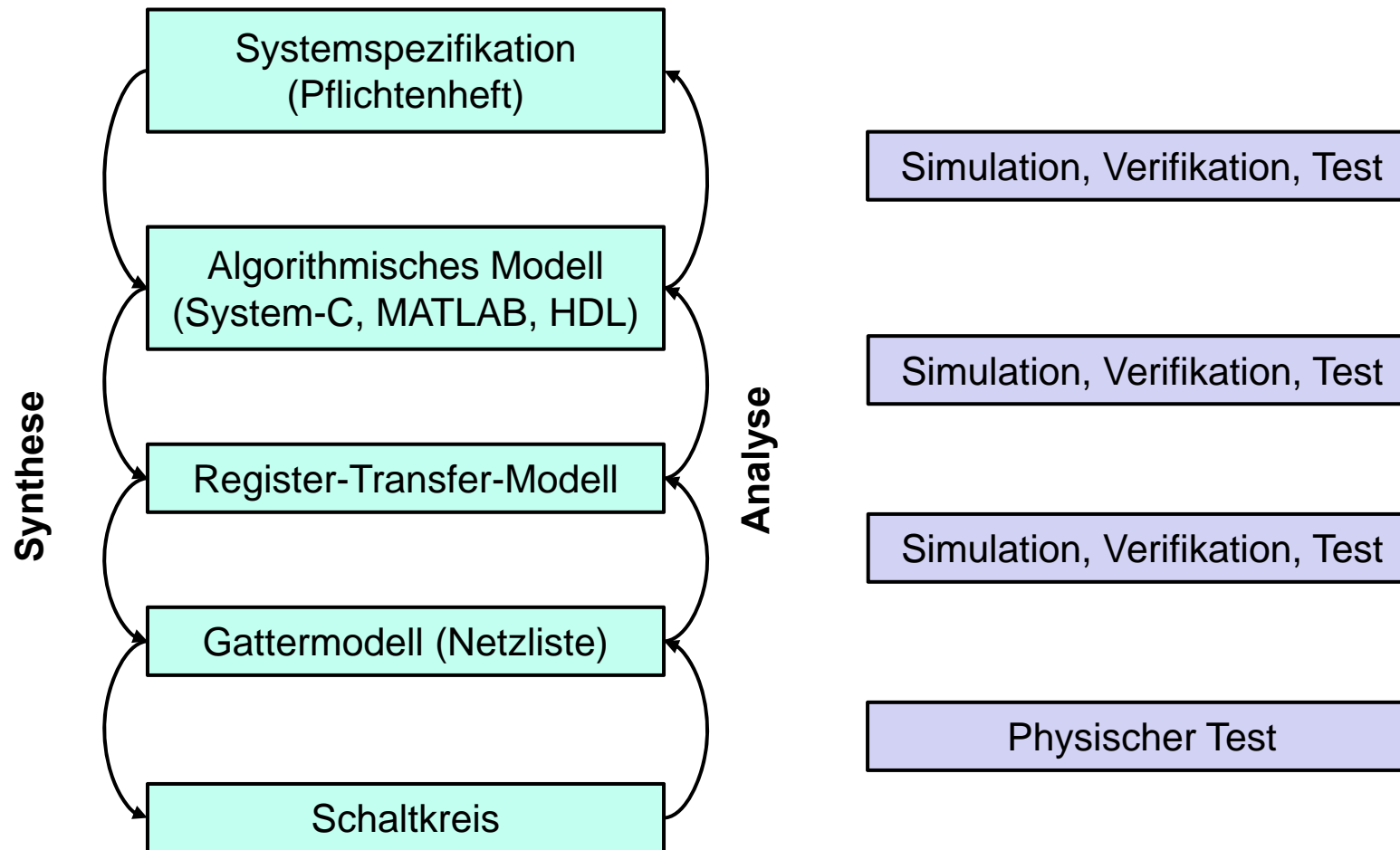
**Syntheseschritt:**

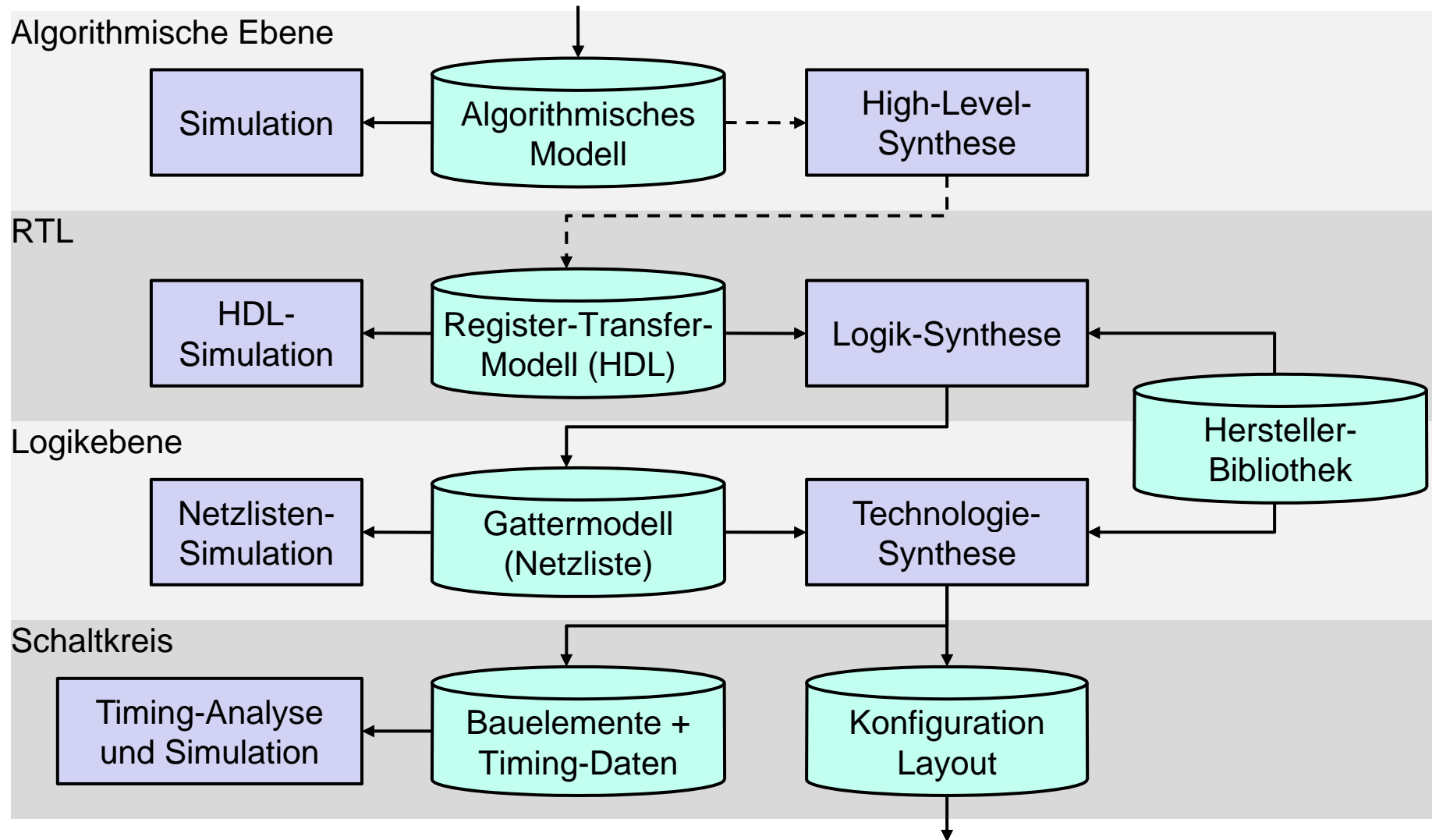
- Abbildung eines Entwurfsschrittes in Richtung auf das Entwurfsziel.
- Abstraktionsgrad sinkt, Detailliertheitsgrad steigt.
- Einbringung neuer Informationen.

**Analyseschritt:**

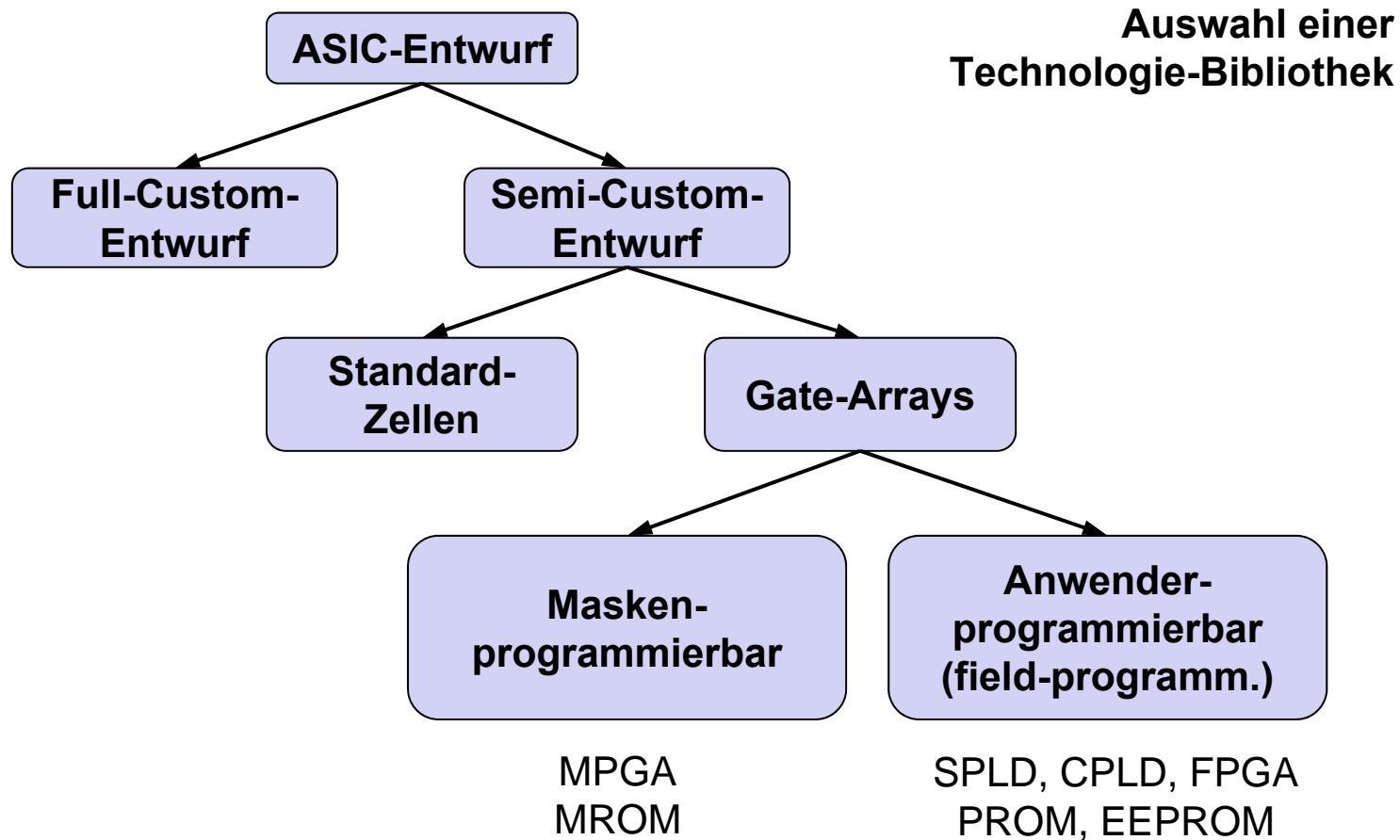
- Abbildung eines Entwurfsschrittes in umgekehrter Richtung zum Syntheseschritt.
- Gewinnung abstrakter Informationen durch Zusammenfassen und Generalisieren von Details (Extraktionsprozess).
- Beispiel: Validierung eines Syntheseschrittes.



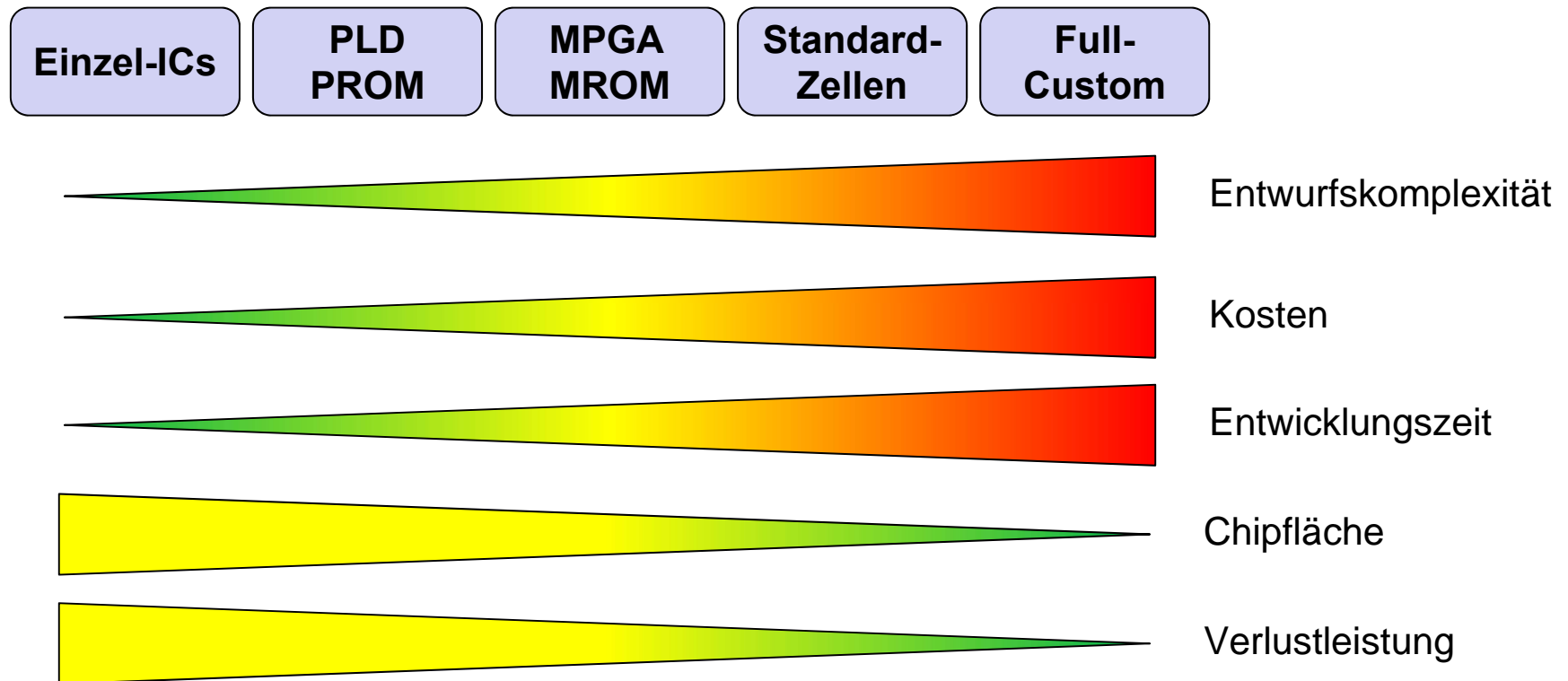




### 3 Entwurststile



## Gegenüberstellung Entwurfsalternativen

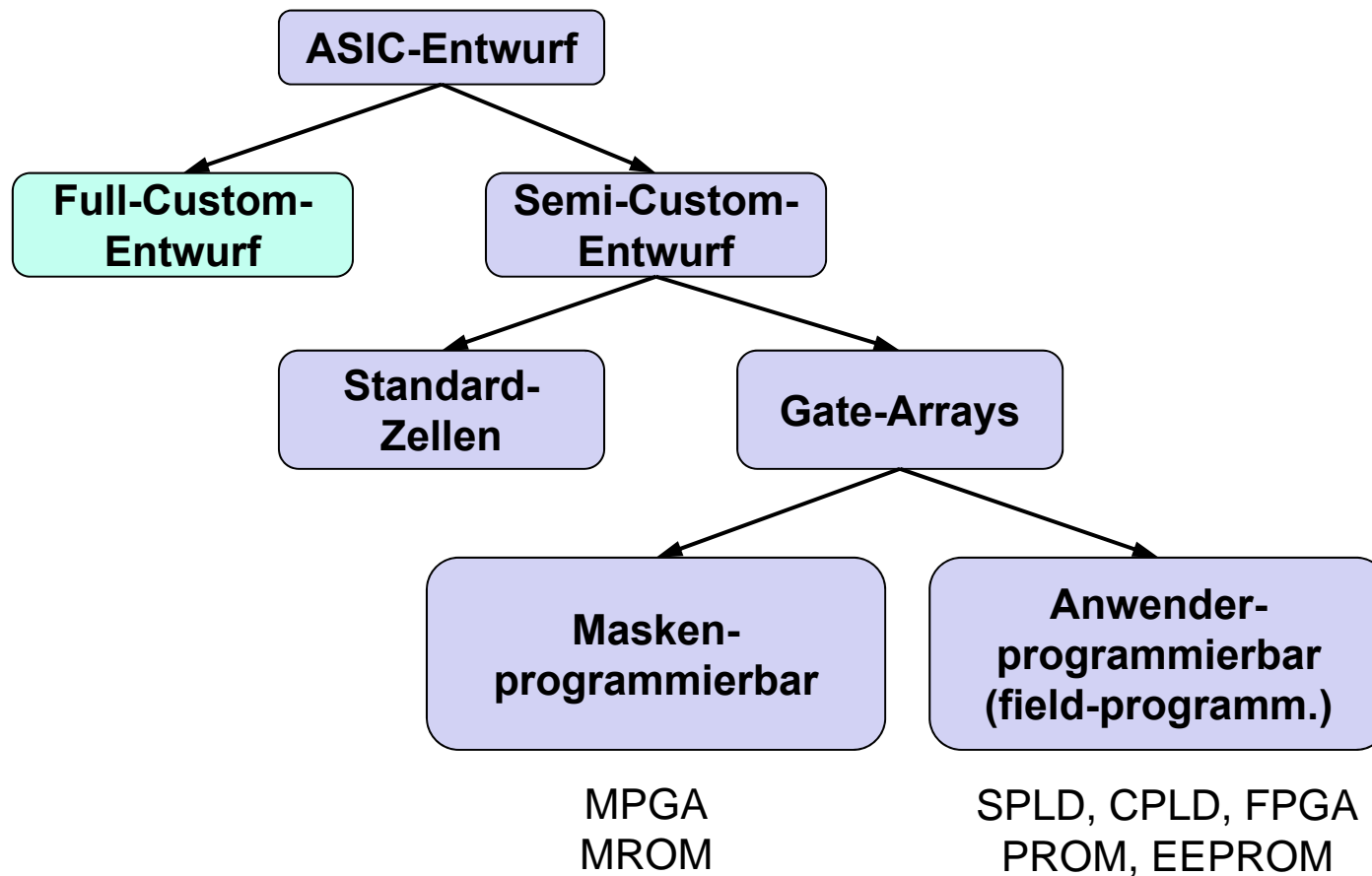


PLD = Programmierbare Logik (SPLD, CPLD, FPGA)

PROM = Programmierbare Speicher (PROM, EPROM, EEPROM)



## 3.1 Full-Custom-Entwurf



## Full-Custom-Entwurf

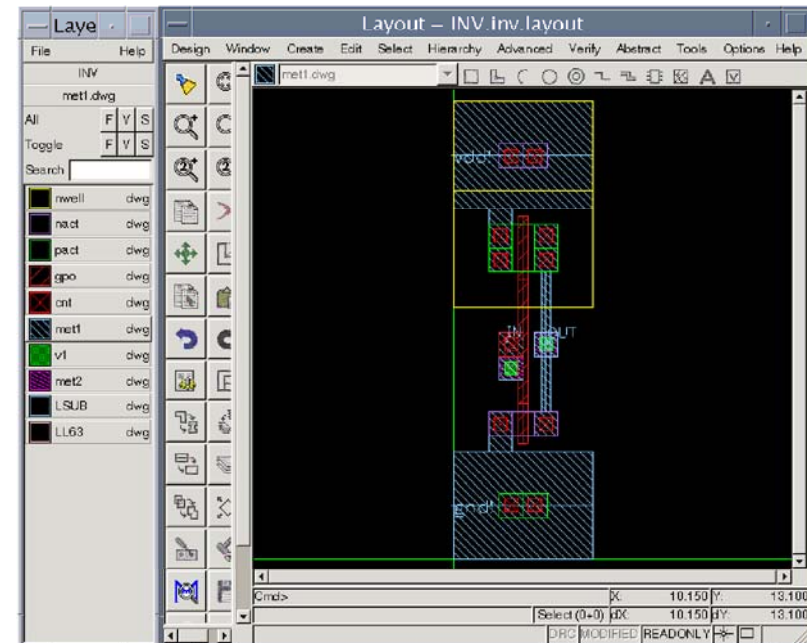
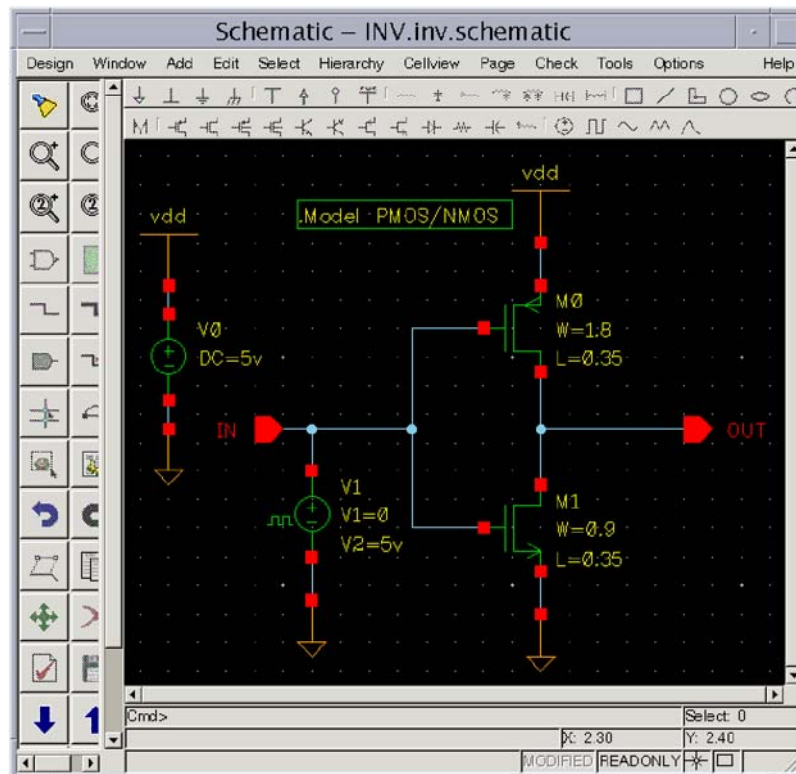
### Merkmale:

- Platzierung und Verdrahtung **selbst entworfener** Transistoren & Gatter.
- Auch Mischung von Analog- und Digitaltechnik, z.B. für spezielle I/O-Signaltreiber.
- Erfüllung spezieller Anforderungen, z.B. gehärtet gegen Strahlung.
- Häufig nur auf kleine Teilschaltungen angewendet.
- Hoch qualifizierte Entwurfsingenieure mit Detailkenntnissen zu den Prozessen erforderlich.

### Anwendung:

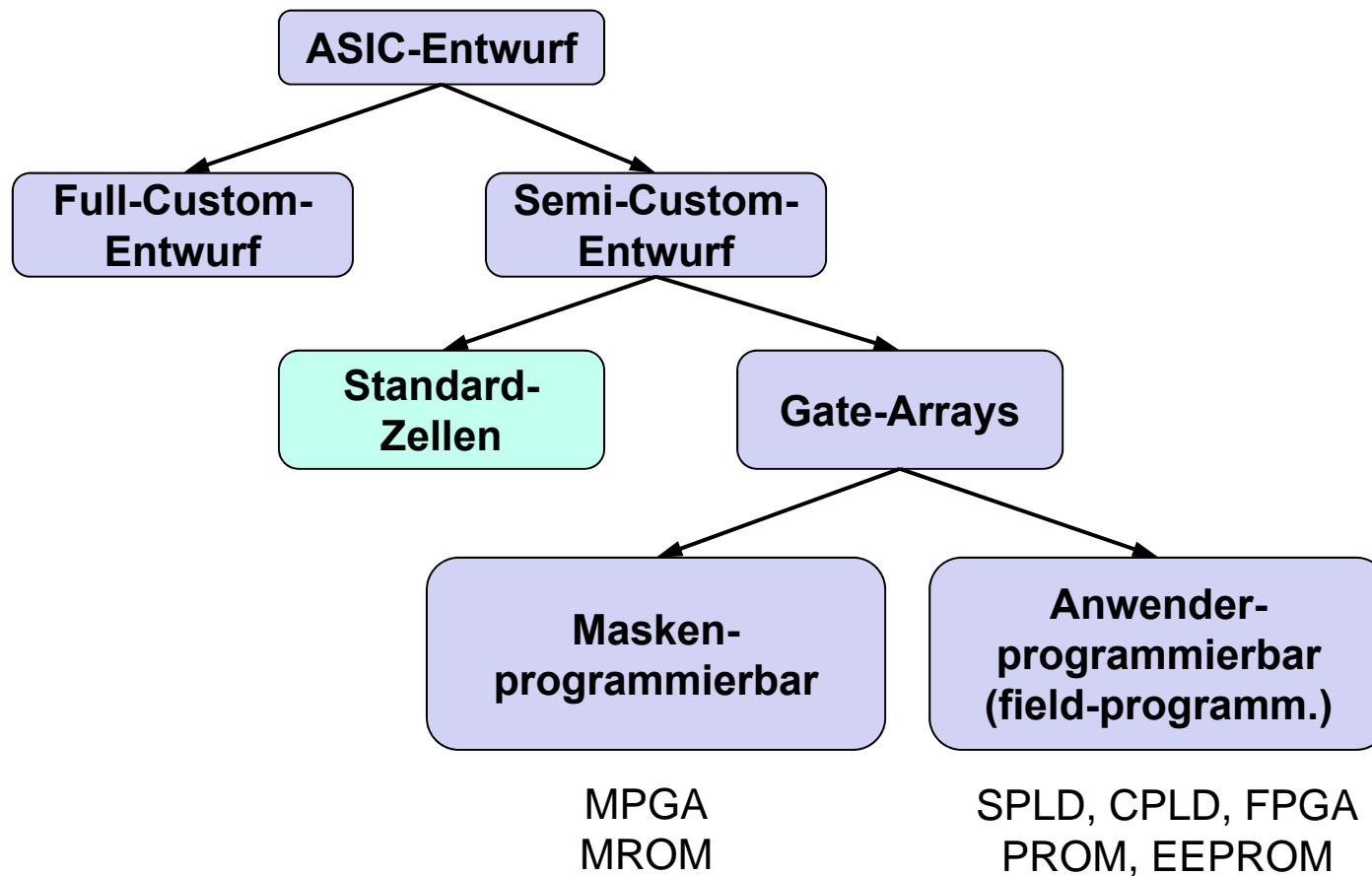
- Sensorik, Mixed-Signal-Schaltungen
- Raumfahrt

## Beispiel: Inverter



CEC Huada Electronic Design: ZENI --- Full Custom IC Design Flow Workshop, <http://www.zeni-eda.com>

## 3.2 Standardzellenentwurf



## Standardzellenentwurf

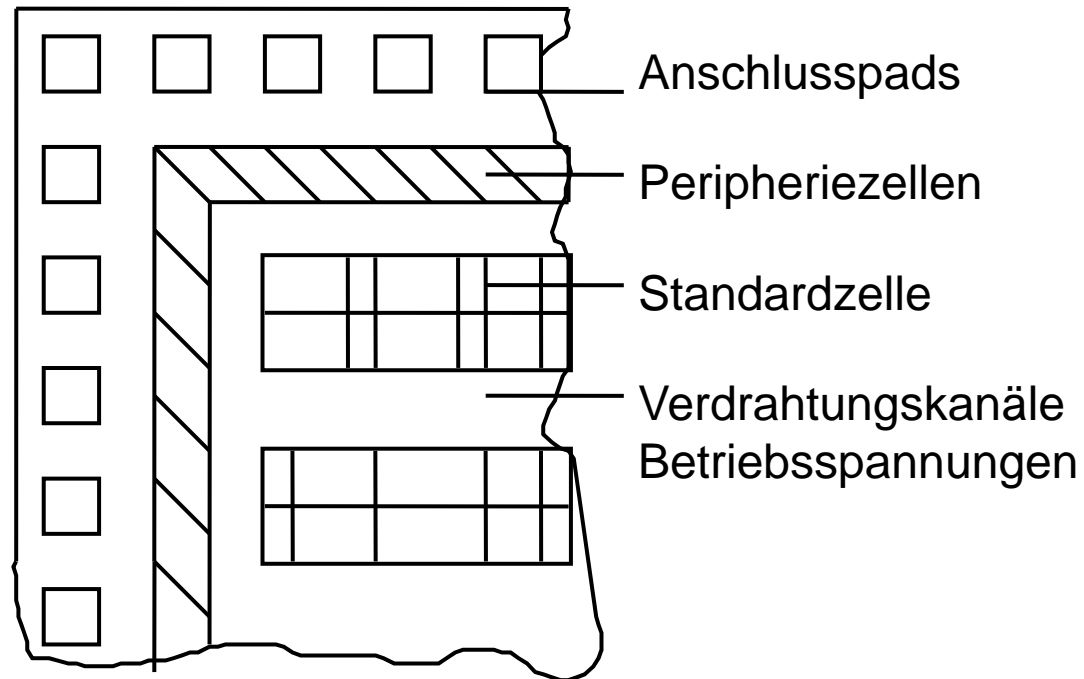
### Merkmale:

- Platzierung und Verdrahtung vorgegebener Gatter- oder Makrozellen.
- Auswahl einer Technologie-Bibliothek nach:
  - Fertigungstechnologie, Strukturbreite und Funktion.
  - High-Speed, Low-Leakage oder Mischung aus beidem.
- Werkzeuggestützte Platzierung und Verdrahtung bei selbst definierter Aufteilung der Chipfläche.
- Makrozellen:
  - Vordefiniert oder per Generator kundenspezifisch erzeugt.
  - Bsp.: RAM, ALU, I/O-Komponenten.

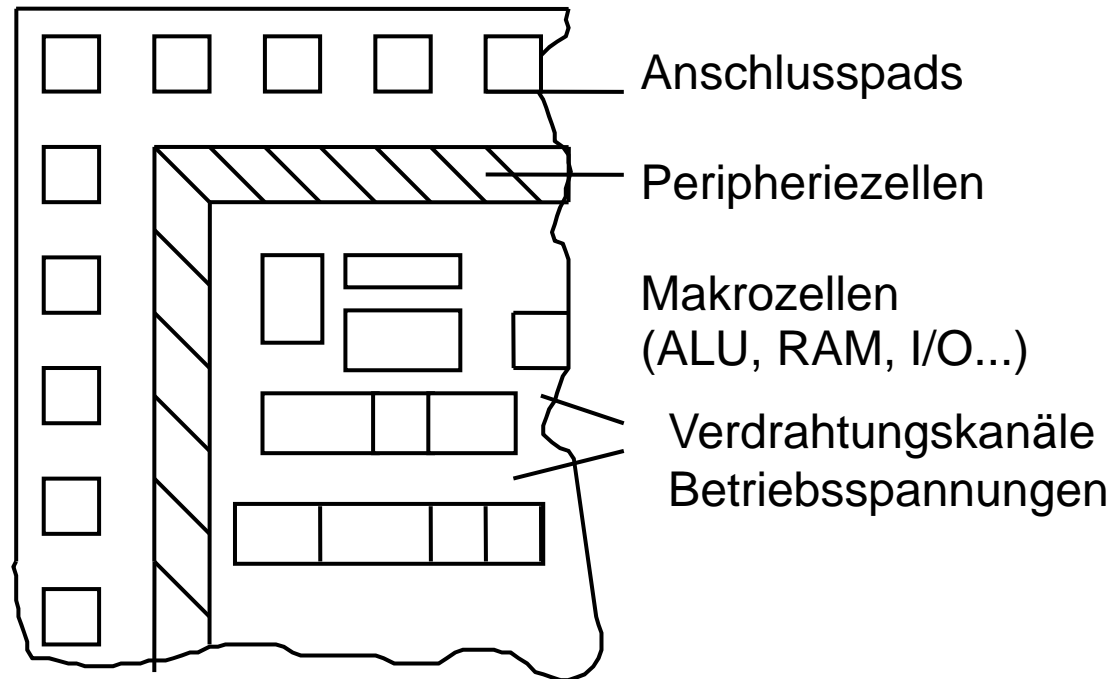
### Anwendung:

- Anwendungsspezifische Schaltkreise mit hohen Stückzahlen.
- Starke Optimierung bzgl. Chipfläche, Geschwindigkeit und Verlustleistung.

## Konventionelle Architektur

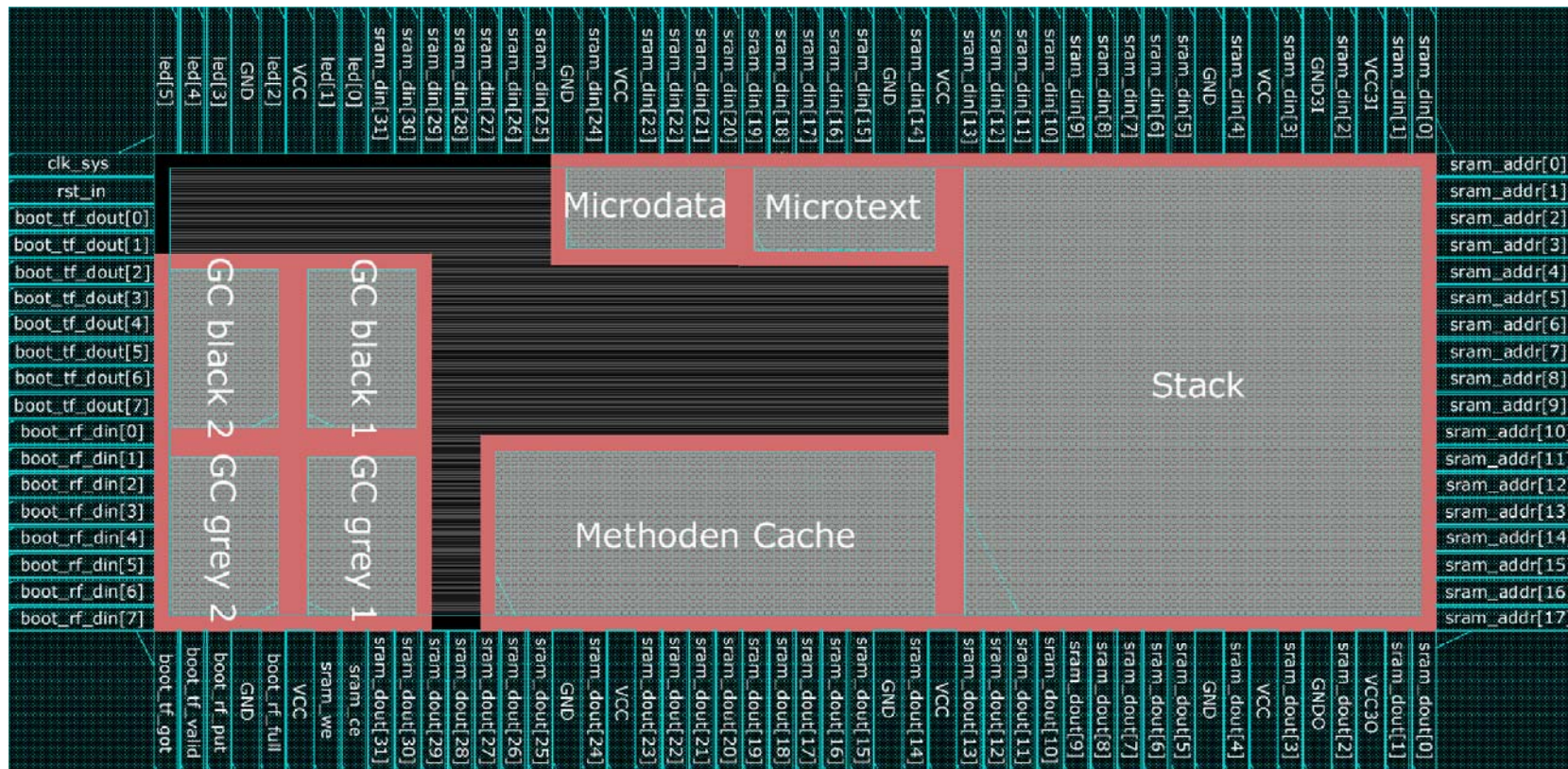


## Strukturierte Architektur





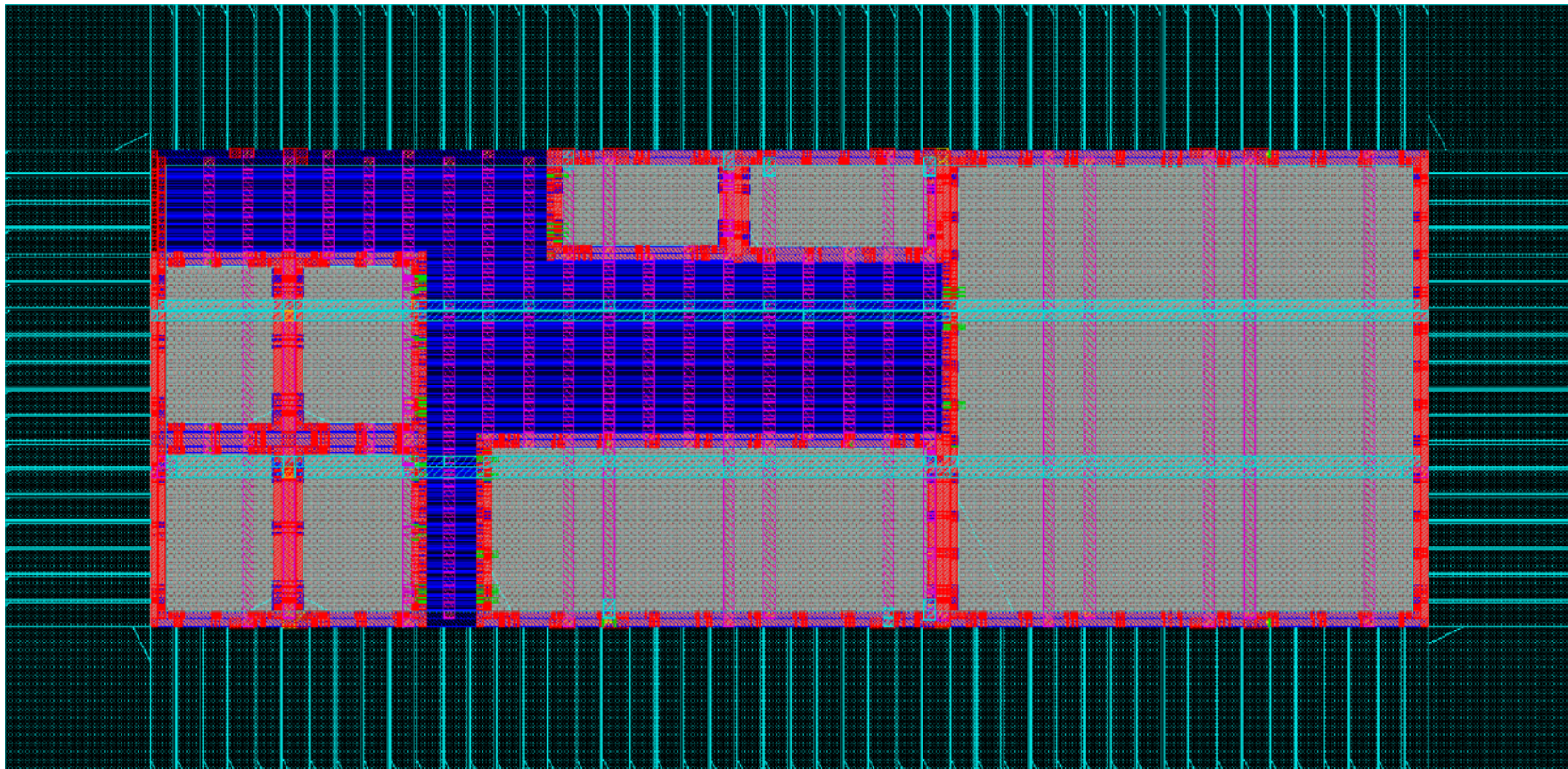
## Beispiel SHAP: Floorplan



Andrej Olunczek: ASIC-Synthese der SHAP-Mikroarchitektur, Dresden, Technische Universität, Belegarbeit, 2009.



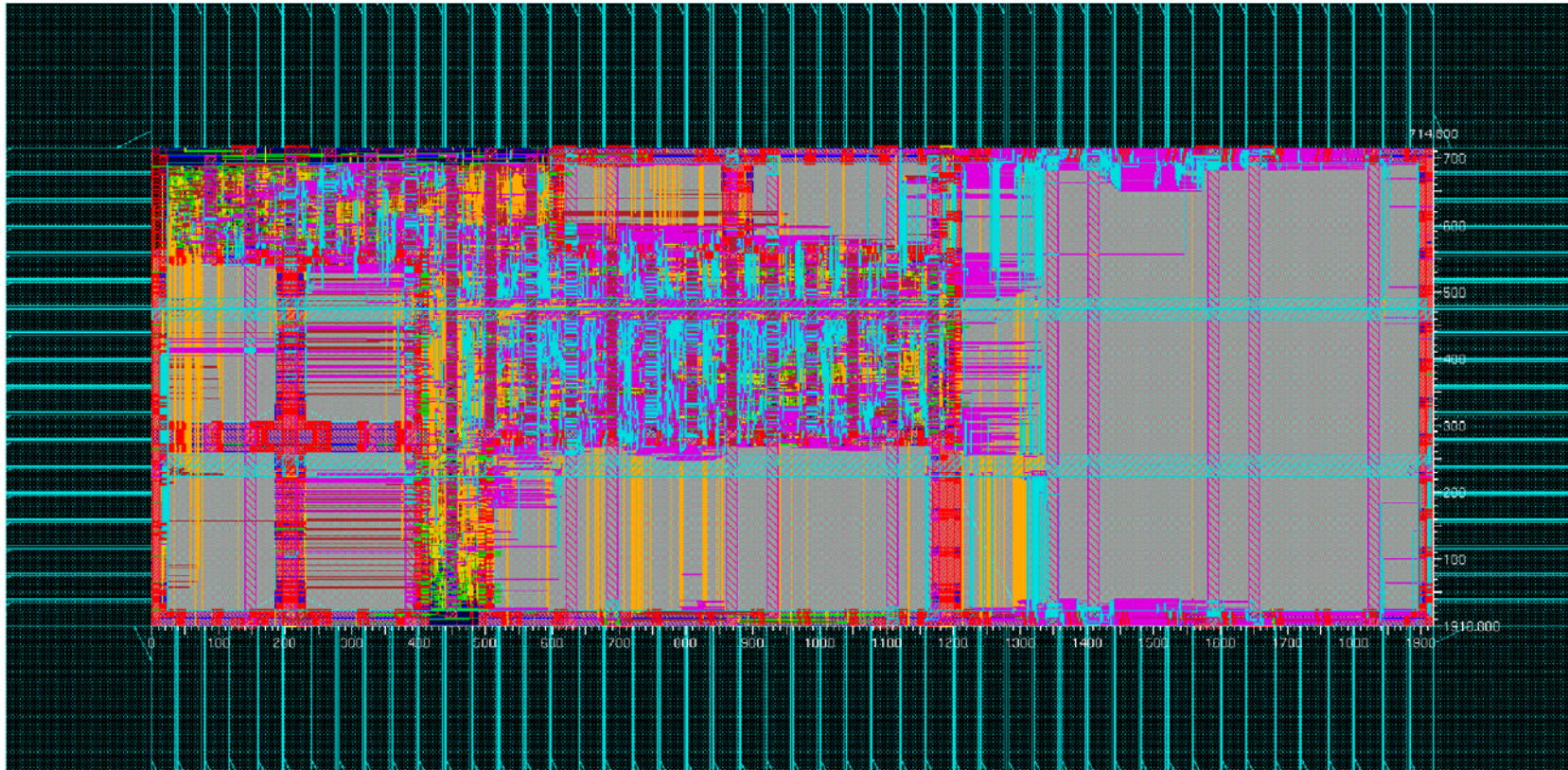
## Beispiel SHAP: Power-Floorplan ( $U_{DD}$ )



Andrej Olunczek: ASIC-Synthese der SHAP-Mikroarchitektur, Dresden, Technische Universität, Belegarbeit, 2009.

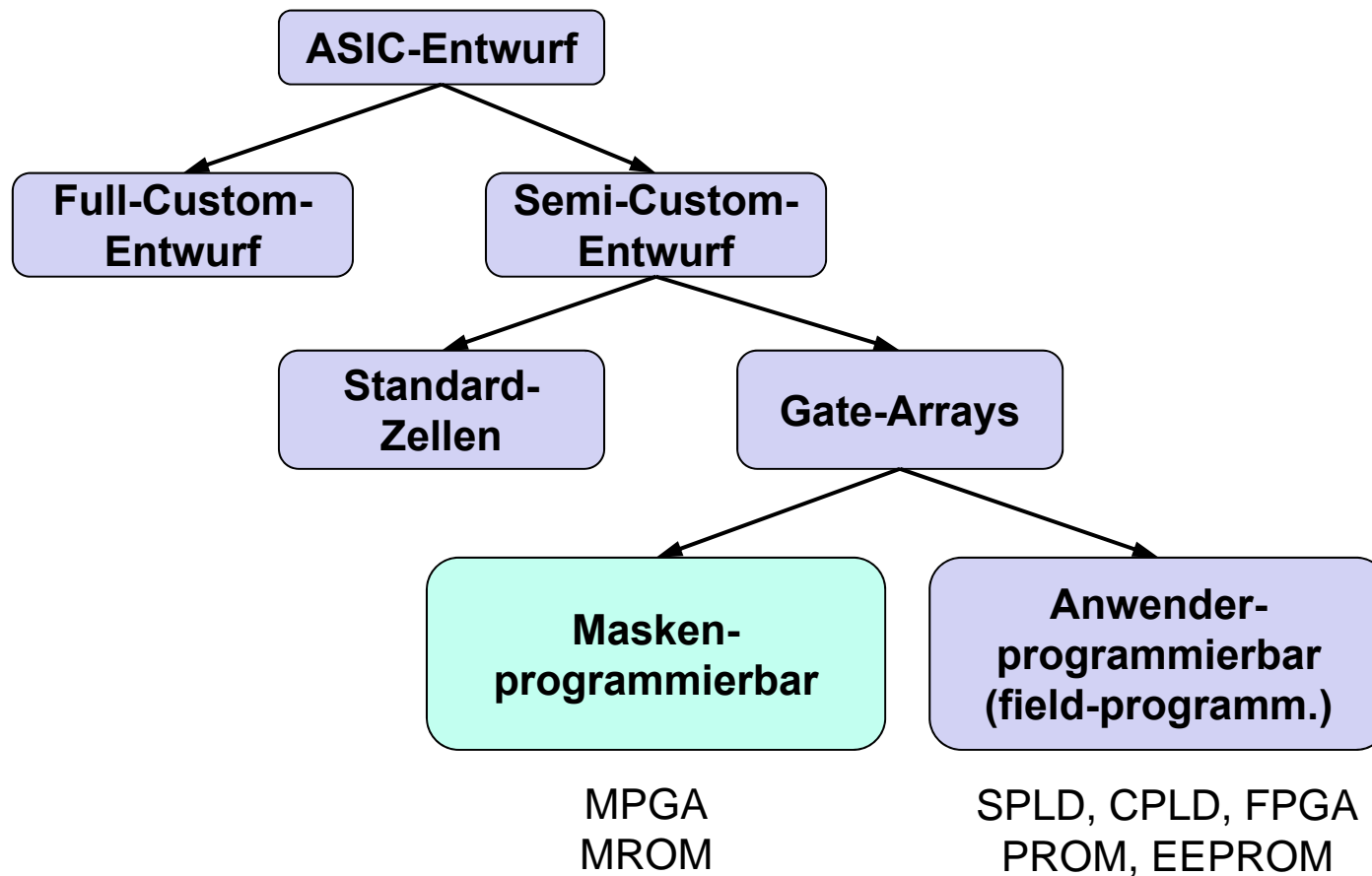


## Beispiel SHAP: Finales Layout



Andrej Olunczek: ASIC-Synthese der SHAP-Mikroarchitektur, Dresden, Technische Universität, Belegarbeit, 2009.

### 3.3 Maskenprogrammierbare Gate Arrays



## Maskenprogrammierbare Gate Arrays

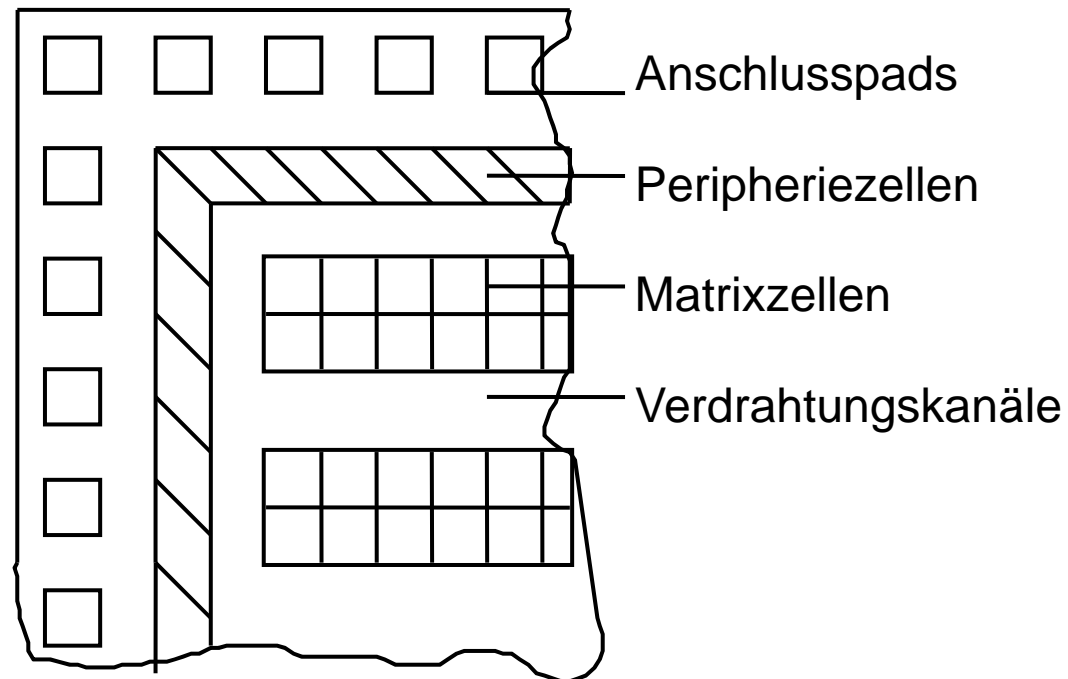
### Merkmale:

- Festlegung der Funktion mittels Masken bei der Halbleiterfertigung.
- Ausgewählte Masken: teilweise vorgefertigter IC (Master).
- Beispiele:
  - MPGA (Mask-programmable Gate-Array): auch MGA
    - Vorgefertigte universelle Gatter/Makros mit fester Anordnung.
    - Verdrahtung kundenspezifisch.
  - MROM: ROM dessen Inhalt vom Kunden mit Masken festgelegt wird.

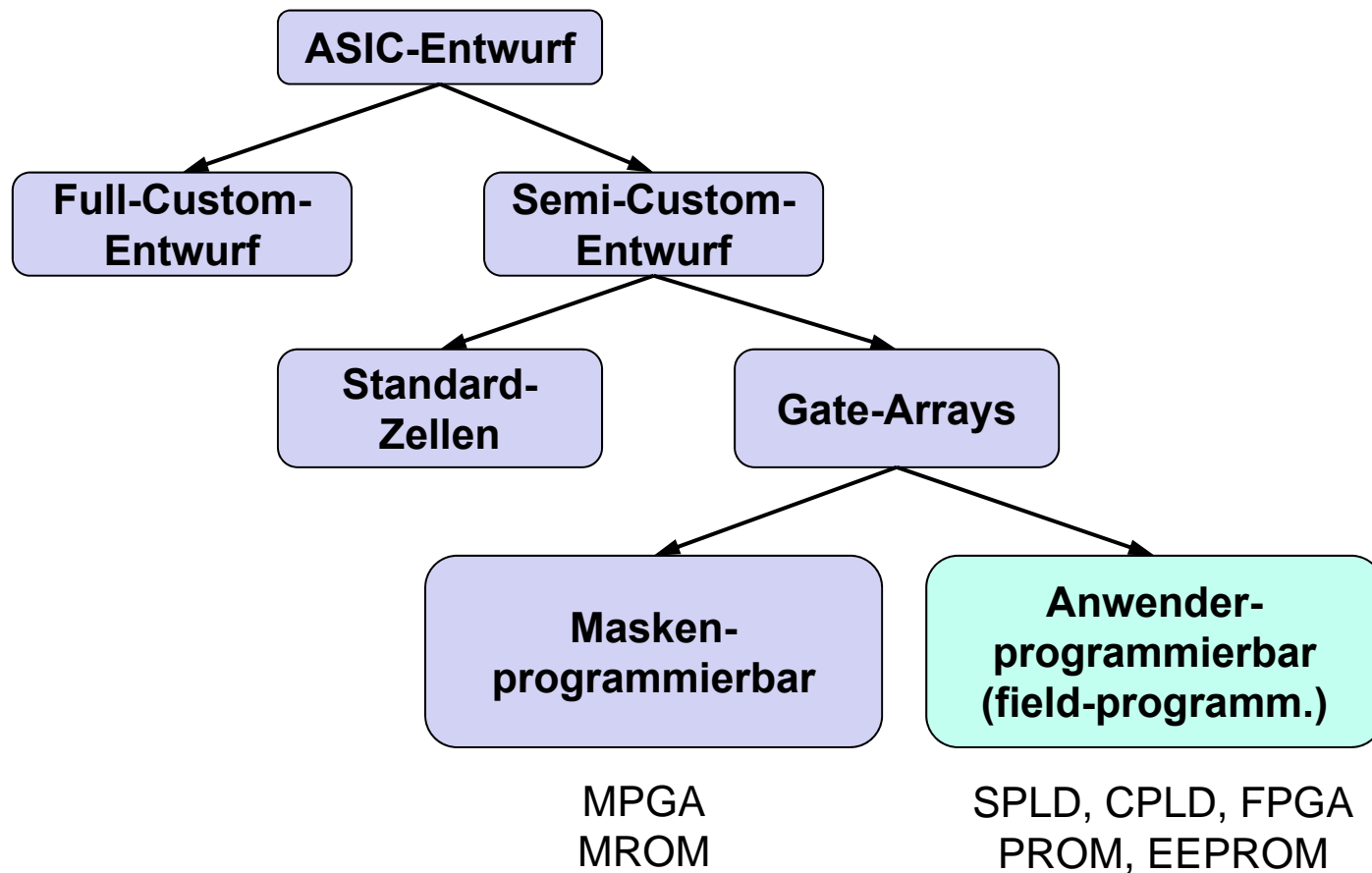
### Anwendung:

- Anwendungsspezifische Schaltkreise bei mittleren Stückzahlen.
- Kostenoptimiert bei reduziertem Optimierungspotenzial.

## MPGA



## 3.4 Anwenderprogrammierbare IC



## Anwenderprogrammierbare IC

### Merkmale:

- Field-Programmable  $\Leftrightarrow$  feldprogrammierbar.
- Vor Ort (im „Feld“) vom Anwender programmierbar.
- Hardware ist streng genommen fix. Funktionalität kann aber mittels spezieller Konfiguration „programmiert“ werden.

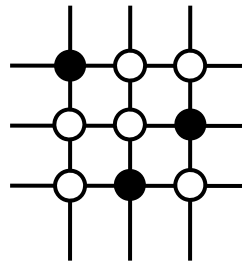
### Anwendung:

- Anwendungsspezifische IC bei kleinen und mittleren Stückzahlen.
- Mehrfach neu programmierbar zwecks Optimierung und Fehlerbehebung, auch während des praktischen Einsatzes.
- Einfache Integration eines ganzen Systems auf einem Chip.
- Prototyping, Hardware-/Software-Codesign.

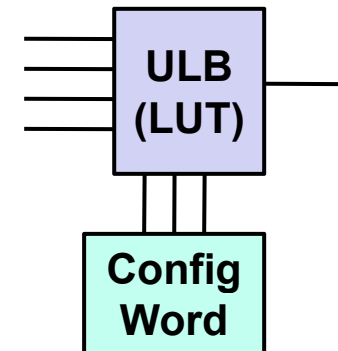
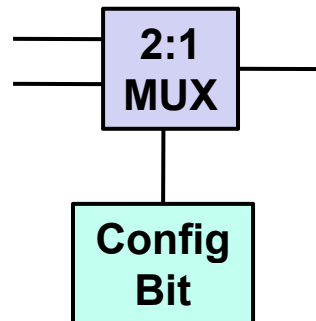
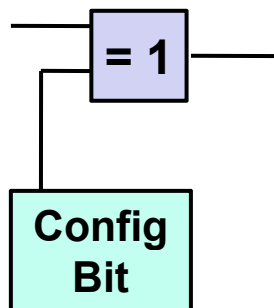
## Hardwareprogrammierung

**Programmiert (oder auch konfiguriert) werden können:**

- Verdrahtung / Verbindung



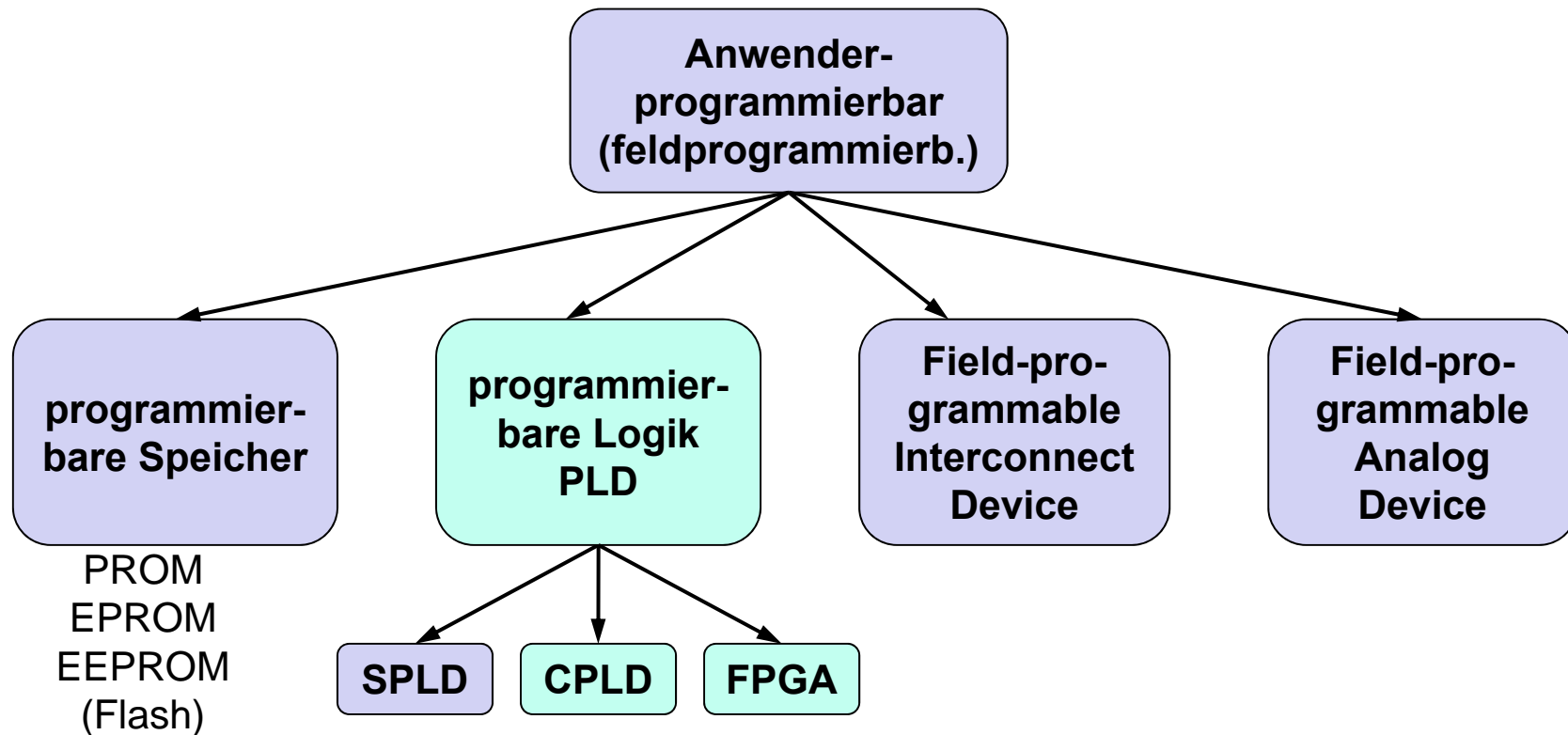
- Funktionen



- Speicher: PROM, EPROM, EEPROM (Flash)

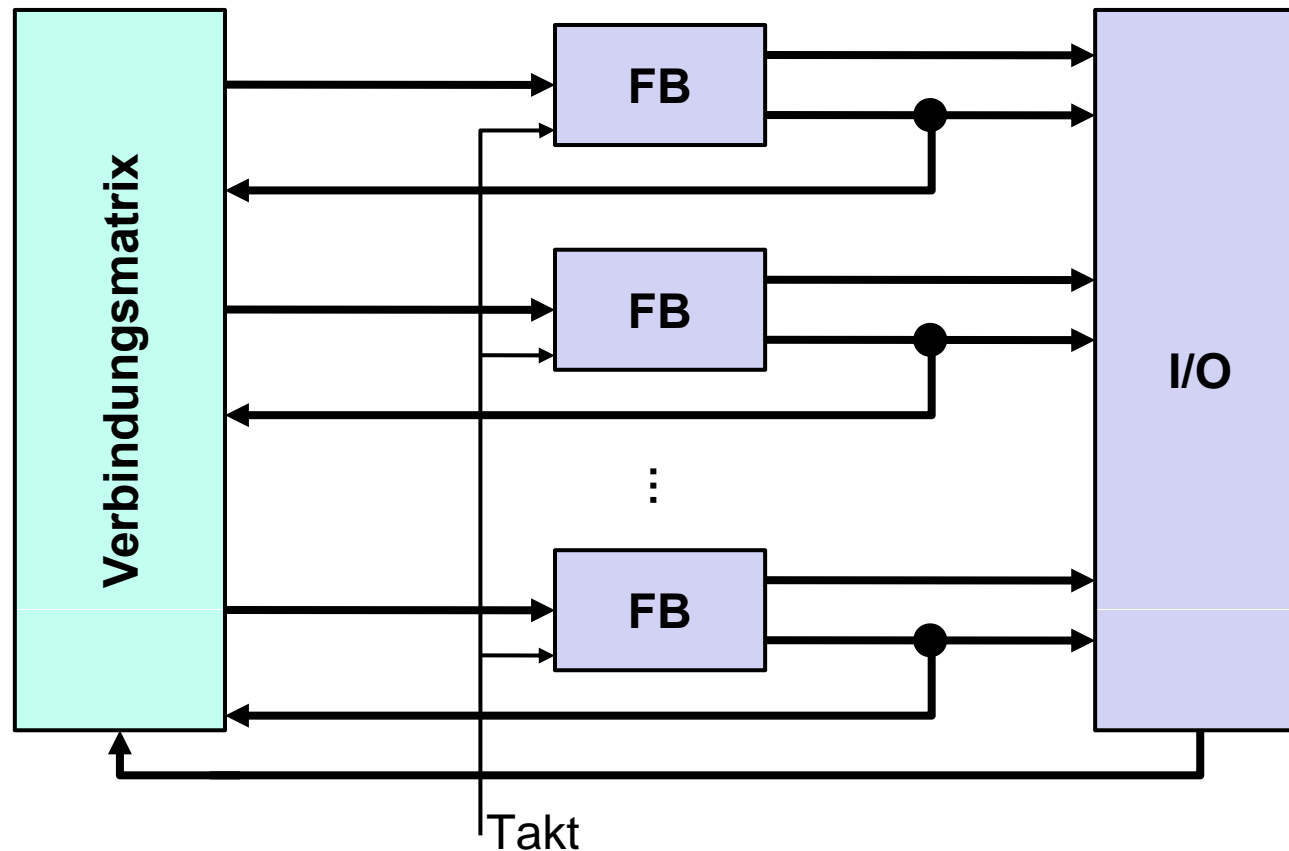


## Klassifikation Anwenderprogrammierbare IC



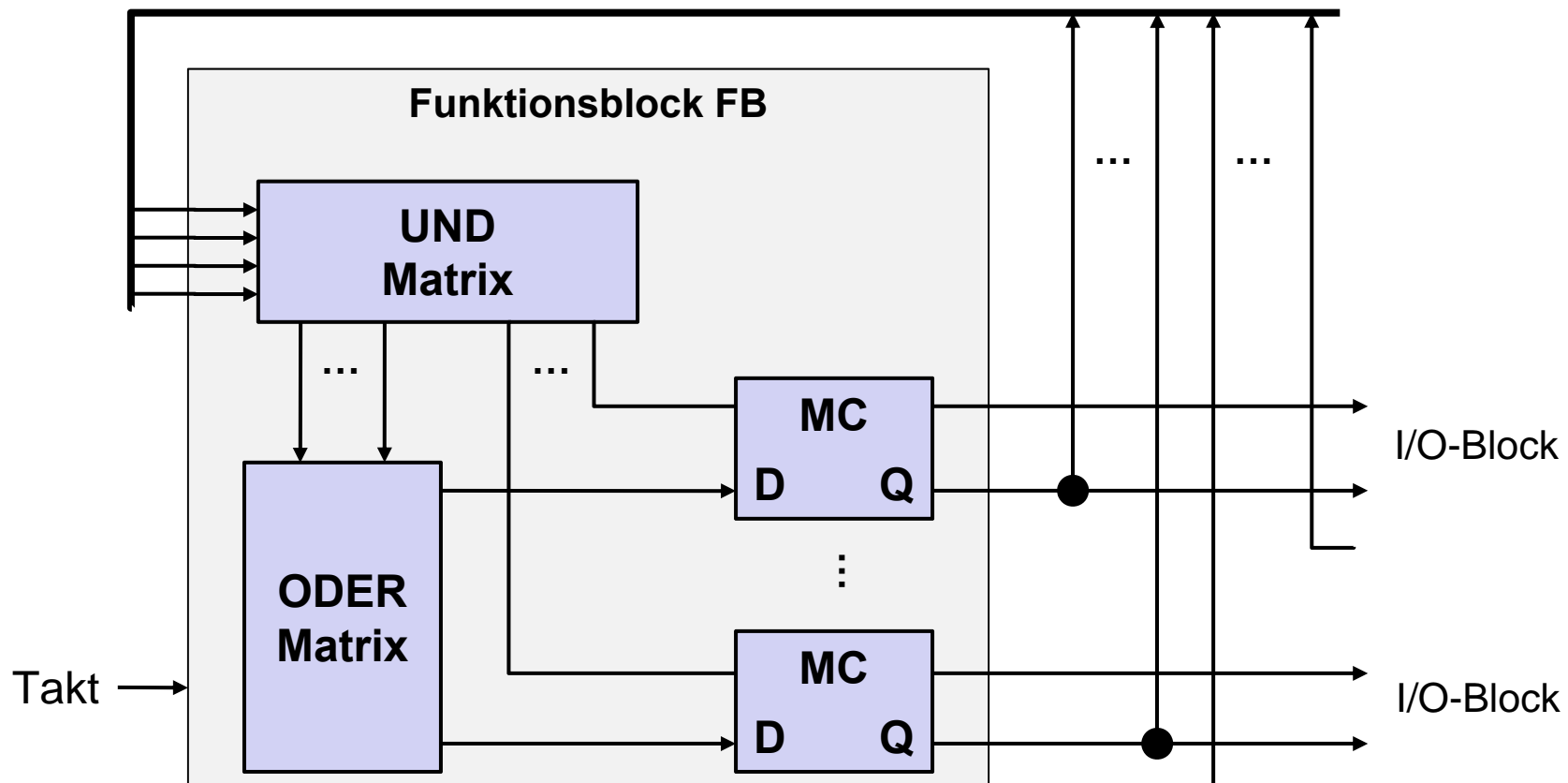
## CPLD

Globale Vernetzung einer kleinen Anzahl von Funktionsblöcken (FB)



## CPLD-Funktionsblock

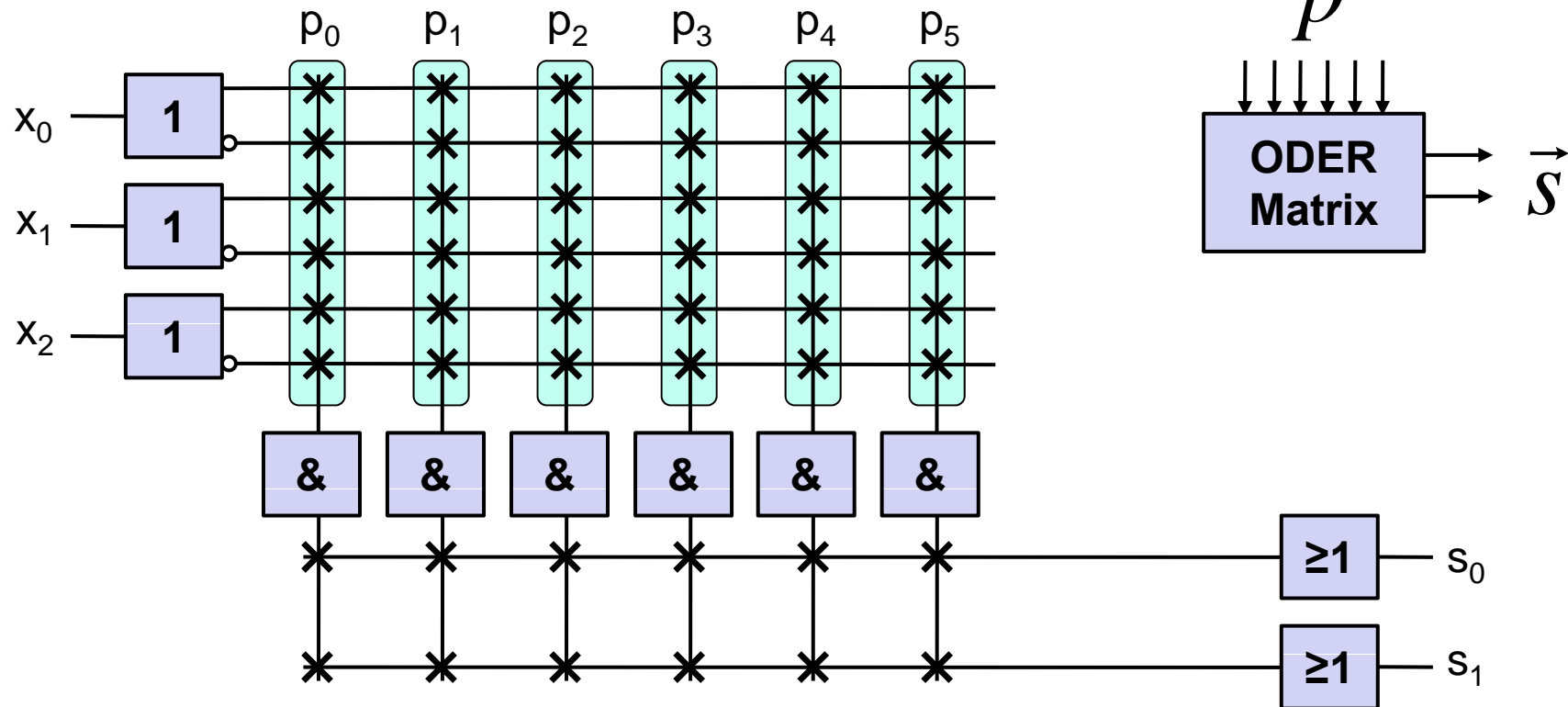
Funktionsblock bestehend aus PLA (Und/Oder-Matrix) und Makrozellen (MC)



## PLA

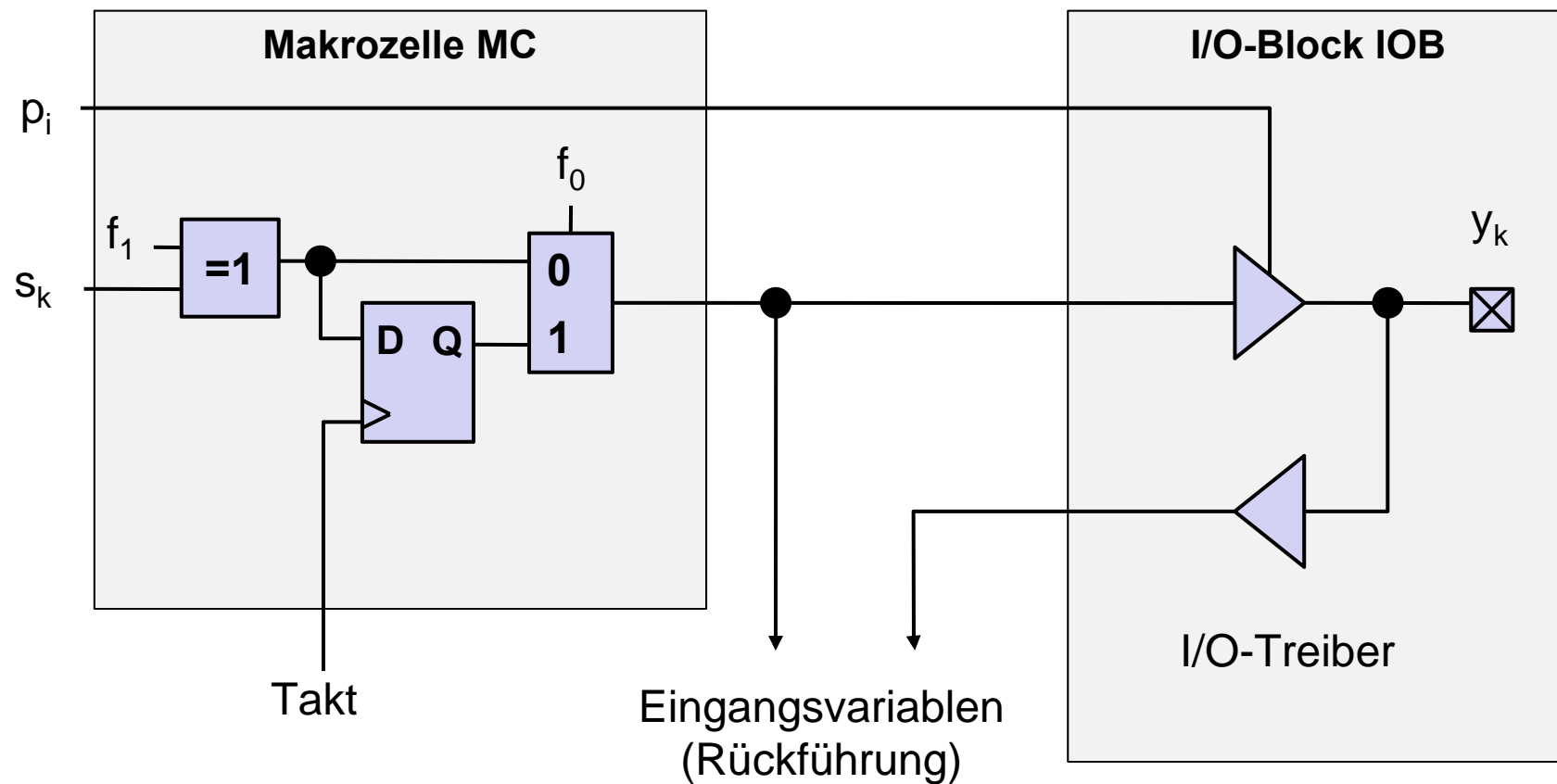
Anzahl Produktterme  $< 2^{(\text{Anzahl Eingänge})}$

Direkte Abbildung der Gleichung in DNF.



## Makrozelle + I/O-Block (1)

Verschiedene Betriebsspannungen für digitale Logik (Core) und I/O-Pads



## Makrozelle + I/O-Block (2)

### Konfiguration der Makrozelle:

f0	Summenterm $s_k$
0	nicht negiert
1	negiert

f1	Ausgang $y_k$
0	kombinatorisch
1	Register

### Steuerung des I/O-Blocks:

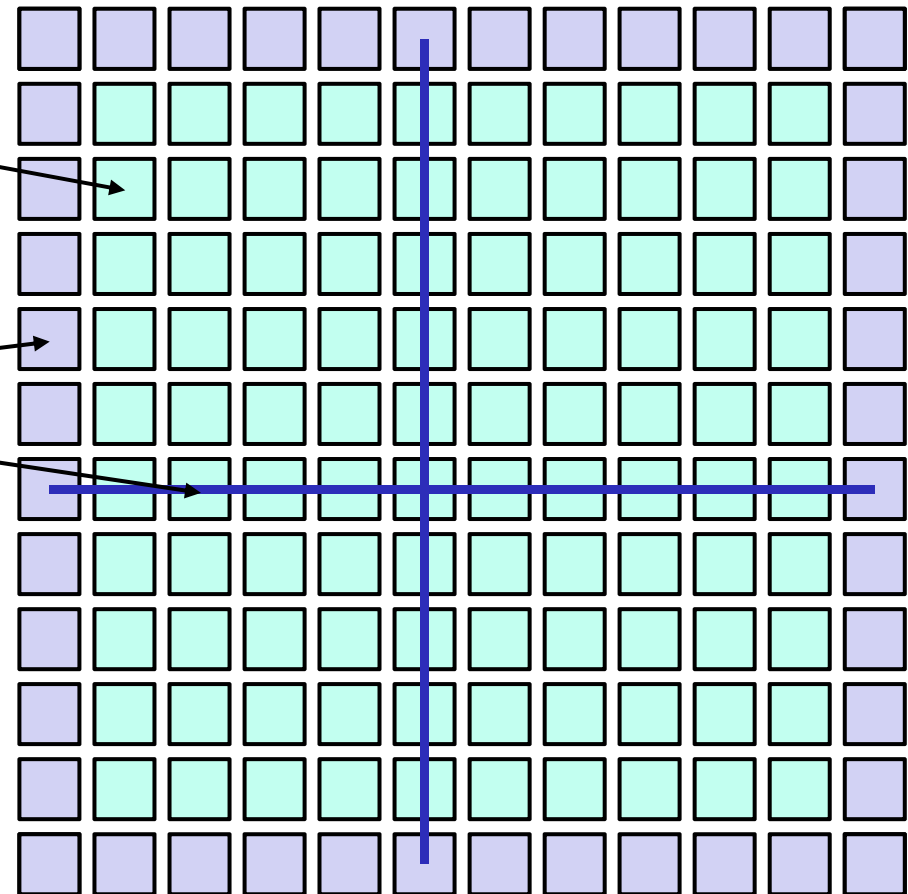
Umschaltung des I/O-Pins zwischen Ein- und Ausgang (Tri-State) zur Laufzeit mittels separatem Produktterm möglich.

## FPGA-Architektur

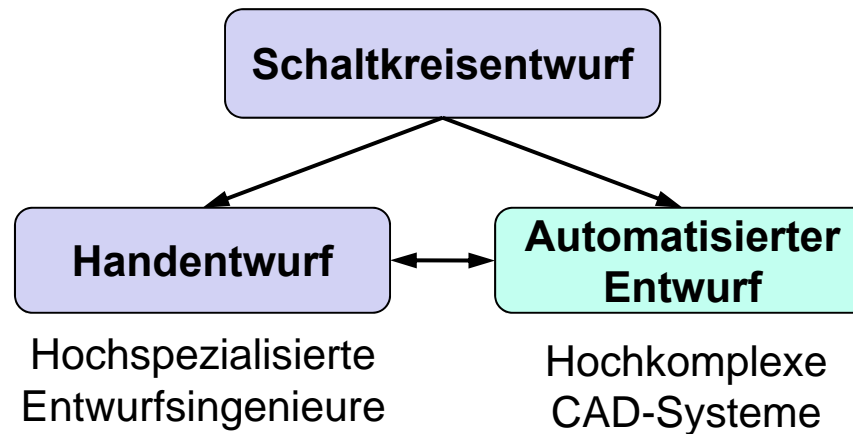
### Grundlegende Bestandteile:

- Funktionsblöcke (FB):
  - angeordnet als Matrix,
  - Multiplexer- oder LUT-basiert.
- I/O-Zellen als spezielle FB.
- Allgemeine lokale Verdrahtung, sowie globale und dedizierte Signalleitungen.
- Spezielle Hard-Makros.

### Details in einer späteren VL



## 4 Entwurfswerkzeuge



Auswahl CAD-Werkzeuge:

- Cadence
- Xilinx ISE
- Altera Quartus
- Synopsys



## 5 Zusammenfassung

- Sichten und Abstraktionsebenen:
  - 5 Ebenen: System, Algorithmus, RTL, Logik, Schaltkreis
  - 4 Sichten: Verhalten, Struktur, Geometrie, Test
  - Y-Diagramm
- Entwurfsablauf:
  - Strategie: Top-Down, Bottom-Up, Meet-in-the-Middle
  - Entwurfsschritte: Syntheseschritt, Analyseschritt
- Entwurstile:
  - Full-Custom-Entwurf
  - Standardzellenentwurf
  - Maskenprogrammierbare Gate Arrays
  - Anwenderprogrammierbare ICs
- Entwurfswerkzeuge