

Einführung in die Technische Informatik

VLSI-Systementwurf

Testmethoden für
integr. Schaltungen

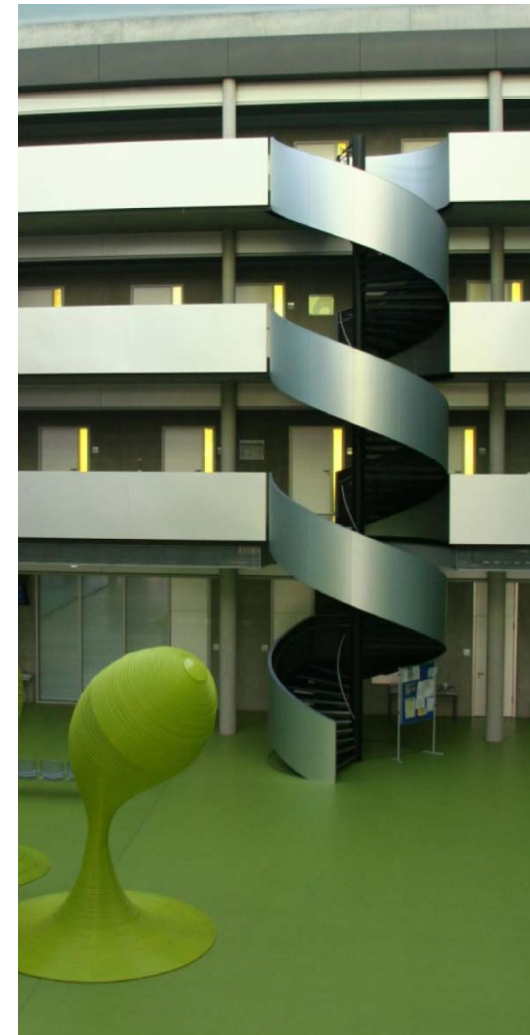
Rainer G. Spallek
Martin Zabel

TU Dresden, 07.08.2013

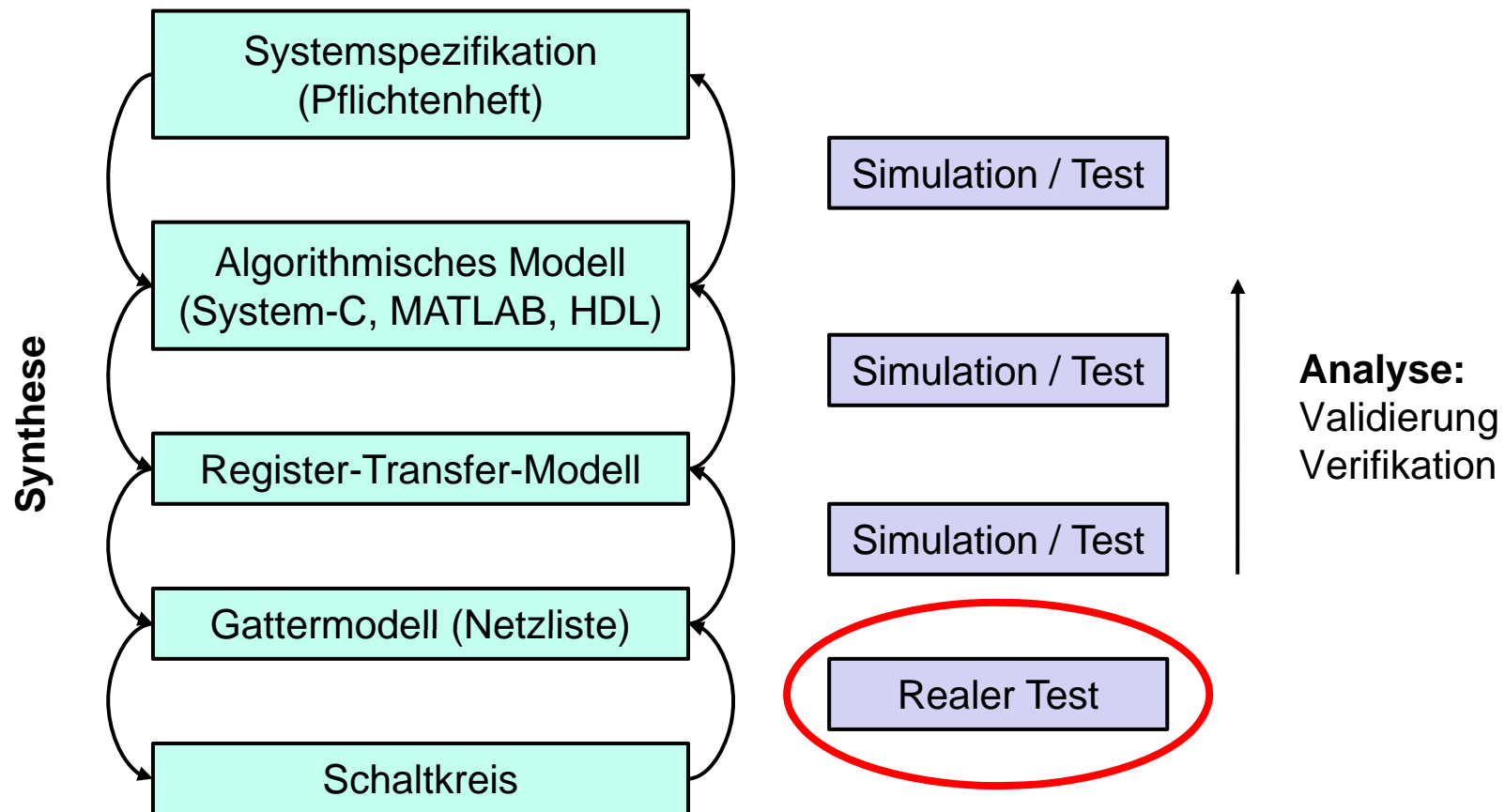


Gliederung

- 1 Motivation
- 2 Testmethoden
- 3 JTAG



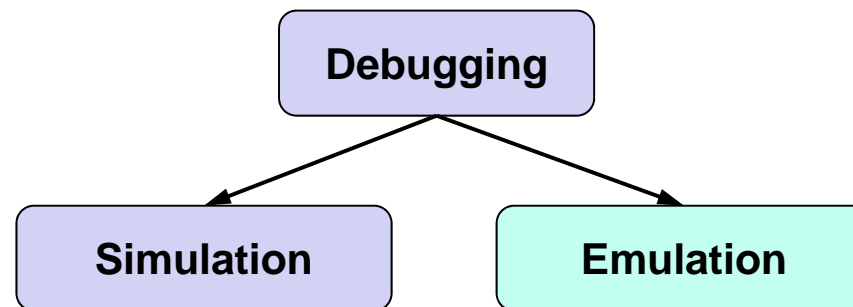
2 Motivation



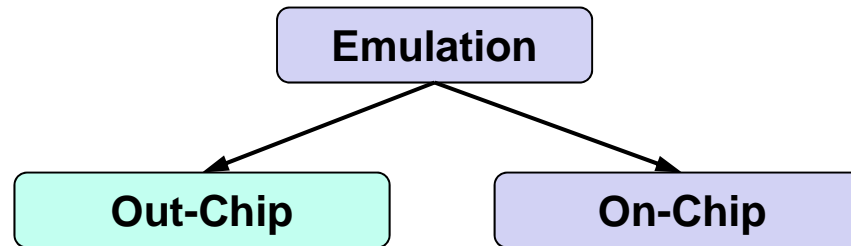
Problemfelder:

- Fehlerquellen (in Bezug auf PCB):
 - Laufzeit / Verzerrung von Signalen,
 - gleichzeitiger Zugriff auf Bussysteme,
 - fehlende / fehlerhafte Constraints.
- Fehlende Modelle für IP-Cores Dritter.
- Begrenzte Simulationsgeschwindigkeit.

3 Testmethoden

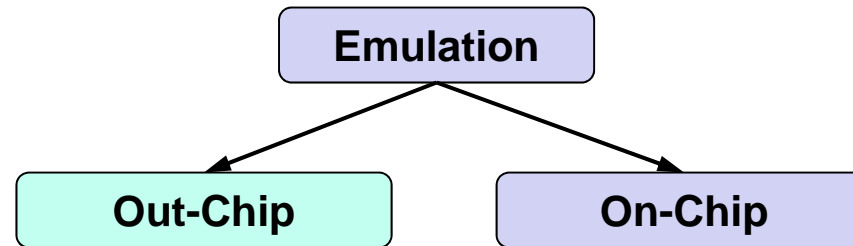
**Begriffe:**

- Debugging: Fehlersuche und Elimination.
- Simulation: Analyse eines Modells des ICs.
- Emulation: Analyse des ICs in realer Umgebung unter Echtzeitbedingungen
 - ➔ keine Nachbildung des Gesamtsystems notwendig
 - ➔ In-System-Debugging.

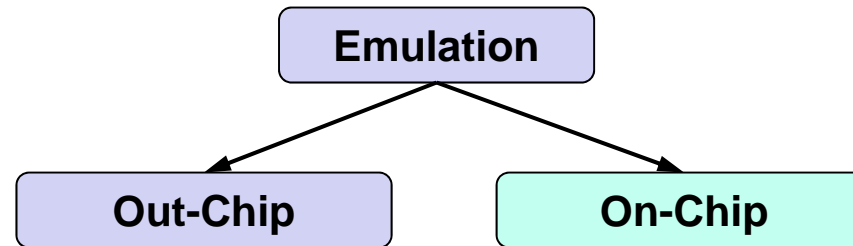


Klassisch:

- Digitales Speicheroszilloskop:
 - Abtastfrequenz / Quantisierung.
 - Begrenzter Speicherplatz, wenige Kanäle.
 - Relativ einfache Trigger.

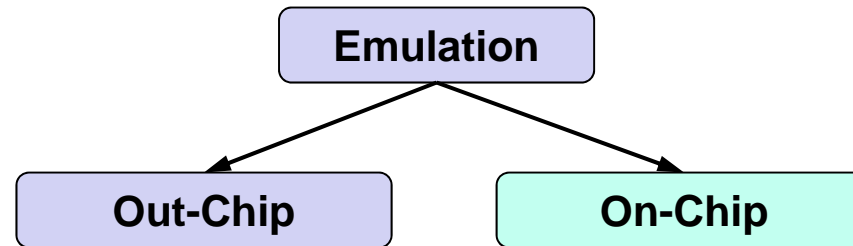
**Klassisch:**

- Logikanalysator:
 - Rein digital, Darstellung als Waveform.
 - Viele Kanäle, Komplexe Trigger.
 - Begrenzte Bandbreite:
 - Leitungslänge,
 - Parallele Signalleitungen.
- Sinkende Relevanz aufgrund:
 - steigender Pin-Anzahl,
 - System-on-a-Chip → interne Busse.



On-Chip-Debugging (OCD):

- Schnittstelle nach IEEE 1149.1 JTAG
- Eingriff in das Zeitverhalten des ICs
- Background-Debug-Mode (BDM): Warten auf ein Ereignis
- Foreground-Debug-Mode (FDM):
 - i.Allg.: Anhalten des Systems (der Programmausführung)
 - Aktive Analyse und Modifikation des Systemzustandes
- BDM / FDM wahlweise in HW / SW realisiert

**Trace:**

- Mögliche Notwendigkeiten:
 - Anhalten des Systems nicht möglich
 - Fehlermaskierung durch Anhalten des Systems
 - Trigger nur auf Fehlerzustand möglich
 - Auftreten nichtdeterministischer Fehler
- Aufzeichnung während Programmausführung, Analyse nachträglich.
 - Hohe Datenraten → Kompression.
 - Tafelbild: Trace-Architektur.
 - → On-Chip-Logikanalysator.

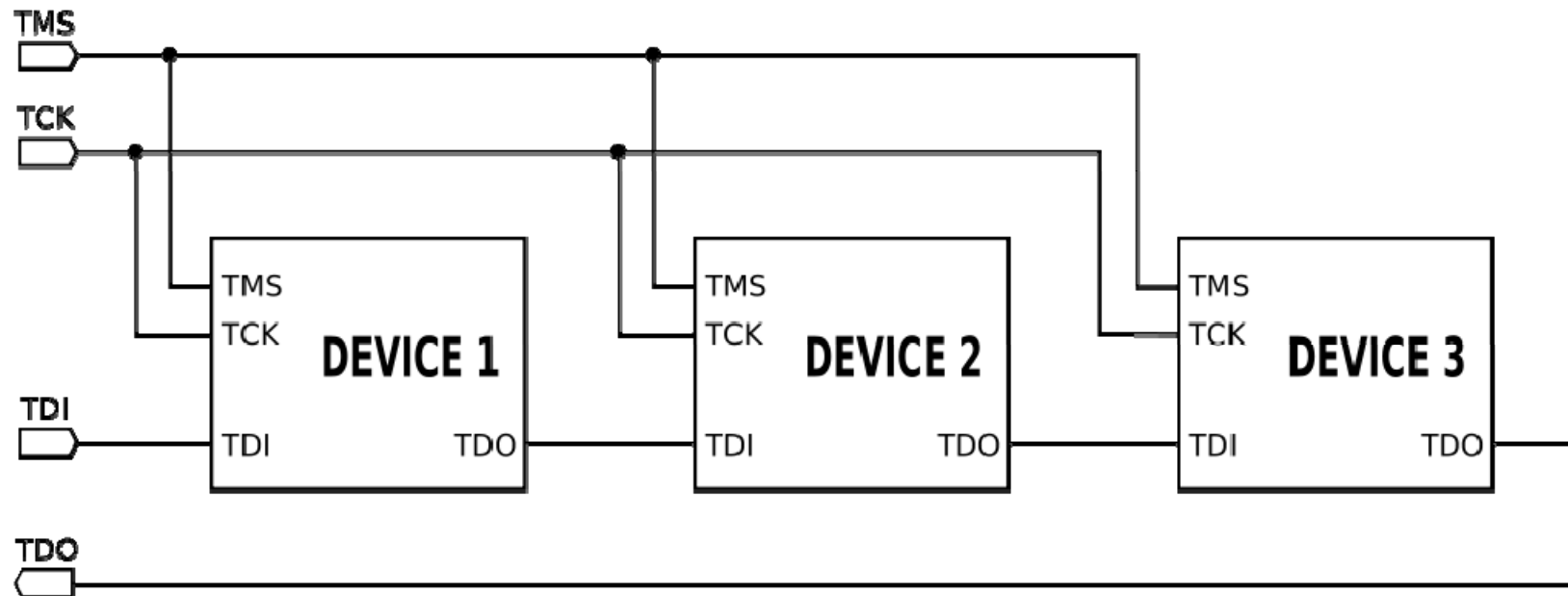
4 JTAG

- *Joint Test Action Group*
- IEEE-Standard 1194.1 seit 1990
- Verfahren für Test und Diagnose von elektronischen Schaltkreisen in der realen Umgebung (Schaltung).
- Komponenten:
 - Test-Access-Port (TAP) mit nur 4 oder 5 Pins.
 - TAP-Controller.
 - Befehls- und diverse Datenregister (Scan-Chains).

Test-Access-Port

- Steuerleitungen:
 - *Test Clock* (TCK) → Synchrones Protokoll.
 - *Test Mode Select* (TMS) → Steuerung TAP-Controller.
 - *Test Data In* (TDI) → Serieller Dateneingang.
 - *Test Data Out* (TDO) → Serieller Datenausgang.
 - *Test Reset* (TRST) → Reset des TAP-Controllers, optional.

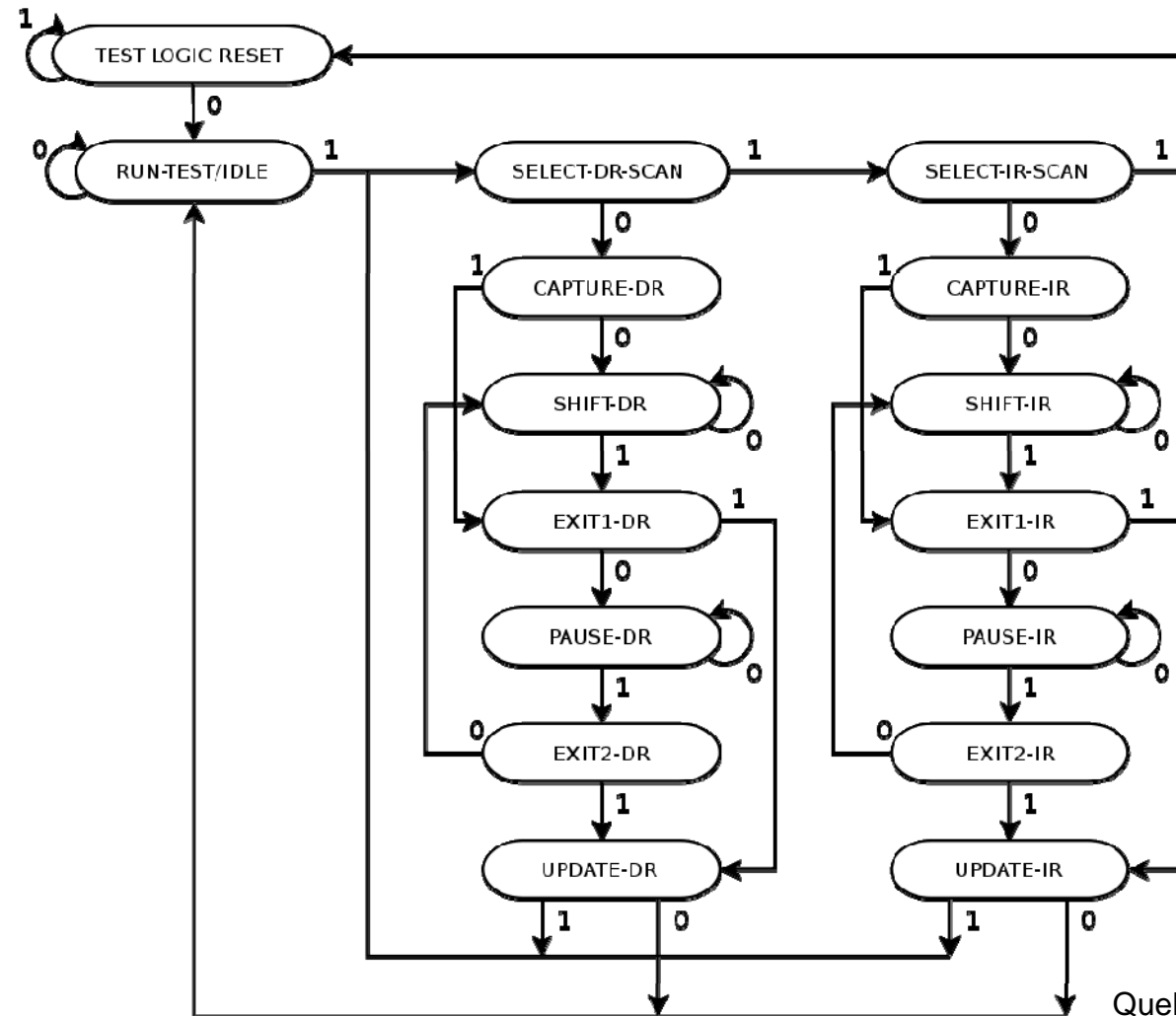
- Verkettung mehrerer ICs in Gesamtschaltung:
 - „JTAG Chain“.
 - Einzelne TAP-Controller arbeiten parallel.



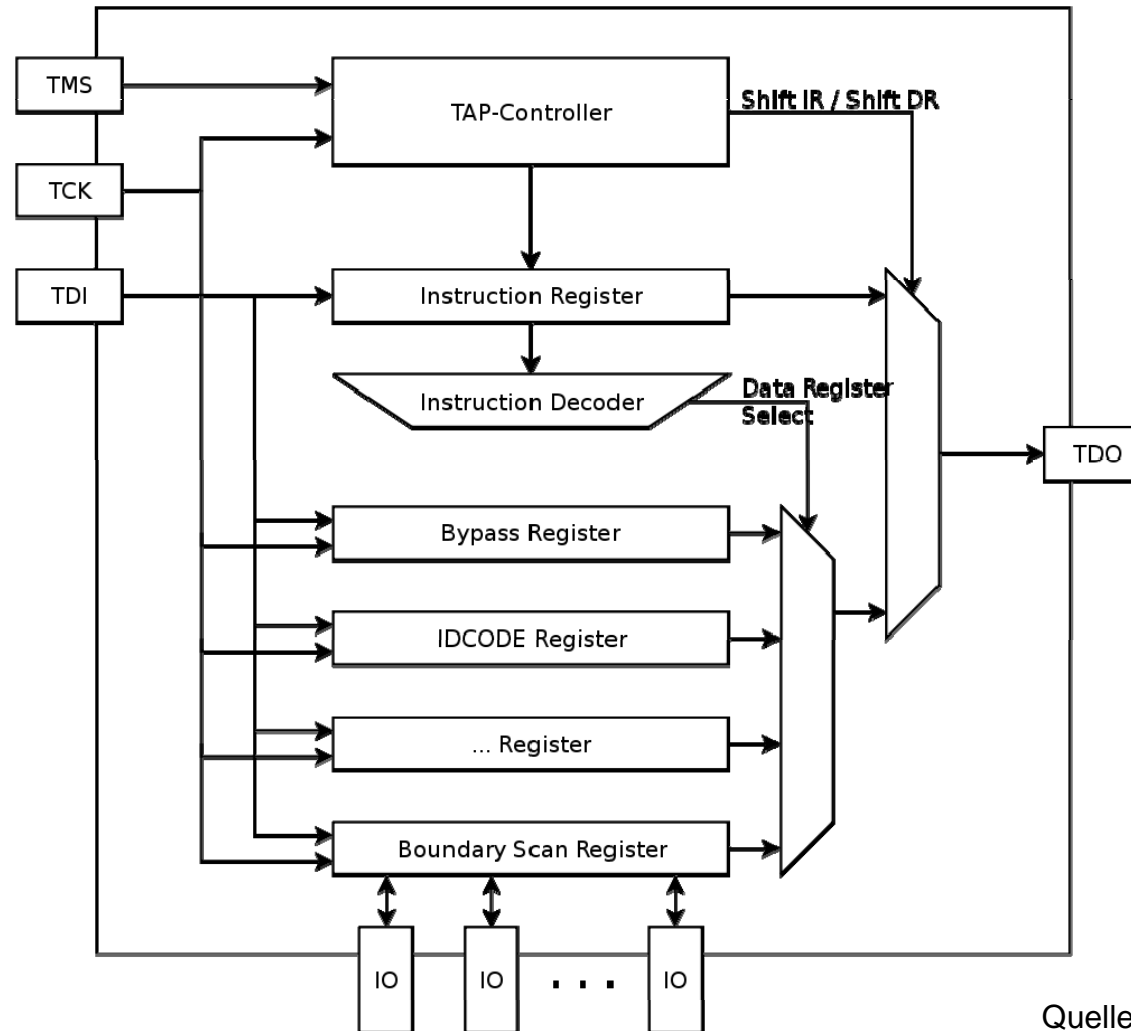
Quelle: Deutsche Wikipedia

TAP-Controller

- Zustandsautomat:
 - Getaktet durch TCK, gesteuert durch TMS.
 - Rücksetzen auch über 5x TMS = „1“.
- Serielles Laden / Lesen (Schieberegister):
 - vom Befehlsregister IR,
 - der verschiedenen Datenregister (DR) in Abhängigkeit vom Zustand des IR (aktiver Befehl).



Quelle: Deutsche Wikipedia



Quelle: Deutsche Wikipedia

Datenregister

- Verschiedene Längen.
- Beschreibung: *Boundary Scan Description Language* (BSDL).
- Standardregister:
 - Bypass-Register,
 - IdCode-Register,
 - Boundary-Scan-Register → Scan-Chain.
- Weitere Register:
 - Für Programmierung → In-System-Programming (ISP).
 - Für eigene Anwendungen.

Standardregister

Bypass-Register:

- Befehl „BYPASS“, IR = „1...1“ (Reset-Zustand)
- 1-Bit-Puffer zwischen TDI / TDO.
- Selektives Lesen von Datenregistern bei mehreren ICs

IdCode-Register:

- Befehl „IDCODE“,
- Chip-Identifikation → Autokonfiguration der Software-Tools

Boundary-Scan-Register:

- Scan-Chain über die „normalen“ Datenpins
- Analyse und Modifikation der Kommunikation nach „außen“

ISP-Register:

- In-System-Programming bei programmierbaren Schaltkreisen
- Konfiguration der programmierbaren Zellen

7 Zusammenfassung

Testmethoden:

- Simulation vs. Emulation
- On-Chip- vs. Off-Chip-Emulation
- On-Chip: On-Chip-Debugging und Trace

JTAG-Standard:

- TAP, Instruktionen, Datenregister
- Standardregister: Bypass, IdCode, Boundary-Scan
- sowie ISP-Register bei programmierbaren Schaltkreisen