

# Einführung in die Technische Informatik

## VLSI-Systementwurf

### Field-Programmable Gate-Arrays (2)

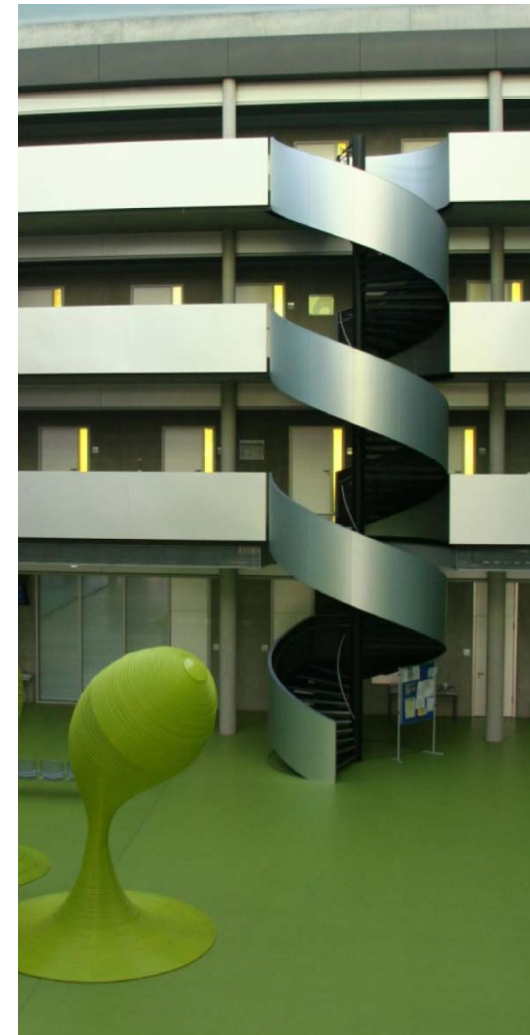
*Rainer G. Spallek*  
*Martin Zabel*

TU Dresden, 07.08.2013



## Gliederung

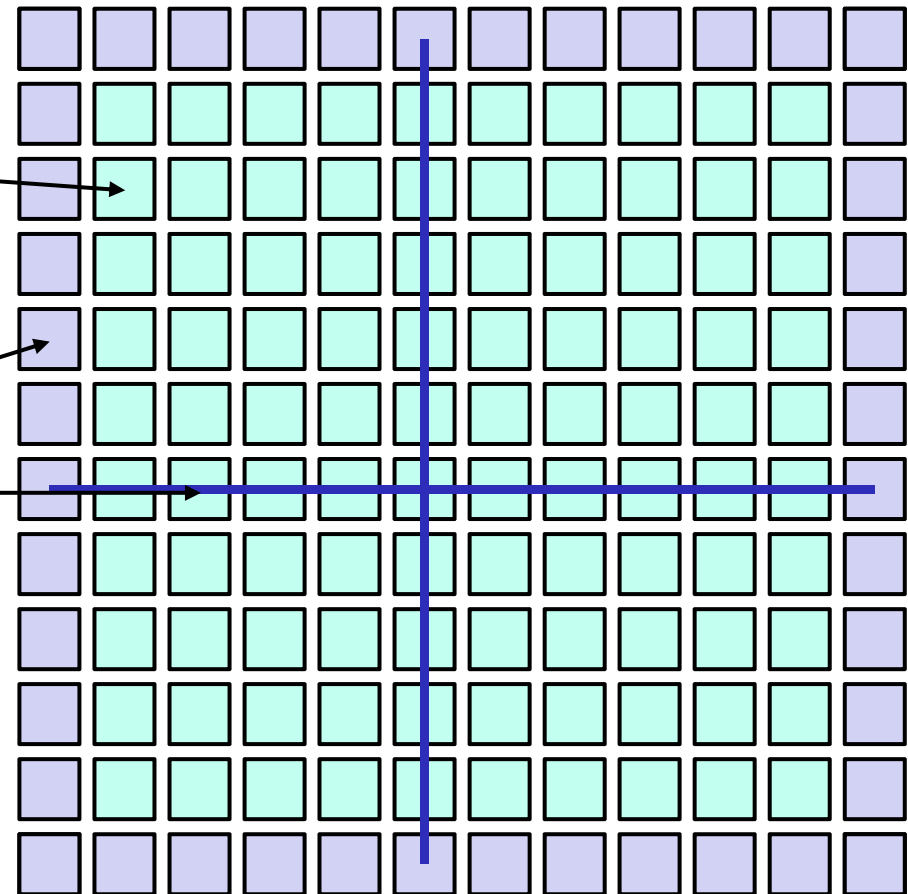
- 1 Wiederholung
- 2 Speicherelemente
- 3 IP-Cores
- 4 Konfigurierbarkeit
- 5 Konfigurationsmodi
- 6 Zusammenfassung



# 1 Wiederholung

## Grundlegende FPGA-Architektur:

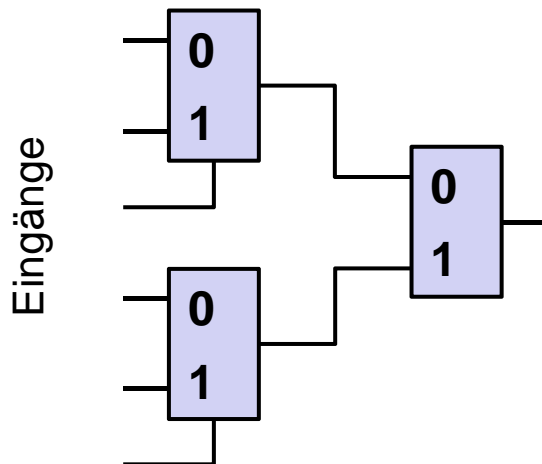
- Funktionsblöcke (FB):
  - angeordnet als Matrix,
  - Multiplexer- oder LUT-basiert.
- I/O-Zellen als spezielle FB.
- Allgemeine lokale Verdrahtung, sowie globale und dedizierte Signalleitungen.
- Spezielle Hard-Makros.




## Funktionsblöcke

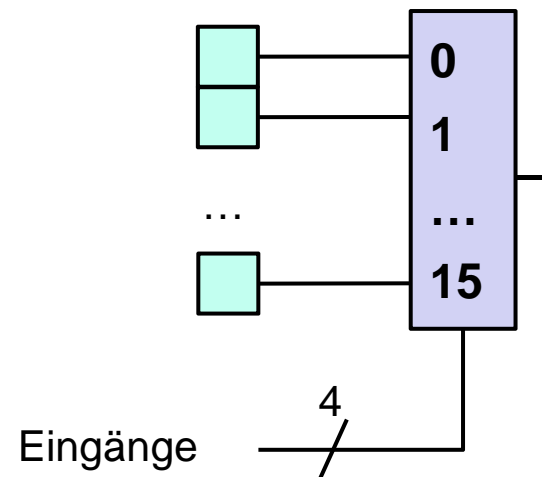
### Multiplexer-basiert:

- Shannon'sche Expansionstheorem
- Programmierbare Verdrahtung der Eingänge → typ. Antifuse



### LUT-basiert:

- K-LUT mit K Eingängen, direkte Abbildung der Wahrheitstabelle
- SRAM-Zellen 



### I/O-Zellen als spezielle FB

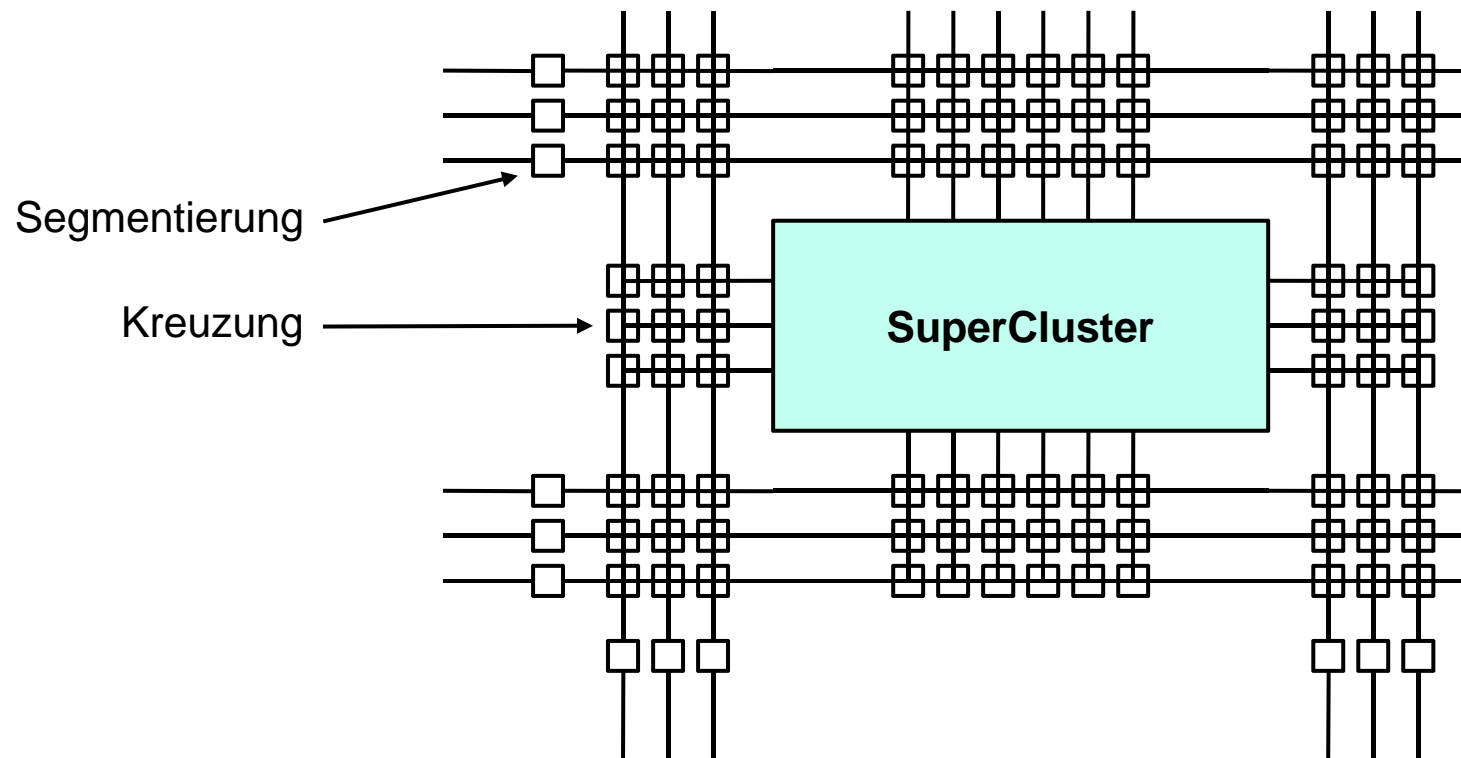
## Verdrahtung

### Typen:

- Globale Signale: Takt, Reset, 0 und 1
- Dedizierte Verbindungen: Carry-Chain, Register-Chain, LUT-Erweiterung.
- Allgemeine Verbindungen:
  - Topologie: Abwägung zwischen Flexibilität, Chipfläche und Signalverzögerung.
  - Technologie: Antifuse oder SRAM-basiert.

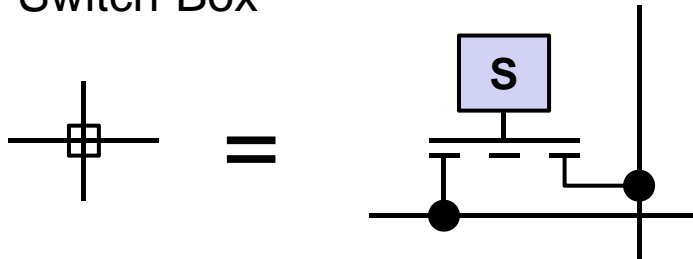
## Antifuse-Verbindungen:

Beispiel: Actel Axcelerator (vereinfacht)

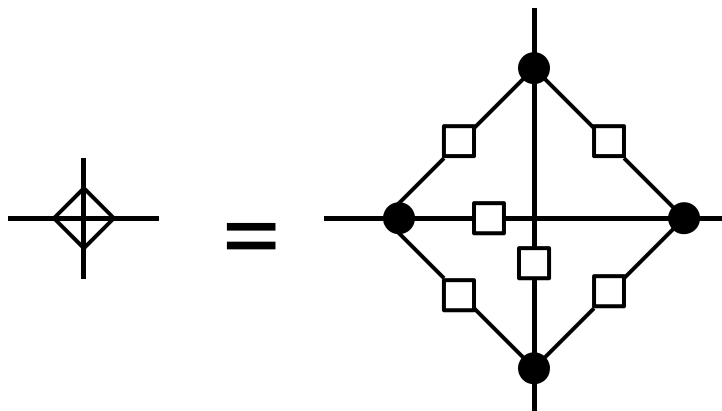


## SRAM-basierte Verbindungen:

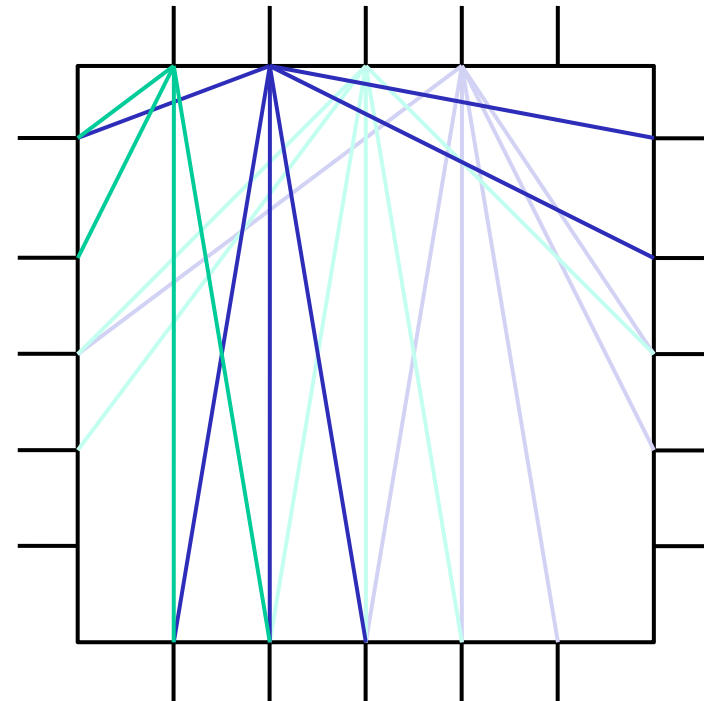
### ▪ Switch-Box



### ▪ Connection-Box



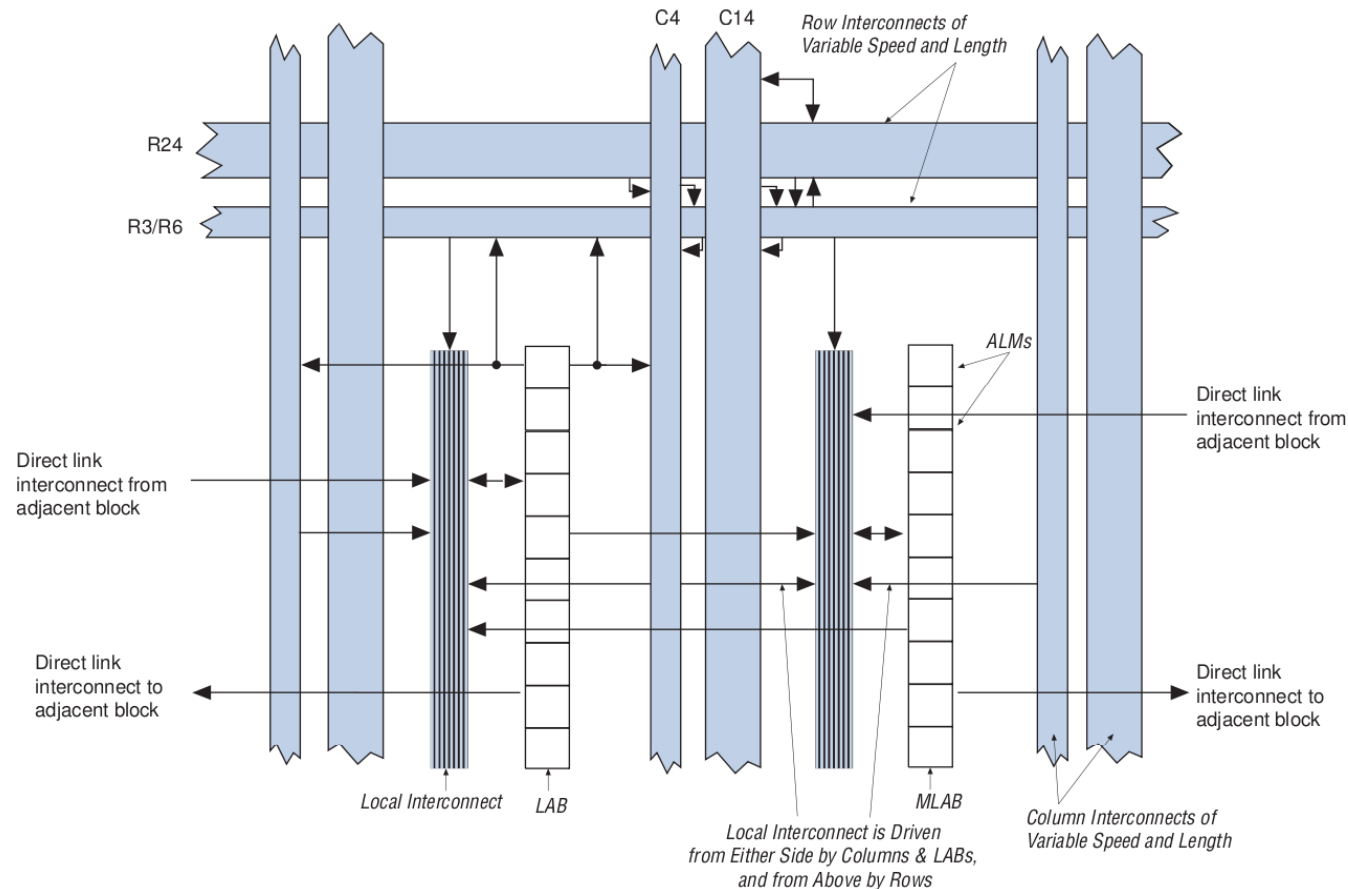
### ▪ Switch-Matrix (allg.)



Xilinx: *Spartan and Spartan-XL FPGA Families Data Sheet*, v1.8, 2008.

Xilinx: *XC3000 Series Field Programmable Gate Arrays*, v3.1, 1998

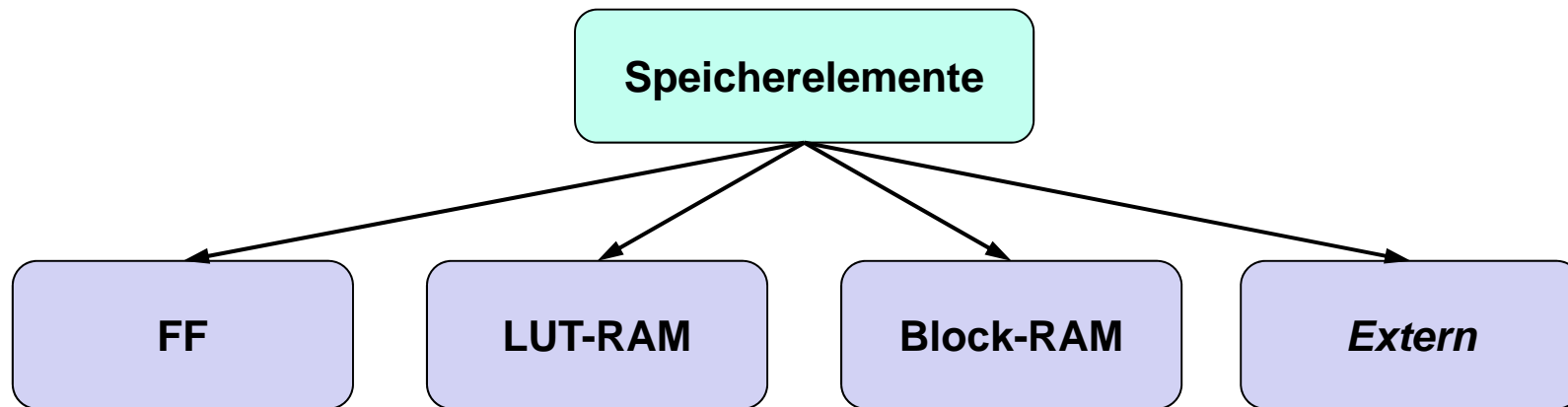
## Beispiel: Allgemeine Verdrahtung im Stratix-5



Altera: Stratix 5 Device Handbook, Volume 1, Juni 2012, S. 1-1



## 2 Speicherelemente



## FPGA-spezifisch

### LUT-RAM:

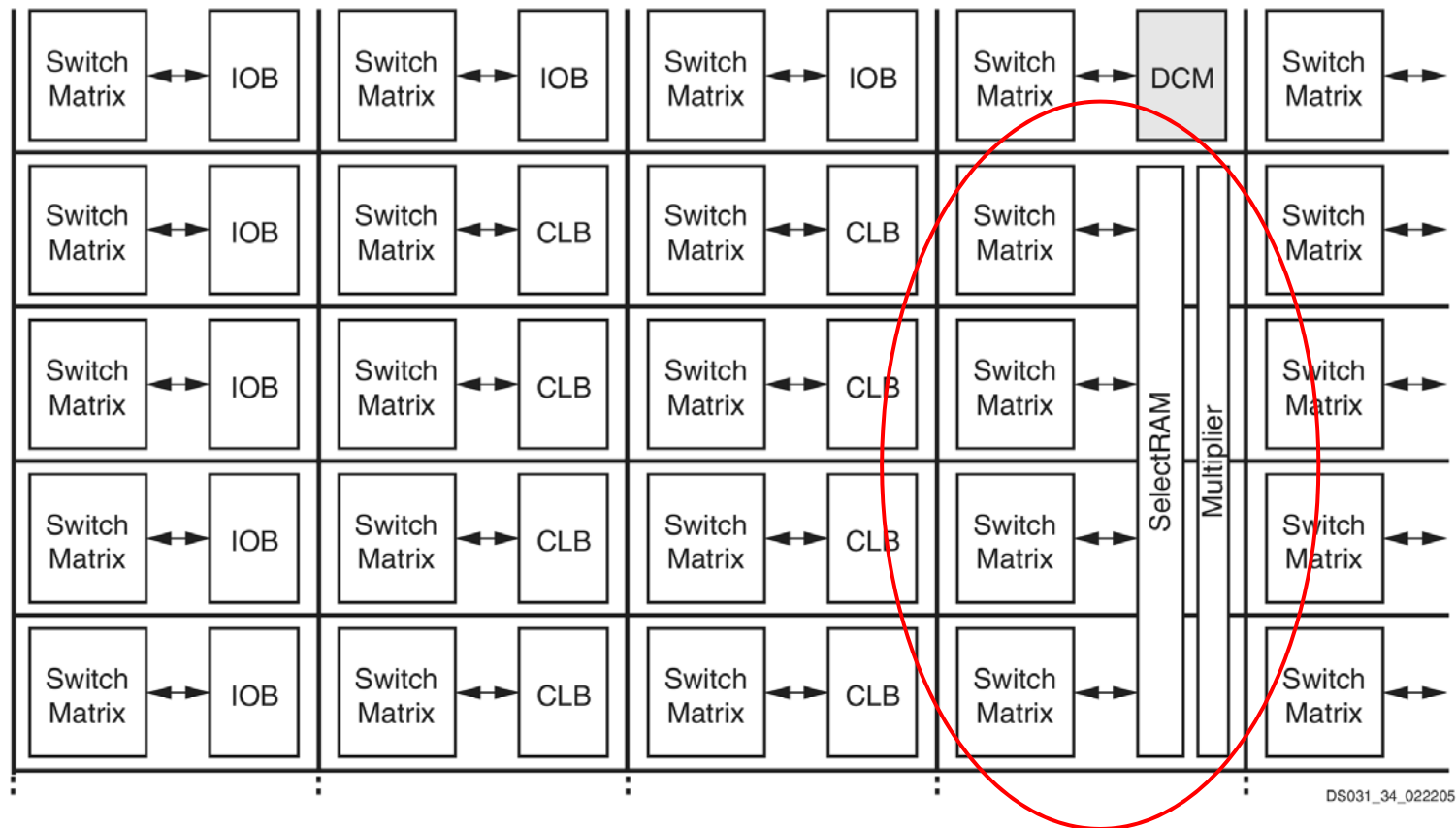
- Nur bei SRAM-Konfigurationsspeicher.
- Allgemeiner Zugriff auf die LUT-Schreiblogik.

### Block-RAM:

- RAM zusätzlich auf FPGA integriert.
- Hohe Speicherdichte.
- Anzahl Datenbits pro Block fest vorgegeben.
- Organisation konfigurierbar.
- Beispiel Xilinx RAMB18: 18 kBit

16K x 1	8K x 2	4K x 4
2K x 9	1K x 18	512 x 36

## Beispiel: Block SelectRAM im Virtex-II



Xilinx: DS031 *Virtex-II Platform FPGAs Complete Datasheet*, v3.5, 2007

## Vergleich

	FF	LUT-RAM	Block-RAM
Power-Up-Wert	Ja	Ja	Ja
Reset	Ja	Nein	Nein
Größe (typisch)	1 Bit	16 – 64 Bit	576 – 589536 Bit
Speicherdichte	Niedrig	Mittel	Hoch
Organisation	---	x 1	Verschiedene konfigur.
Schreib-/Lese-Ports	Single	Single Simple-Dual	Single Simple-Dual True-Dual

576 Bit – 32 x 18 Bit    589536 – 4K x 144 Bit

## Konfiguration der Schreib-/Leseports

**Single-Port:** Lesen/Schreiben an derselben Adresse

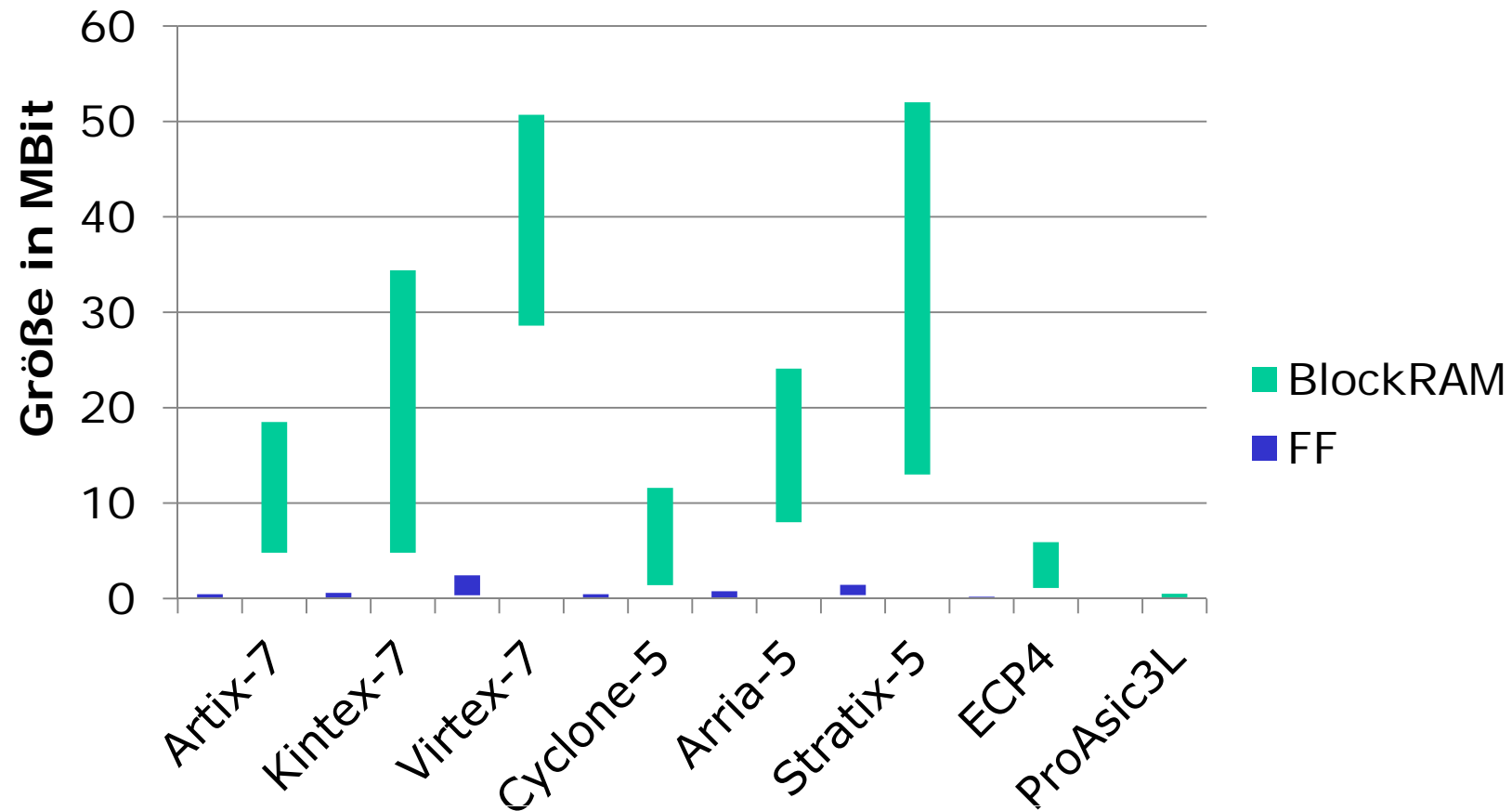
**Simple Dual-Port:**

- 1 Schreib- und 1 Leseport.
- Zugriff auf verschiedene Adressen.
- Konfliktbehandlung bei gleichzeitigem Lesen und Schreiben an derselben Adresse.

**True Dual-Port:**

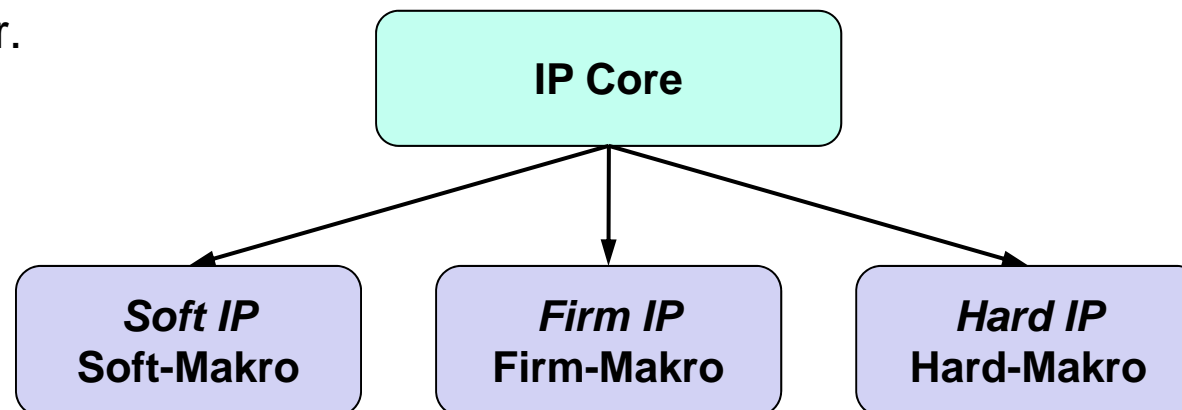
- 2 Schreib- / Leseports.
- Zugriff auf verschiedene Adressen.
- Konfliktbehandlung beim Lesen an der Schreibadresse des anderen Ports.

## Vergleich zwischen FPGA-Familien



### 3 IP-Cores

- *Intellectual Property*
- Vom FPGA-Hersteller oder Dritten angebotene Module.
- Bereitstellung spezieller, häufig komplexer, Funktionen.
  - Multiply-Accumulate,
  - Ethernet MAC,
  - Prozessorkern.
- Grob-granular.



## Bereitstellung von IP-Cores

### Soft-Makro:

- Synthetisierbares RTL-Modell.
- Abbildung auf (universellen) FB im FPGA.

### Firm-Makro:

- Basis: Gattermodell.
- (Verschlüsselte) Netzliste + Constraints für Technologiesynthese.
- Abbildung auf (universellen) FB im FPGA.

### Hard-Makro:

- Physisch im FPGA vorhanden.

C. Maxfield: *FPGAs World Class Designs*, Elsevier Oxford, 2009



## Vergleich

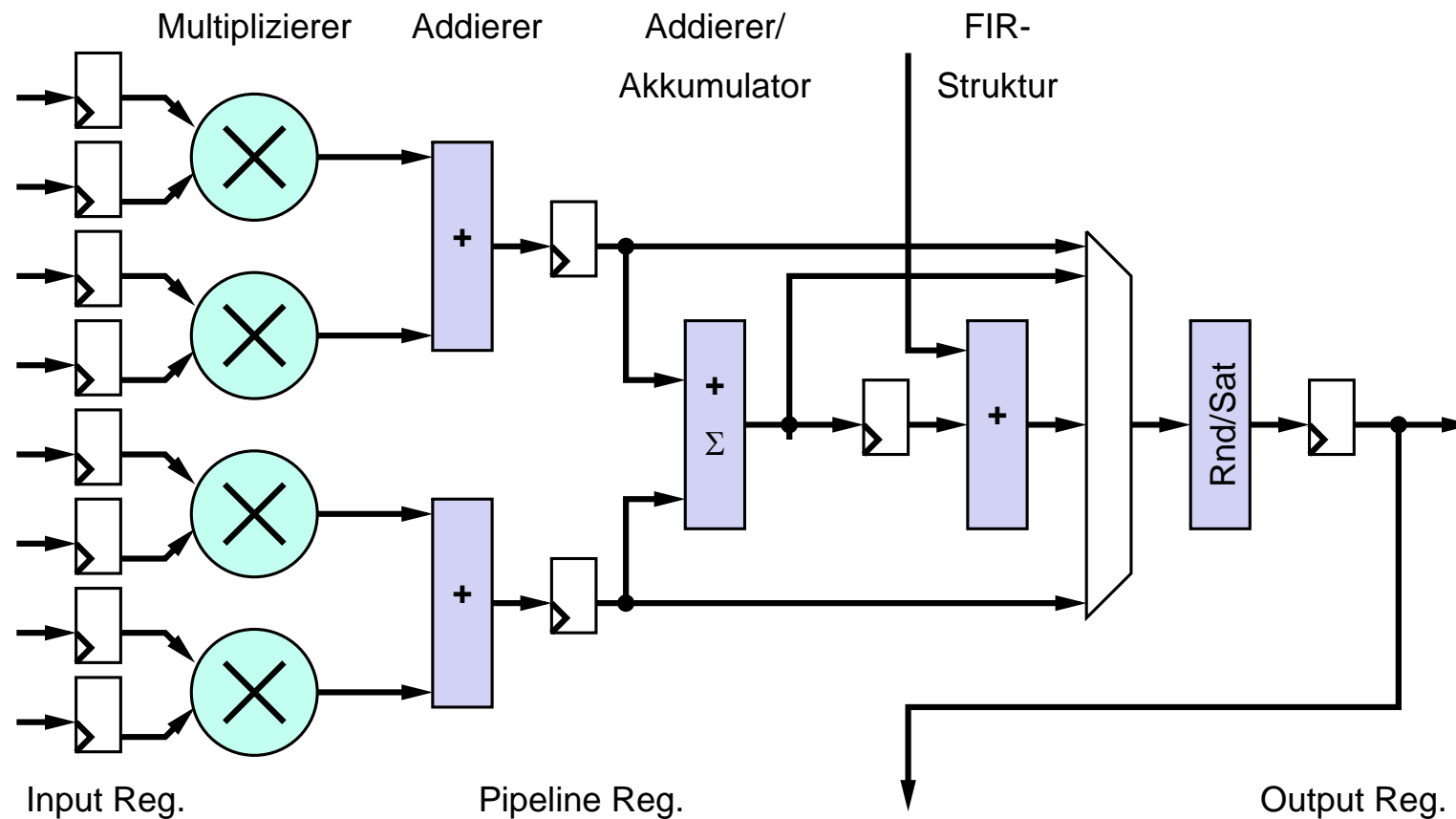
	Soft IP	Firm IP	Hard IP
Ebene	RTL	Gatter	Schaltkreis
Vom Anwender konfigurierb.	Ja	Nur indirekt.	
Instanzen	Beliebig viele.		Vorgegeb.
Chipflächenbedarf	Nur wenn benutzt.		Immer
Fehlerkorrektur möglich	Ja		Nein
Effiziente Realisierung hinsichtlich Chipfläche, Zeitverhalten, Verlustleistung	Nein	Optimiert für einen FPGA.	Sehr effizient.*

\* Vielfältigere Optimierungsmöglichkeiten vor der Herstellung.

## Beispiele für Hard-Makros

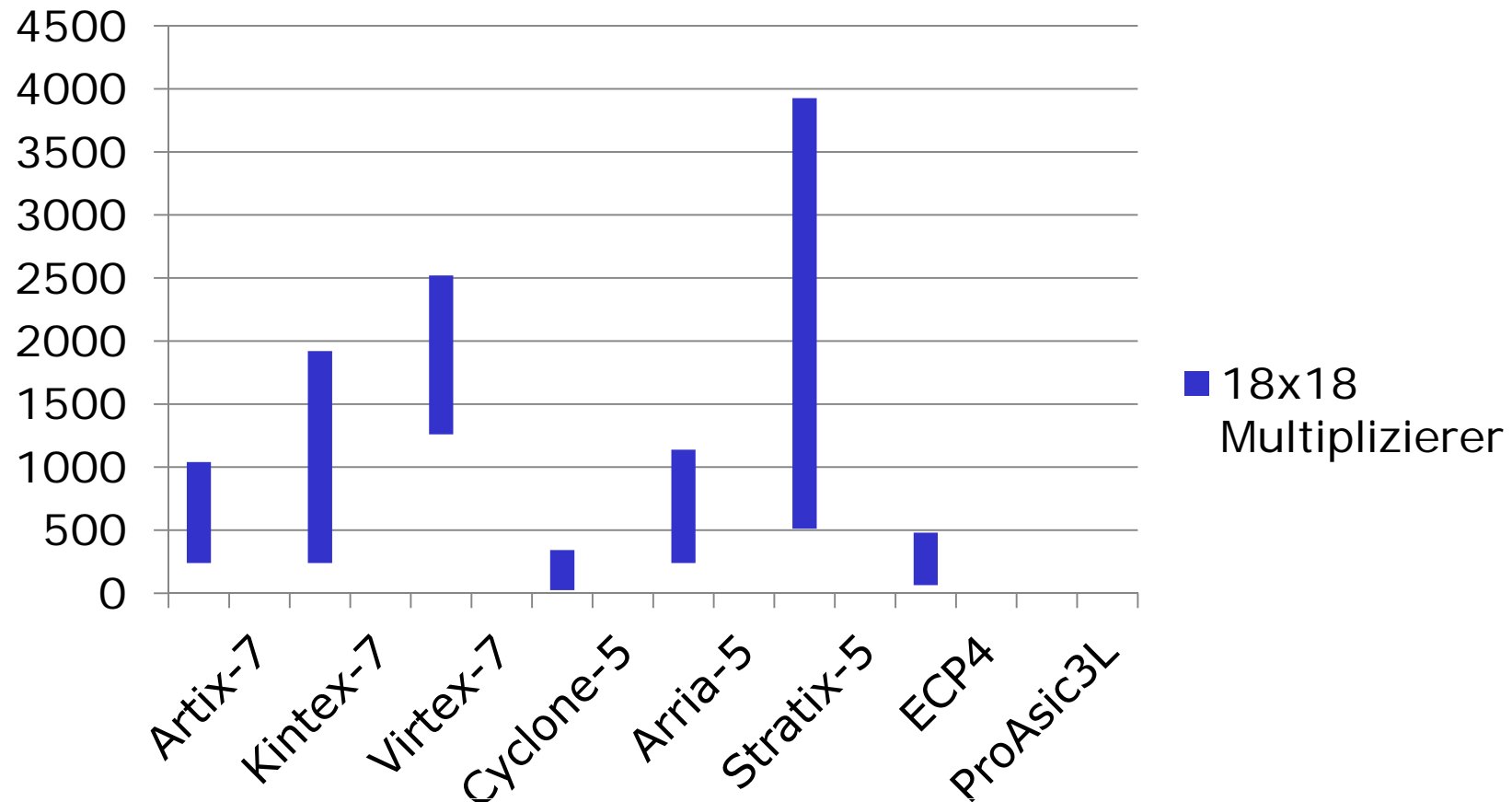
	Virtex-6	Spartan-6	Stratix-IV	Cyclone-IV
Multiplizierer	X	X	X	X
DSP-Blöcke	X	X	X	-
Taktgenerator	X	X	X	X
Ethernet PHY	X	-	X	-
Ethernet MAC	X	-	-	-
PCIe Endpoint	X	X	X	X
Memory Controller	-	X	-	-

## Beispiel: Altera Stratix-IV (Half) DSP-Block



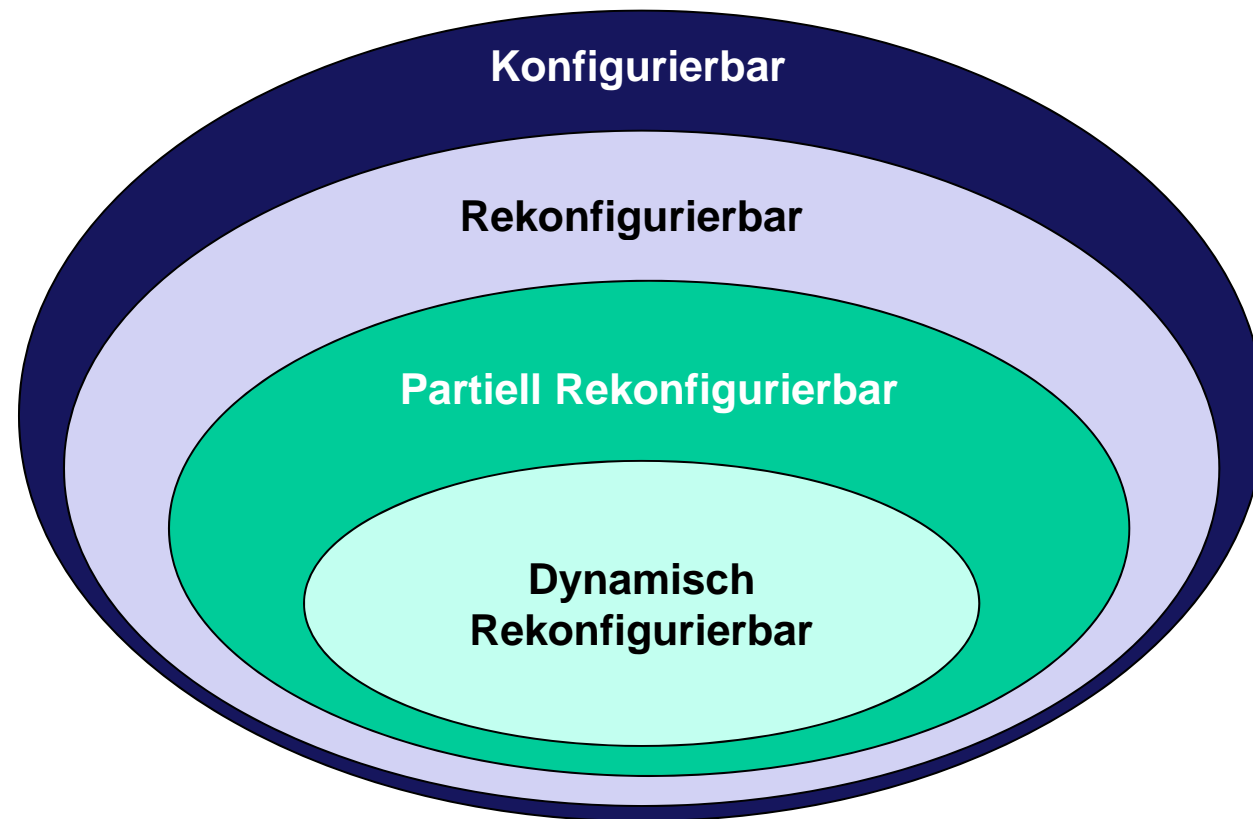
Altera: *Stratix-IV Device Handbook*, Volume 1, 2009

## Vergleich zwischen FPGA-Familien



## 4 Konfigurierbarkeit

### Klassen



---

**Klassen:**

- Konfigurierbar:
  - Programmierbare Schaltkreise.
  - Funktion kann vom Anwender festgelegt werden.
- Rekonfigurierbar:
  - Funktion kann mehrfach / beliebig oft geändert werden.
  - Komplette oder teilweise Rekonfiguration des Systems.
- Partiell Rekonfigurierbar:
  - System kann auch teilweise rekonfiguriert werden.
  - Statisch oder dynamisch partiell.
- Dynamisch Rekonfigurierbar:
  - Ein Teil des Systems kann zur Laufzeit des Systems rekonfiguriert werden.
  - Dynamisch partiell.

## Dynamische Rekonfiguration

### Konzept:

- Ausführung verschiedener „Programme“ in Hardware.
- Co-Prozessor / Hardware-Plugin.
- *Reconfigurable Computing.*

### Anwendungen:

- Rechenintensive Aufgaben:
  - Digitale Signalverarbeitung (Funk u.a.).
  - Video(de-)kodierung.
- Komplexe / Zeitkritische Aufgaben:
  - Steuerung.
  - Ver-/Entschlüsselung.

---

**Typische Aufbau-Varianten:**

- PC-System mit FPGA-Board.
- SoPC (*System-on-a-Programmable-Chip*):  
Vorraussetzung: Konfigurationsspeicher segmentweise beschreibbar.

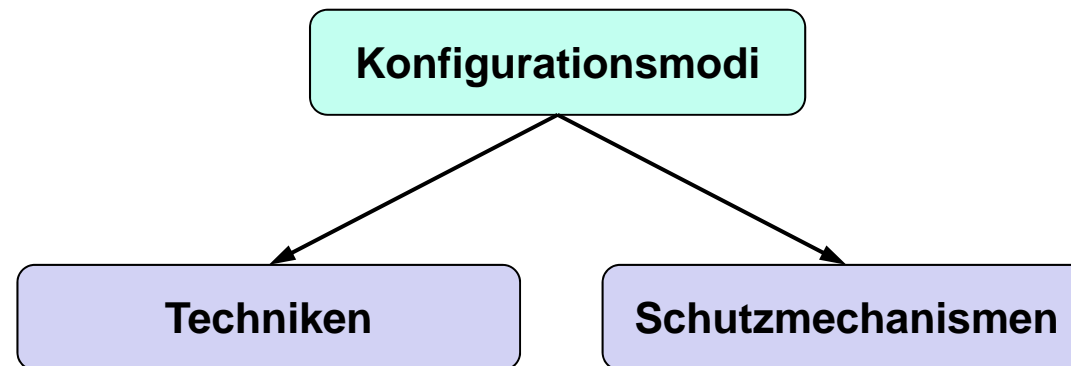
**Probleme:**

- Scheduling.
- Rekonfigurationszeiten → Ansatz: Multi-Context-FPGAs
- Partitionierung in HW-/SW-Module.



## 5 Konfigurationsmodi

- In-System-Programming (ISP) eines SRAM-basierten FPGAs.
- Primär: Konfiguration zum Systemstart.
- Sekundär: Dynamische Rekonfiguration.



## Techniken

	Seriell	Parallel
Master	X	X
Slave	X	X
Peripherie	(X)	X
JTAG	X	-

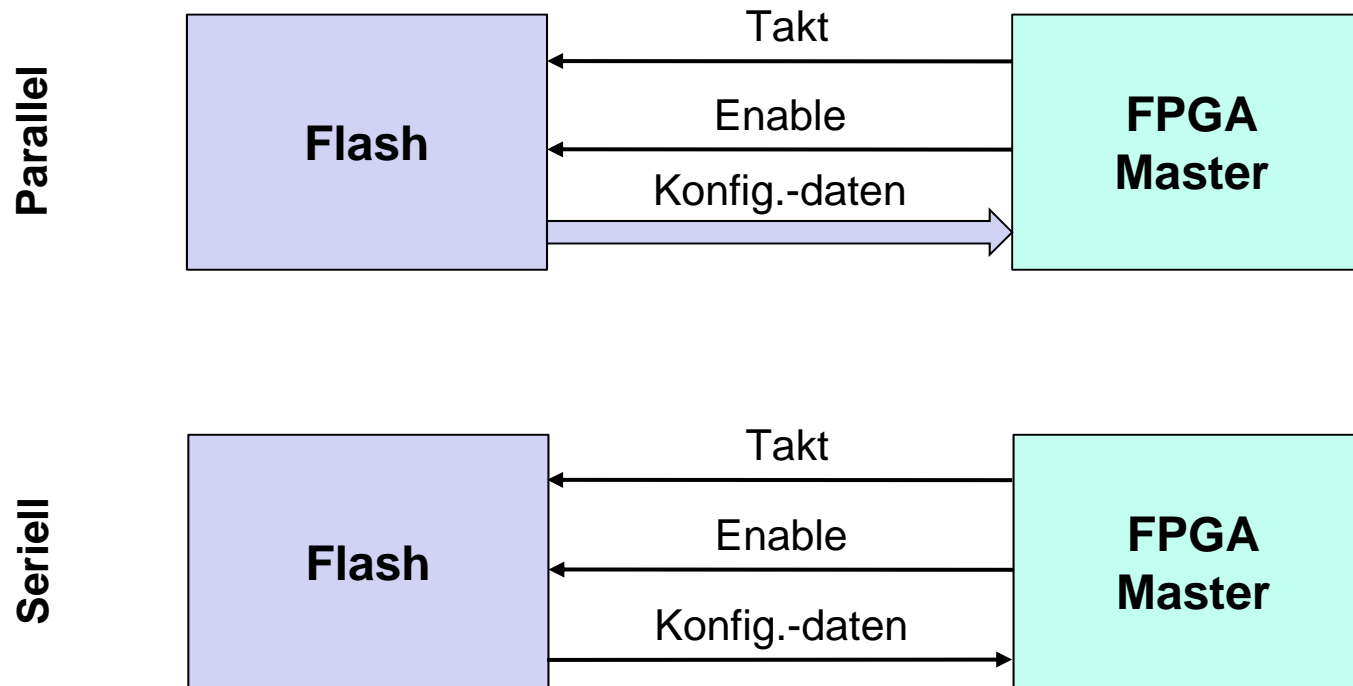
### Hinweise:

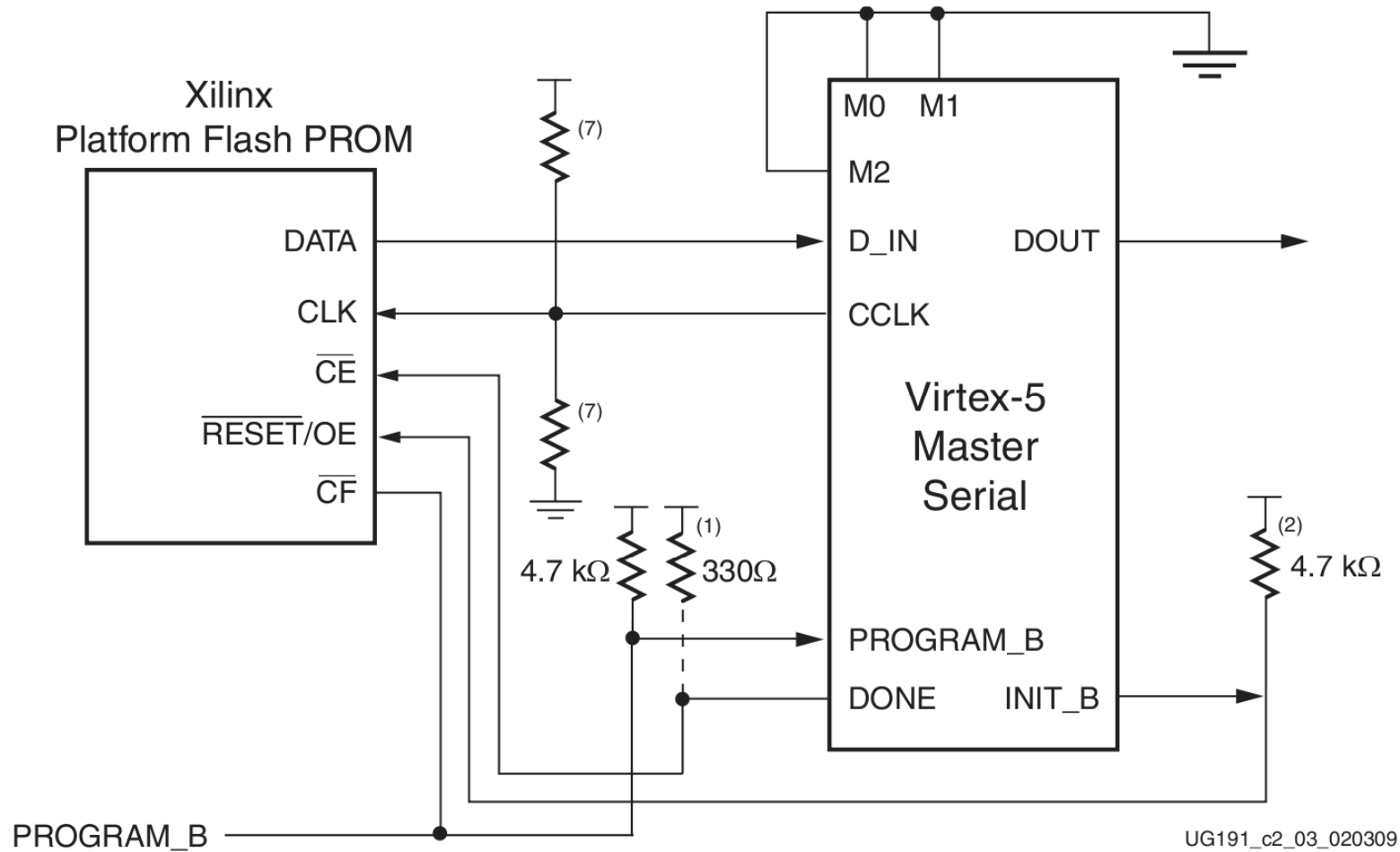
- Auswahl eines Modus anhand von Konfigurationspins am FPGA.
- Exakte Bezeichnungen unterscheiden sich je nach Hersteller.
- Folgende Beispiele anhand Virtex-5 FPGA.

Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009

## Master-Modi:

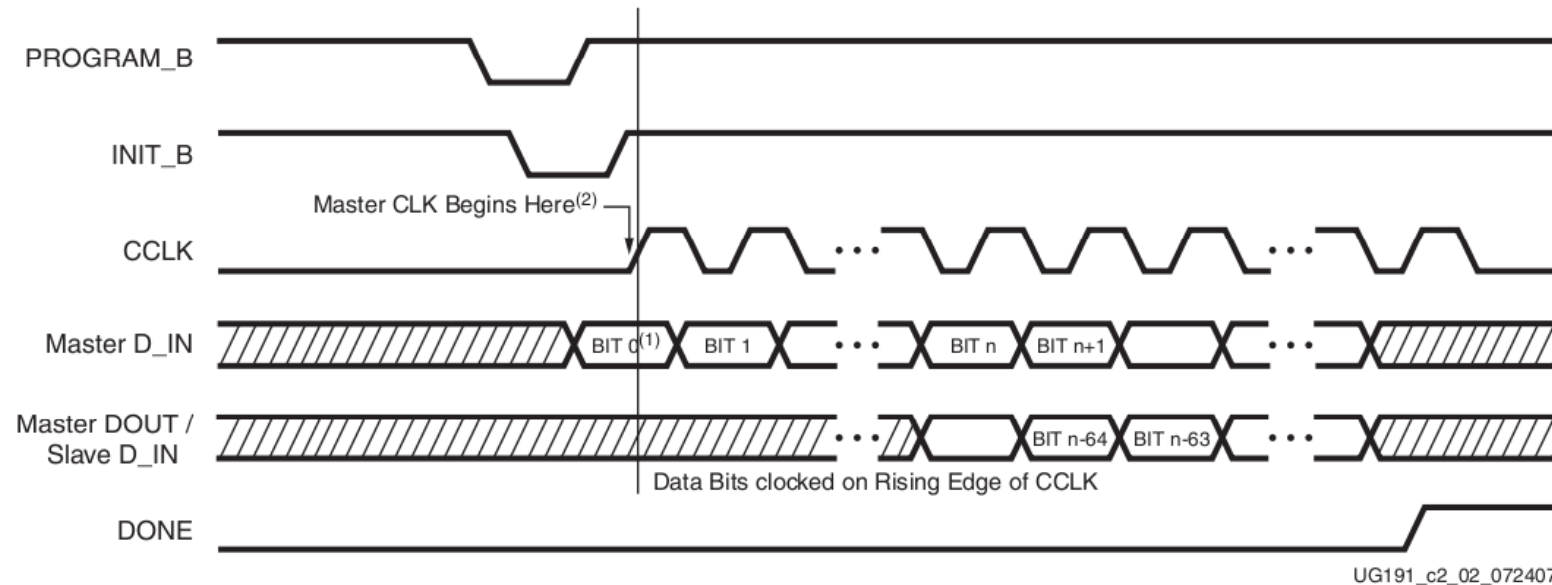
FPGA gibt Steuerung vor.





Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009

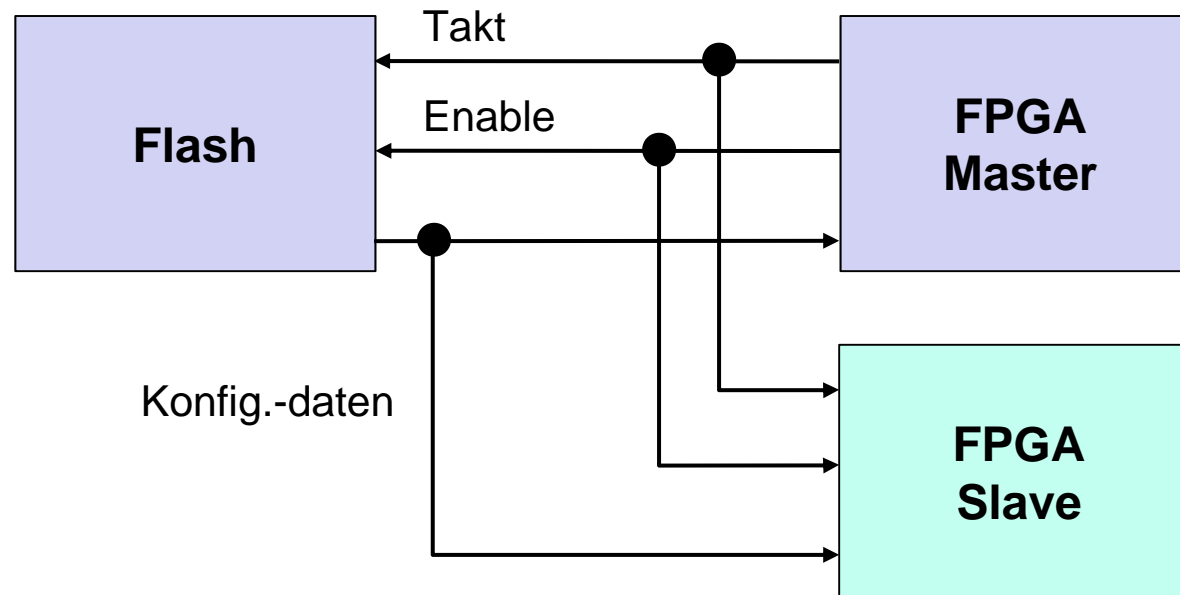
## Master-Serial-Timing



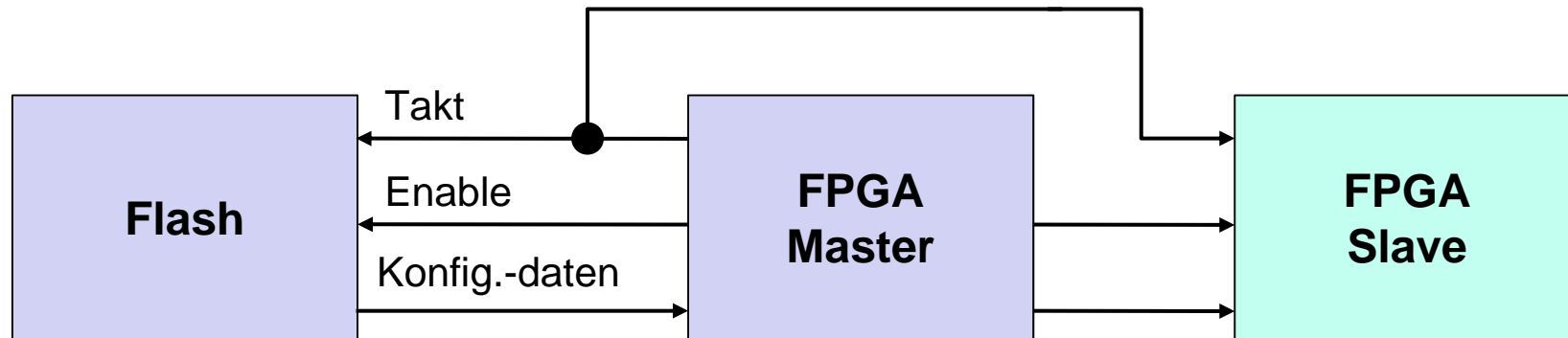
Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009

### Slave-Modi:

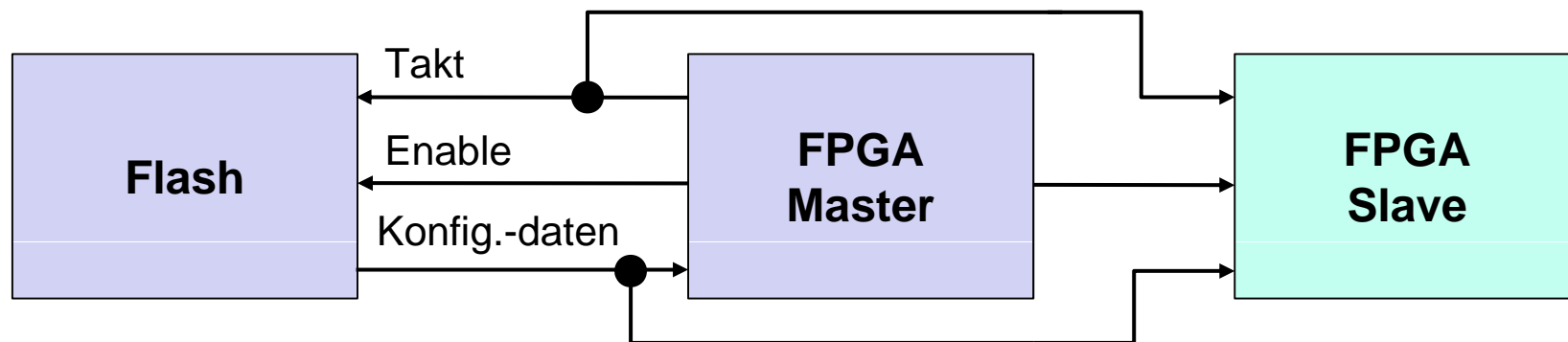
- Bei Ganged Configuration oder Daisy-Chain.
- Ein anderer FPGA (o.ä.) gibt Steuerung vor.



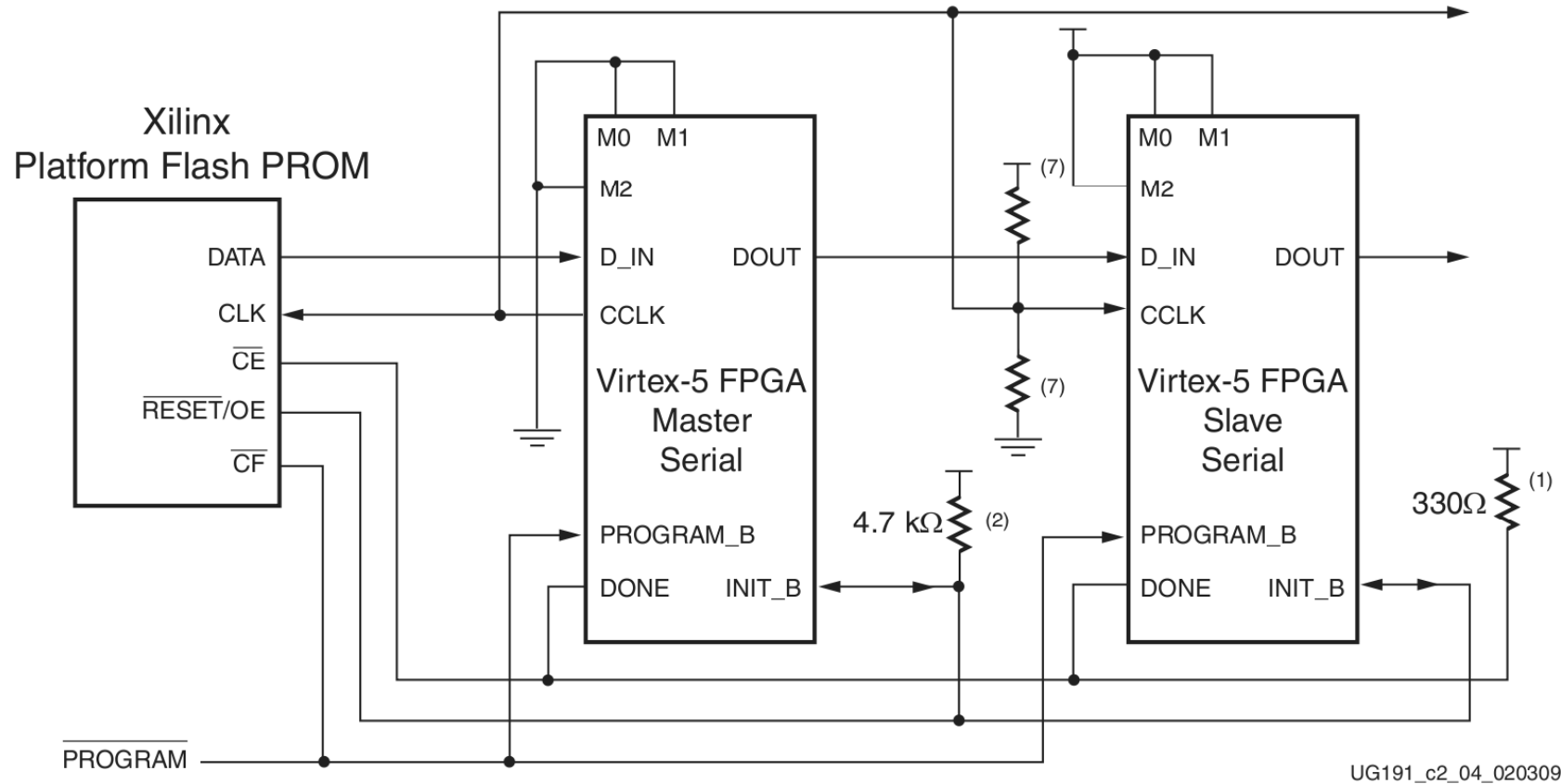
**Ganged Serial Mode (analog Ganged Parallel Mode)**



Serial Mode Daisy-Chain

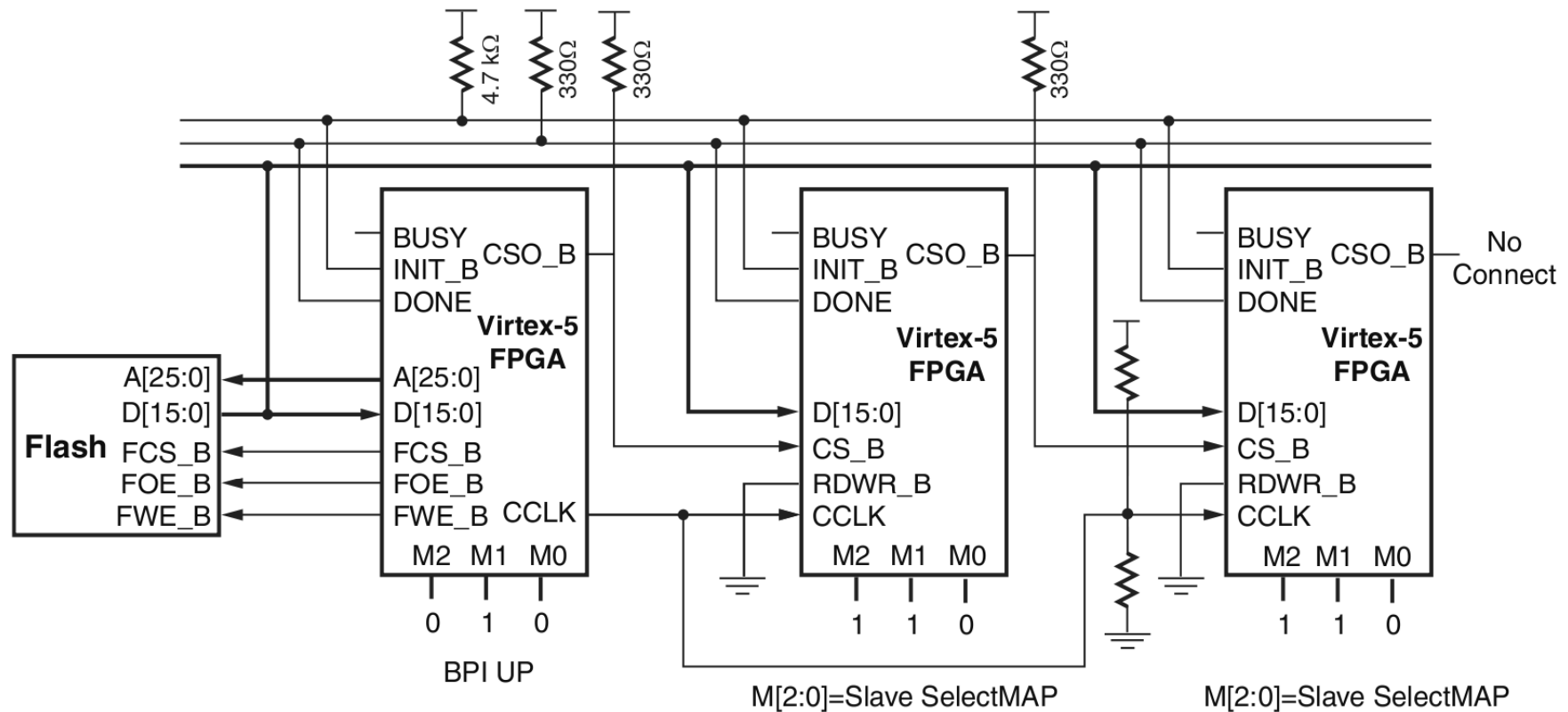


Parallel Mode Daisy-Chain



Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009

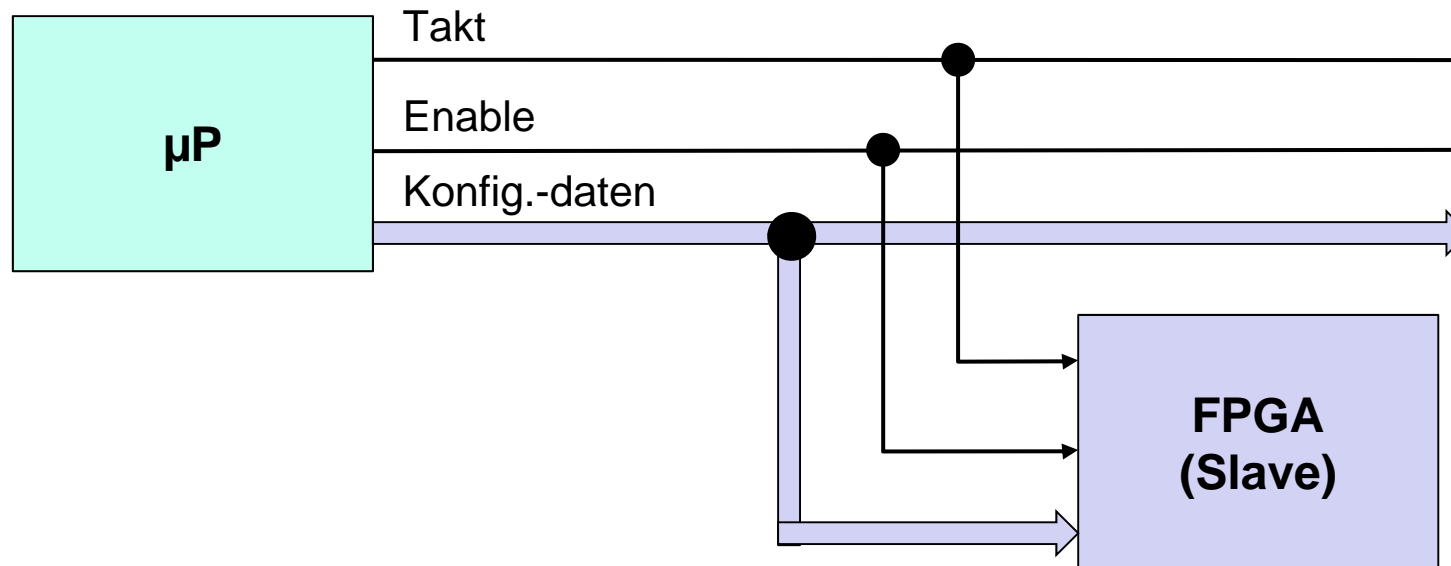


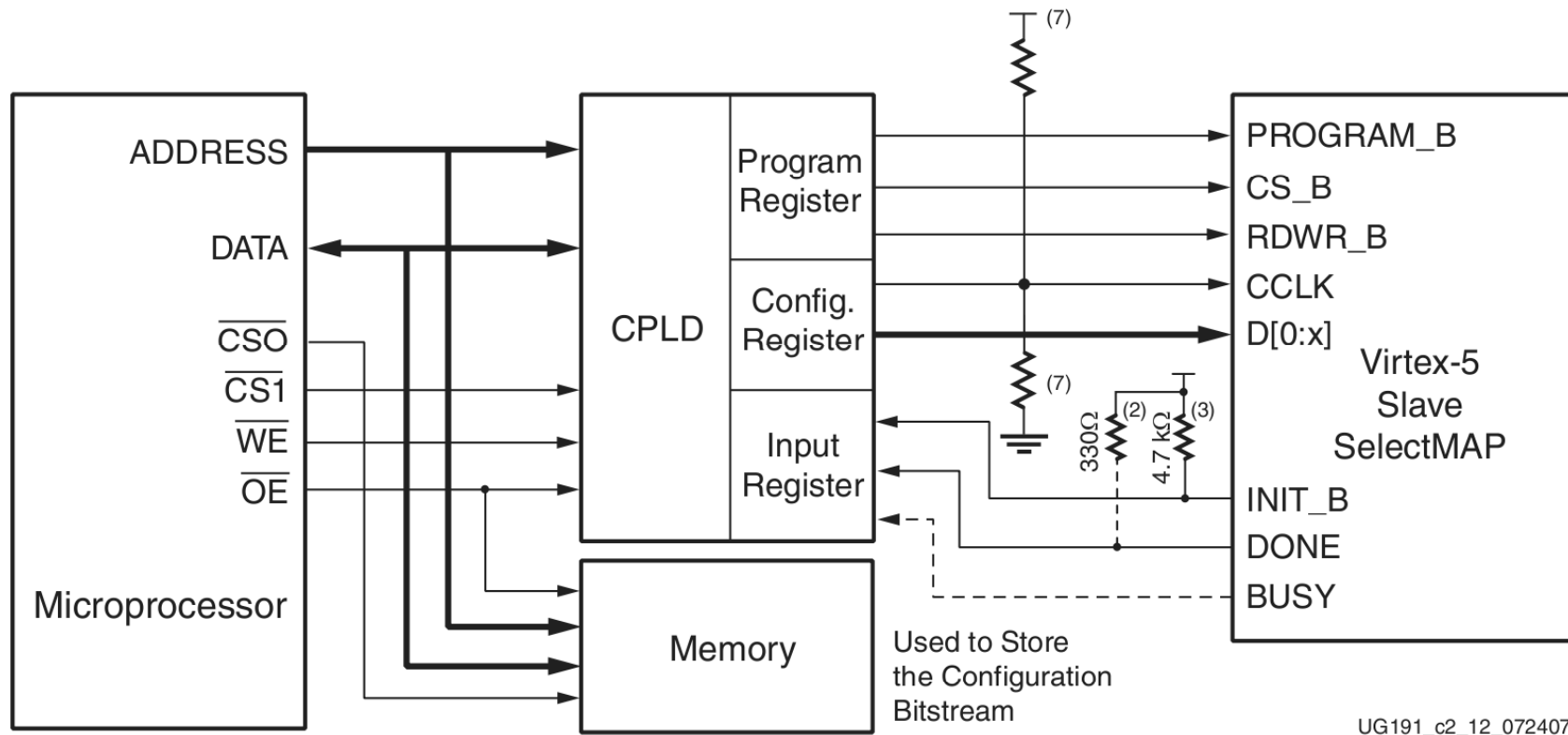


Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009

### Peripherie-Modi:

- $\mu$ Processor gibt Steuerung vor.
- Erweiterung auf Daisy-Chain möglich.
- Typisch: Parallele Datenübertragung.

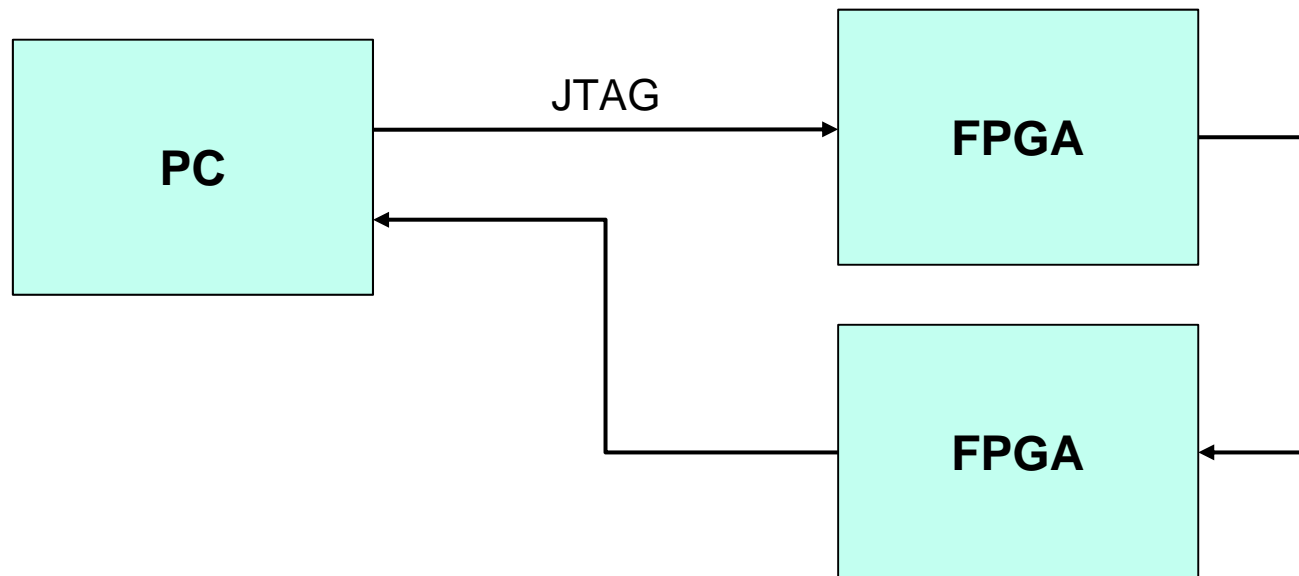




Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009

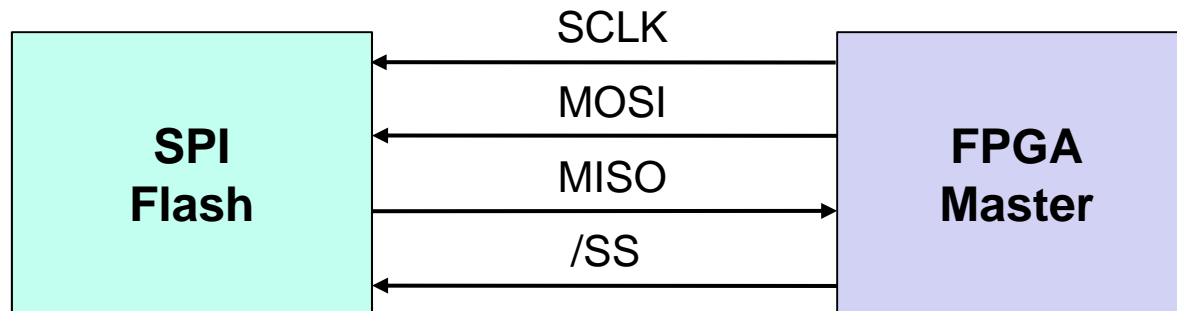
## JTAG

- Analog CPLD-Konfiguration.
- Beschreiben eines speziellen Konfigurationsregisters.

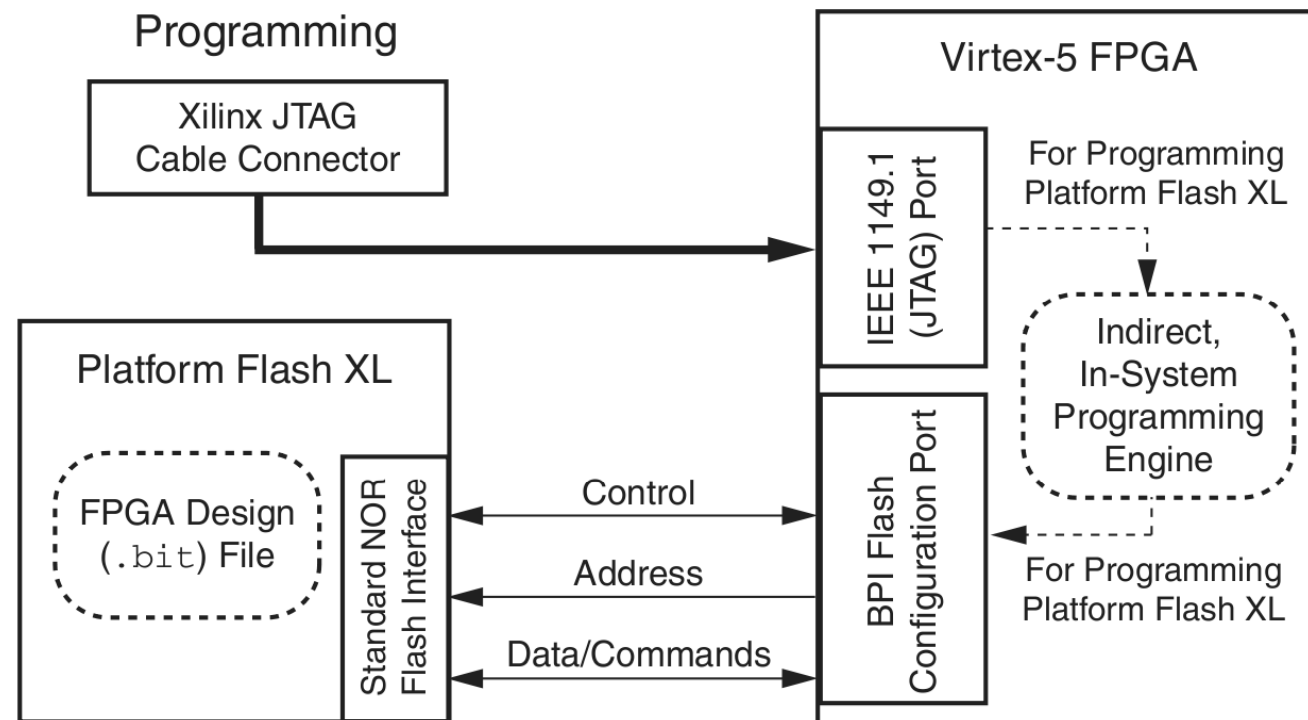


## Weitere

- Bisherige Speichertypen: Platform Flash von Xilinx.
- Zusätzliche Unterstützung für Industrie-Standards:
  - SPI-Flash (*Serial Peripheral Interface*).
    - Lese-/Schreibkommandos.
  - BPI-Flash (*Byte Peripheral Interface*).
    - Adresse + Daten.
  - Auch: Programmierung des Flash durch den FPGA.

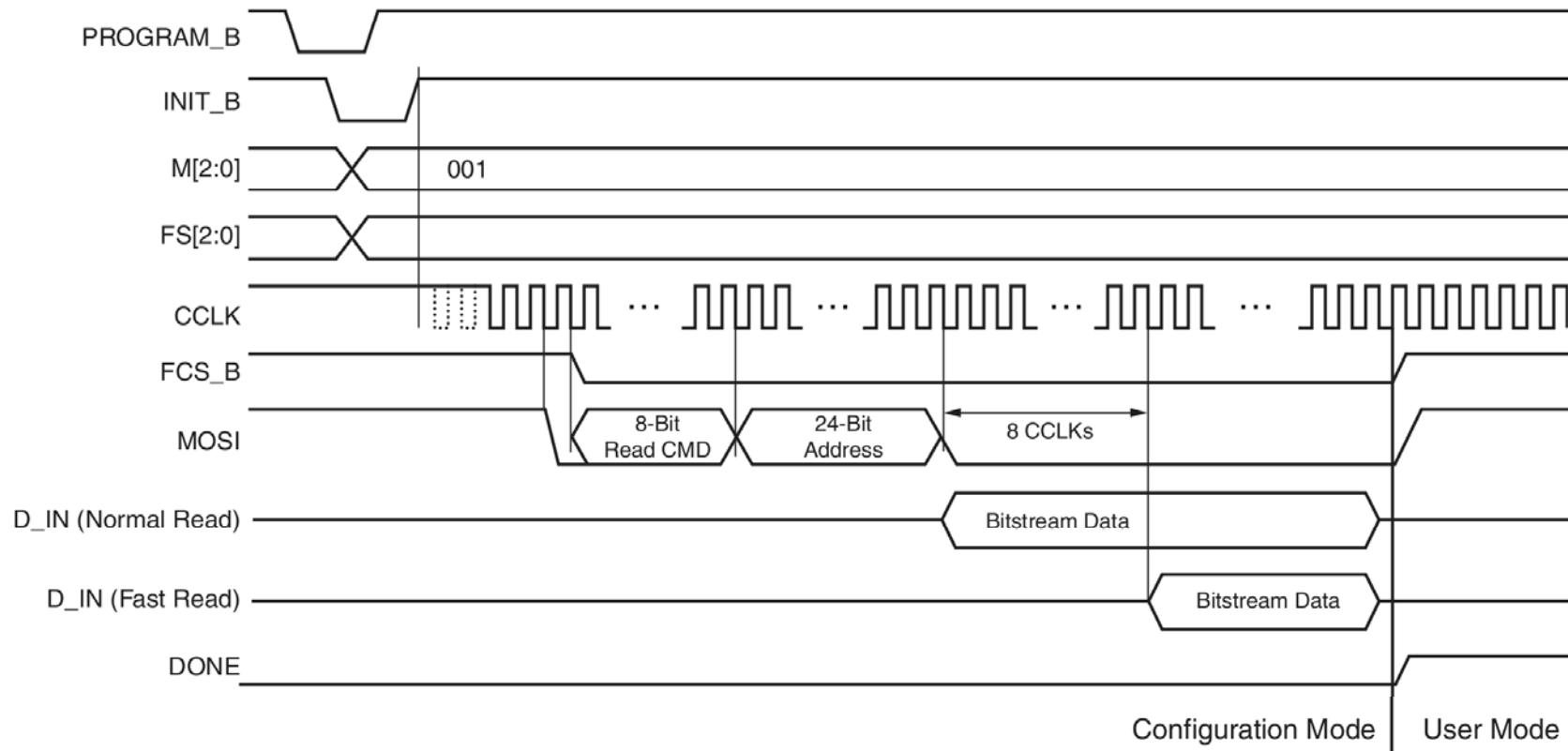


Single Cable Connector for  
Direct FPGA Configuration/Debug and  
Indirect Platform Flash XL  
Programming



UG191\_c2\_29\_051208

Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009



UG191\_c2\_24\_072407

Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009

## Schutzmechanismen

### Szenario 1:

- Konfiguration muss bei Verlust der Betriebsspannung erhalten bleiben.
- Lsg. 1: Antifuse-FPGA.
- Lsg. 2: SRAM-FPGA + Puffer-Batterie.
- Lsg. 3: SRAM-FPGA + Neukonfiguration aus Speicher.

### Szenario 2:

- Konfiguration soll bei Verlust der Betriebsspannung verloren gehen.
- Lsg.: SRAM-basierte FPGAs.
- Typ. Anwendung: Militärische Zwecke.



## Szenario 1: Erhalt der Konfiguration

- Problem:
  - Reverse Engineering durch Dritte.
  - FPGA-Konfiguration soll **nicht zugänglich** sein.
- Lsg. 1: Antifuse-FPGA:  
Konfiguration kann prinzipiell nicht ausgelesen werden.
- Lsg. 2: SRAM-FPGA + Puffer-Batterie:
  - Kein Konfigurationsspeicher → FPGA einmal programmieren.
  - Auslese-Fkt. (*Readback*) im FPGA deaktivieren.
  - Nachteil: Ruhestrome akt. FPGAs zu hoch für Langzeitüberbrückung.



## 6 Zusammenfassung

- Speicherelemente: FPGA-spezifisch sind LUT-RAM und Block-RAM.
- IP-Cores: Soft-, Firm- und Hard-Makro.
- Klassen der Konfigurierbarkeit:
  - konfigurierbar,
  - rekonfigurierbar,
  - partiell rekonfigurierbar,
  - dynamisch rekonfigurierbar.
- Konfigurationsmodi:
  - Master, Slave, Peripherie, JTAG.  $\Leftrightarrow$  Seriell, Parallel.
  - Schutzmechanismen:
    - Kein externer Konfigurationsspeicher.
    - Verschlüsselung der Konfiguration.