

CAPÍTULO 4

ANÁLISIS Y DISEÑO DE SISTEMAS SECUENCIALES

TECNOLOGÍA Y ORGANIZACIÓN DE COMPUTADORES

1º Grado en Ingeniería Informática.

TEMA 4. ANÁLISIS Y DISEÑO DE SISTEMAS SECUNCIALES.

RESUMEN:

En este tema se va a definir qué es un sistema secuencial y cómo se analizan y diseñan circuitos secuenciales sencillos. También se estudiarán algunos bloques secuenciales que realizan funciones más complejas y que no se pueden analizar a nivel de puertas lógicas.

TEMA 4. ANÁLISIS Y DISEÑO DE SISTEMAS SECUNCIALES.

OBJETIVOS (expresados como resultados de aprendizaje):

- Aplicar técnicas básicas de análisis y diseño de sistemas secuenciales a nivel lógico.
- Comprender las diferentes formas de representar el comportamiento de un sistema secuencial (diagramas, tablas de estados, cronogramas, etc.).
- Estimar las prestaciones de sistemas secuenciales (retardo de propagación, frecuencia máxima, etc.).
- Comprender el funcionamiento de los diferentes bloques secuenciales básicos que forman parte de la mayoría de los sistemas digitales, e identificar claramente la función que realizan.

TEMA 4. ANÁLISIS Y DISEÑO DE SISTEMAS SECUNCIALES.

CONTENIDOS:

- 4.1. Concepto de sistema secuencial.
- 4.2. Elementos básicos secuenciales.
- 4.3. Componentes secuenciales estándar.
- 4.4. Análisis de un sistema secuencial.
- 4.5. Diseño de un sistema secuencial.

BIBLIOGRAFÍA: [GAJ97]:6,7 ; [HAY96]:6,7 ;
[LLO03]:7,8,9 ; [MAN05]:5,6,7 ; [NEL96]:6,7,8,9 ;
[ROT04]:11,12,13,14,15,16

TEMA 4. ANÁLISIS Y DISEÑO DE SISTEMAS SECUNCIALES.

CONTENIDOS:

- ➔ 4.1. Concepto de sistema secuencial.
- 4.2. Elementos básicos secuenciales.
- 4.3. Componentes secuenciales estándar.
- 4.4. Análisis de un sistema secuencial.
- 4.5. Diseño de un sistema secuencial.

4.1 CONCEPTO DE SISTEMA SECUENCIAL

- Un **sistema digital binario secuencial** es un sistema digital binario en el cual las salidas de dicho sistema, en un instante dado son funciones de las entradas de dicho sistema en el mismo instante de tiempo y de entadas en instantes de tiempo anteriores.

$$z_i(t) = z_i(x_{n-1}(t), x_{n-2}(t), \dots, x_0(t), x_{n-1}(t-1), x_{n-2}(t-1), \dots, x_0(t-1), \\ x_{n-1}(t-2), x_{n-2}(t-2), \dots, x_0(t-2), \dots \dots \dots, \\ x_{n-1}(0), x_{n-2}(0), \dots, x_0(0)) ; \forall i = 0, 1, 2, \dots, m-1$$

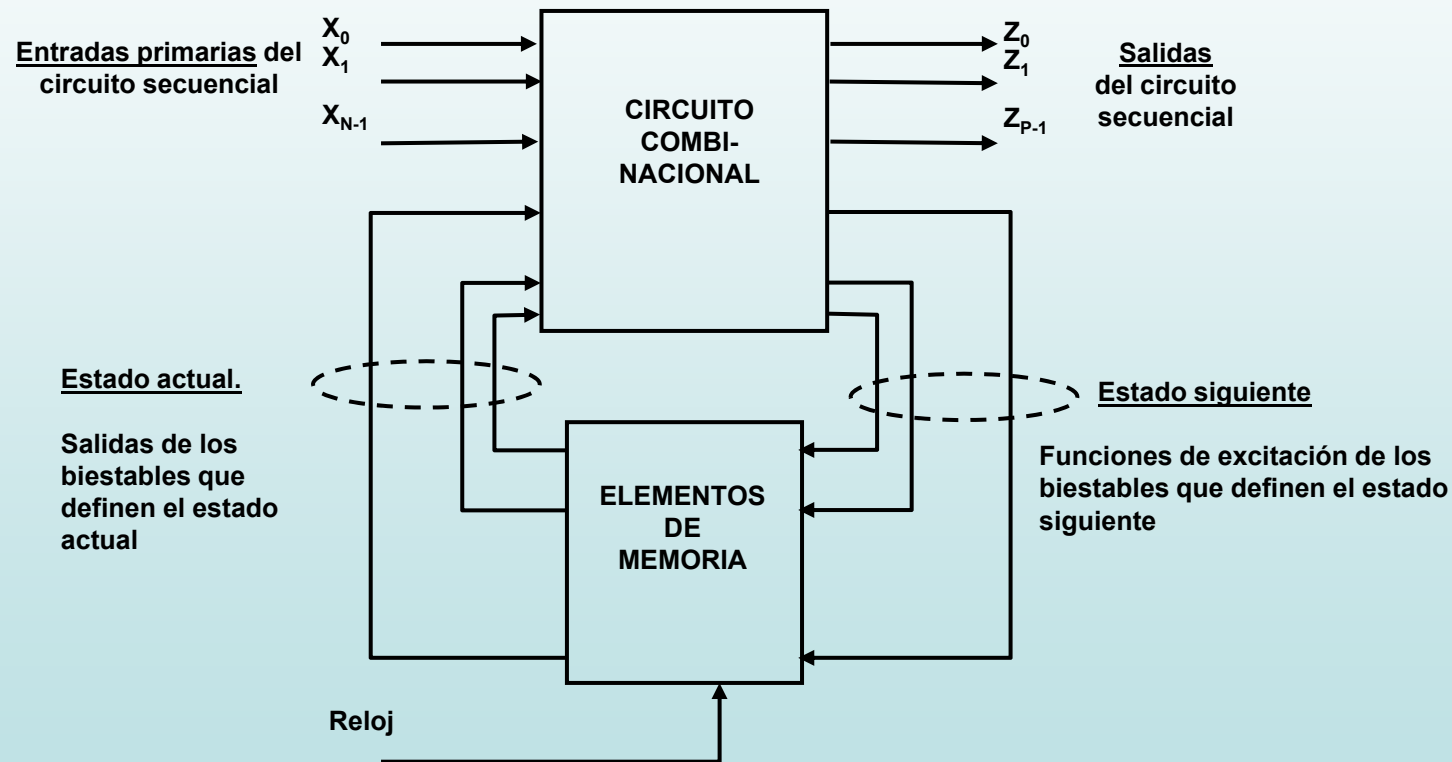
4.1 CONCEPTO DE SISTEMA SECUENCIAL

- **SISTEMA SECUENCIAL:**

- La salida en un instante dado depende de la secuencia de entradas recibida hasta dicho instante, es decir, de la “**historia**” del sistema.
- Son sistemas con **memoria** (“recuerdan” las entradas recibidas con anterioridad)
- La historia del sistema viene determinada por el **estado** del sistema en el momento en que empieza a funcionar y los valores de las entradas desde el principio.
- Los sistemas secuenciales necesitan **elementos de memoria** para poder memorizar el estado del sistema.
- En consecuencia, en un sistema secuencial hay que considerar 3 tipos de variables: **entradas, salidas y estados**.

4.1 CONCEPTO DE SISTEMA SECUENCIAL

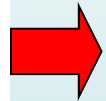
- Estructura general de un sistema secuencial:



TEMA 4. ANÁLISIS Y DISEÑO DE SISTEMAS SECUNCIALES.

CONTENIDOS:

4.1. Concepto de sistema secuencial.



4.2. Elementos básicos secuenciales.

4.3. Componentes secuenciales estándar.

4.4. Análisis de un sistema secuencial.

4.5. Diseño de un sistema secuencial.

4.2 ELEMENTOS BÁSICOS SECUENCIALES

- Los **elementos básicos de almacenamiento** que pueden memorizar un bit de información son los **cerrojos (latches)** o **biestables (flip-flops)**.
- En los elementos básicos de almacenamiento coincide la salida con el estado.
- Se suele denominar $Q(t)$ a la salida o **estado presente** y $Q(t+1)$ a la salida o **estado siguiente**.
- Un elemento de memoria tiene unas entradas que pueden producir un cambio en el valor (0, 1) memorizado en el circuito. La salida coincide con el valor memorizado.
- Los elementos de memoria suelen disponer de dos salidas, Q y Q' (complementaria).

4.2 ELEMENTOS BÁSICOS SECUENCIALES

- **Sistemas secuenciales síncronos:**

Es aquel en el que los cambios de estado en el sistema se producen únicamente cuando se activa una señal especial de entrada del sistema, llamada entrada de reloj (Clk ó Ck).

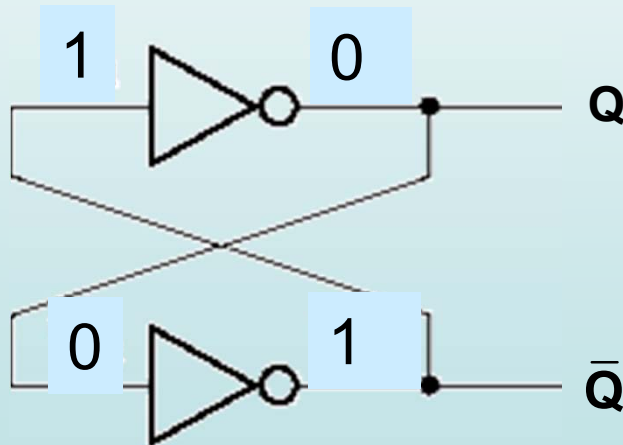
- **Sistemas secuenciales asíncronos:**

Es aquel en el que los cambios de estado se producen cuando cambia alguna/s de las entradas

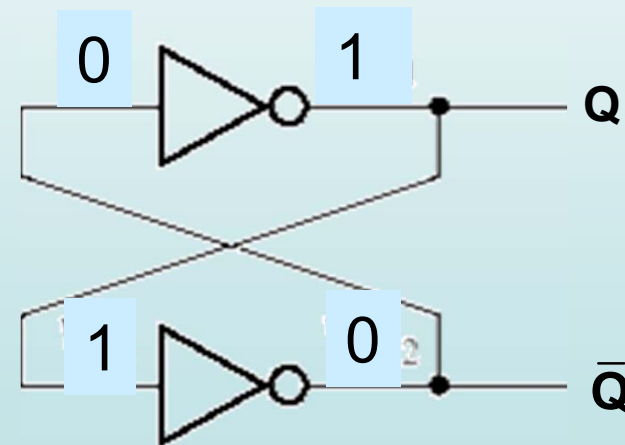
4.2 ELEMENTOS BÁSICOS SECUENCIALES

- **Bistable elemental latch:** elemento de memoria con dos estados estables: '0' y '1'.

Estado '0'
 $Q = 0; Q' = 1$



Estado '1'
 $Q = 1; Q' = 0$

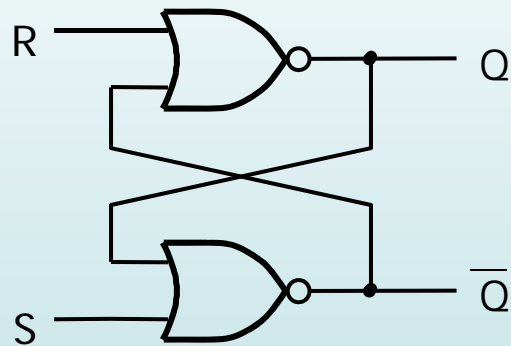


4.2 ELEMENTOS BÁSICOS SECUENCIALES

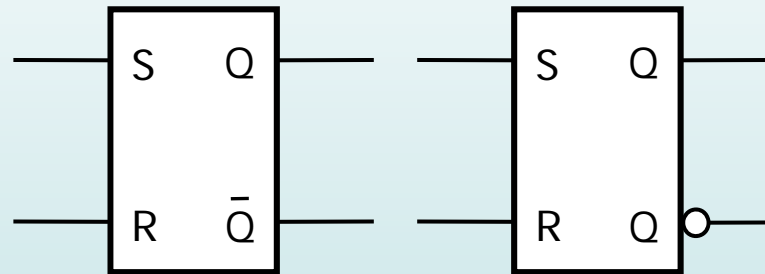
LATCH SR o Biestable SR Asíncrono:

Dos puertas NOR (ó NAND) con las salidas realimentadas

Diagrama lógico



Símbolos



Resumen de su funcionamiento **normal**:

Si $SR=01 \rightarrow Q=0, Q'=1$ (Reset o puesta a 0)

Si $SR=10 \rightarrow Q=1, Q'=0$ (Set o puesta a 1)

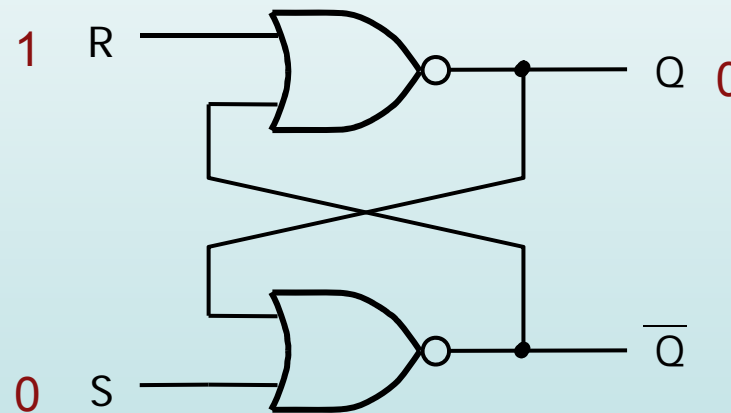
Si $SR=00 \rightarrow$ Se mantienen los valores de Q y Q' que había justo antes de hacerse $SR=00$ (Estado de Hold)

4.2 ELEMENTOS BÁSICOS SECUENCIALES

LATCH SR:

Funcionamiento:

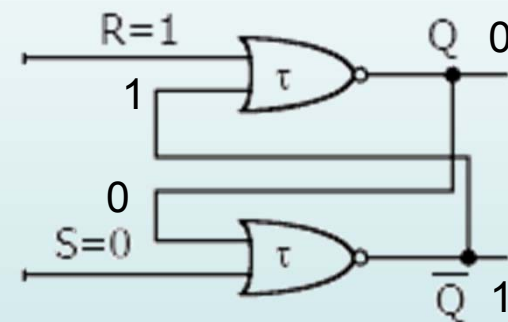
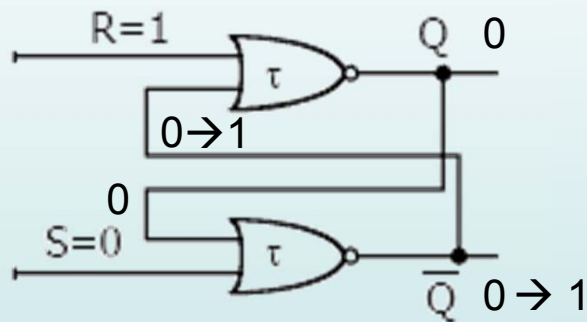
Si $SR=01 \rightarrow Q=0, Q'=1$ (Reset o puesta a 0)



XY	NOR
00	1
01	0
10	0
11	0

4.2 ELEMENTOS BÁSICOS SECUENCIALES

- Si **SR=01** → El circuito se estabiliza en **Q=0**, **Q'=1** (Puesta a 0, R=Reset)



XY	NOR
00	1
01	0
10	0
11	0

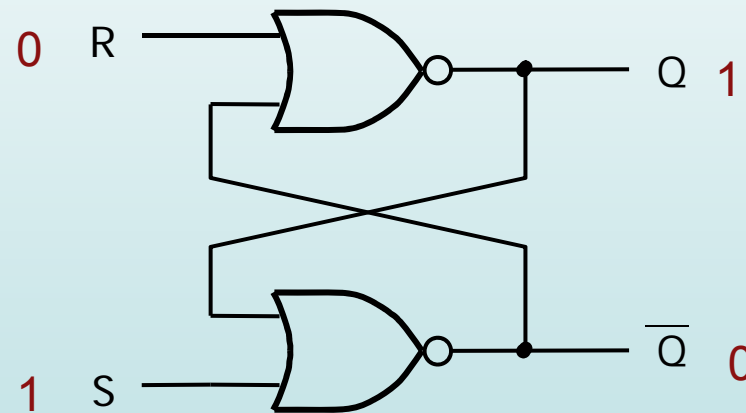


4.2 ELEMENTOS BÁSICOS SECUENCIALES

LATCH SR:

Funcionamiento:

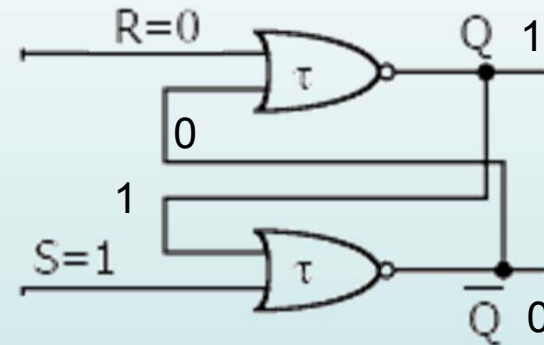
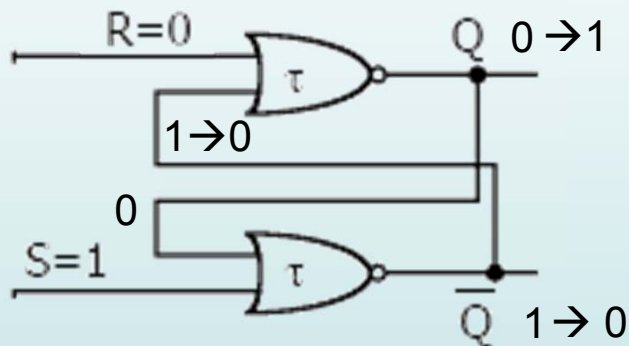
Si $SR=10 \rightarrow Q=1, Q'=0$ (Set o puesta a 1)



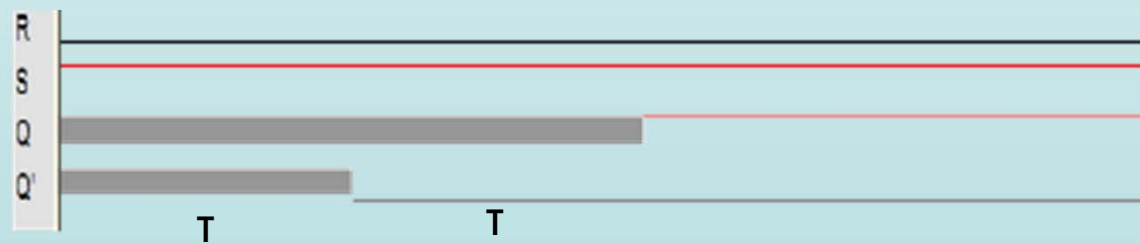
XY	NOR
00	1
01	0
10	0
11	0

4.2 ELEMENTOS BÁSICOS SECUENCIALES

- Si **SR = 10** → El circuito se estabiliza en **Q=1** y **Q'=0** ('Puesta a 1', S=Set)



XY	NOR
00	1
01	0
10	0
11	0

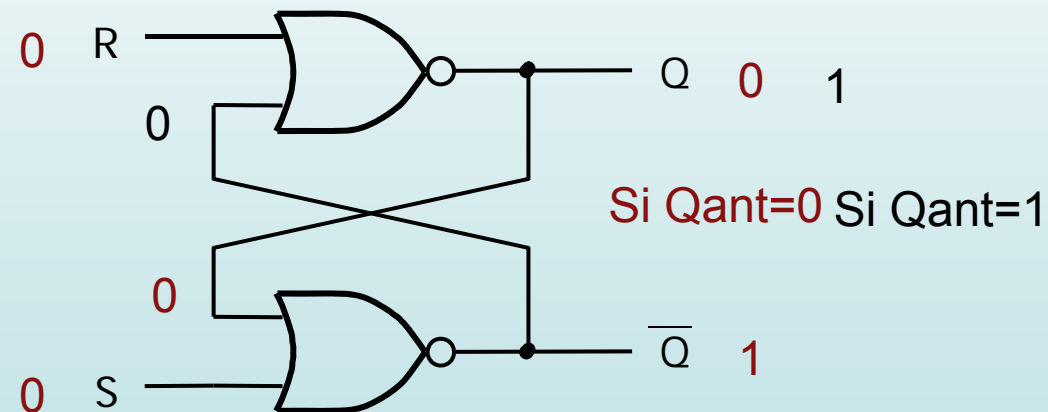


4.2 ELEMENTOS BÁSICOS SECUENCIALES

LATCH SR:

Funcionamiento:

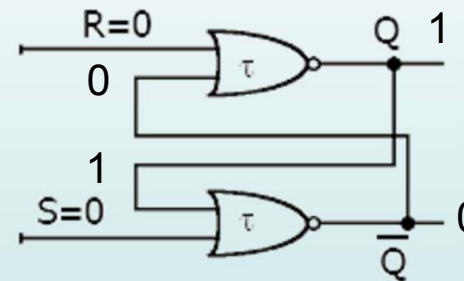
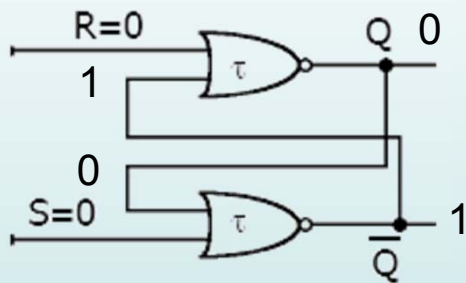
Si $SR=00 \rightarrow$ Se mantienen los valores de Q y Q' que había justo antes de hacerse $SR=00$ (Estado de Hold)



XY	NOR
00	1
01	0
10	0
11	0

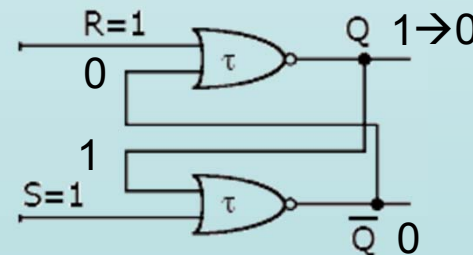
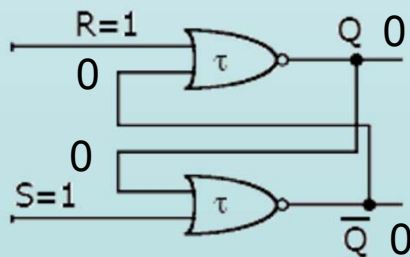
4.2 ELEMENTOS BÁSICOS SECUENCIALES

- Si **SR = 00**: su funcionamiento depende de los valores iniciales de Q y de Q'. Se almacena un bit de información.



XY	NOR
00	1
01	0
10	0
11	0

- Si **SR=11** → El circuito se estabiliza en **Q=0, Q-bar=0** (Estado prohibido)



4.2 ELEMENTOS BÁSICOS SECUENCIALES

- **Tabla de estados:** salidas que se producen para cualquier combinación entrada (tabla verdad).

Tabla de estados				
S	R	Q ^t	Q' ^t	
0	0	Q	Q'	Estado anterior
0	1	0	1	Puesta a 0
1	0	1	0	Puesta a 1
1	1	-	-	No se usa

- **Tabla de excitación:** entradas que hay que proporcionar para obtener un cambio de estado.

Tabla de excitación			
Q ^t	Q ^{t+1}	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

4.2 ELEMENTOS BÁSICOS SECUENCIALES

- Cronograma del Latch SR:

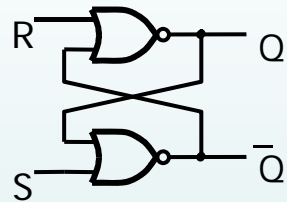
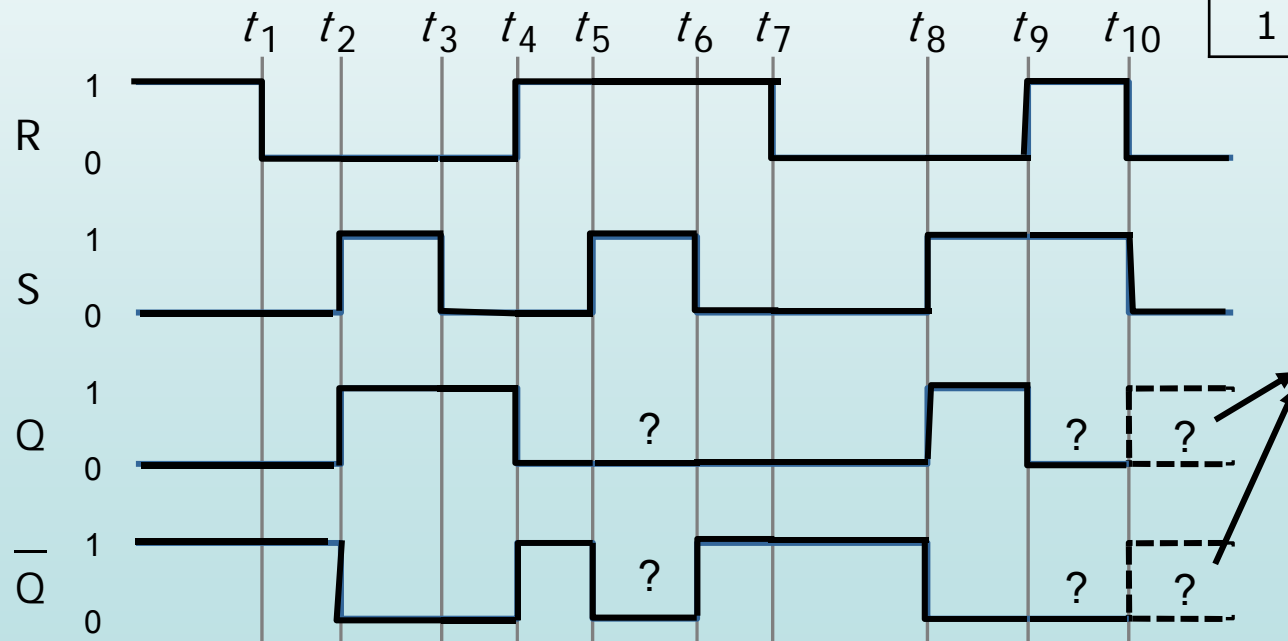


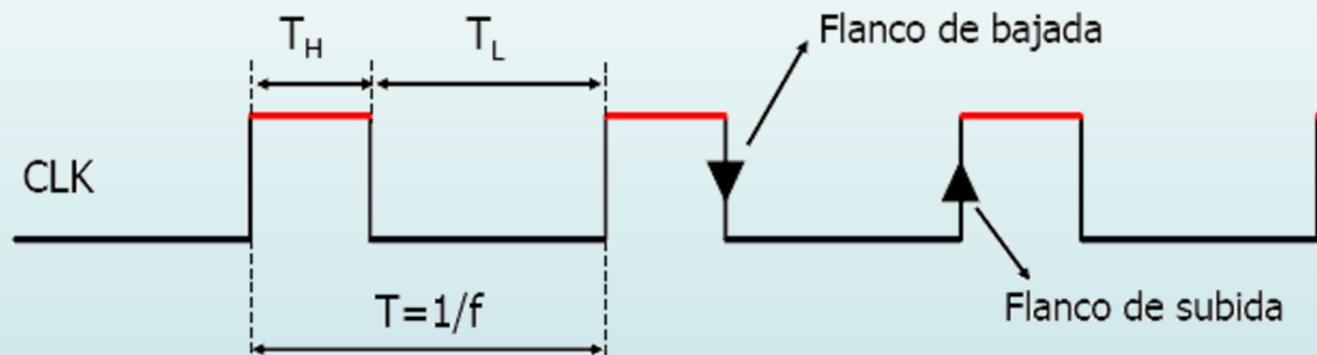
Tabla de estados			
S	R	Q^+	Q'^{+}
0	0	Q	Q'
0	1	0	1
1	0	1	0
1	1	-	-



ESTADO SIGUIENTE
IMPREDECIBLE !!

4.2 ELEMENTOS BÁSICOS SECUENCIALES

- Una **señal de reloj** (Clock – Ck - Clk) es una señal cuadrada periódica que se suele utilizar para sincronizar el comportamiento de la mayoría de los sistemas digitales



T = periodo (s)

f = frecuencia (Hz)

T_H = tiempo a nivel alto

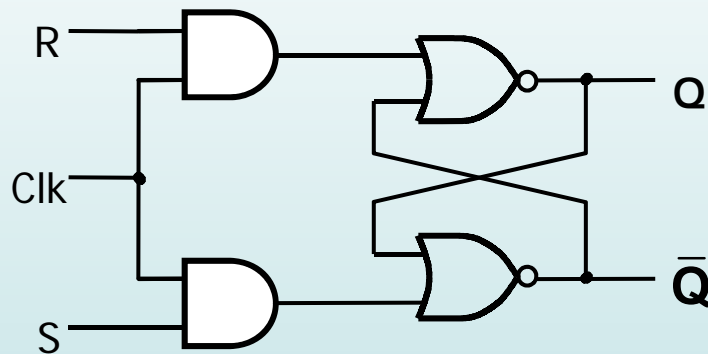
T_L = tiempo a nivel bajo

Rendimiento de ciclo (duty cycle) = $T_H/T \times 100$ (%)

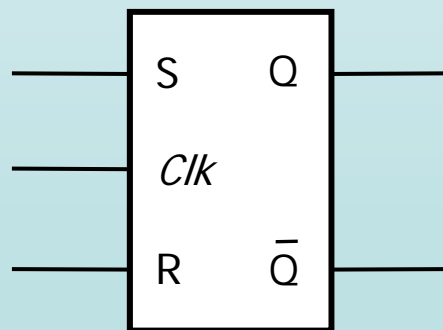


4.2 ELEMENTOS BÁSICOS SECUENCIALES

- **Latch SR sincronizado:** se le añade una tercera entrada, Clk, que habilita o inhabilita el funcionamiento del latch (si Clk=1 funciona como un latch SR).

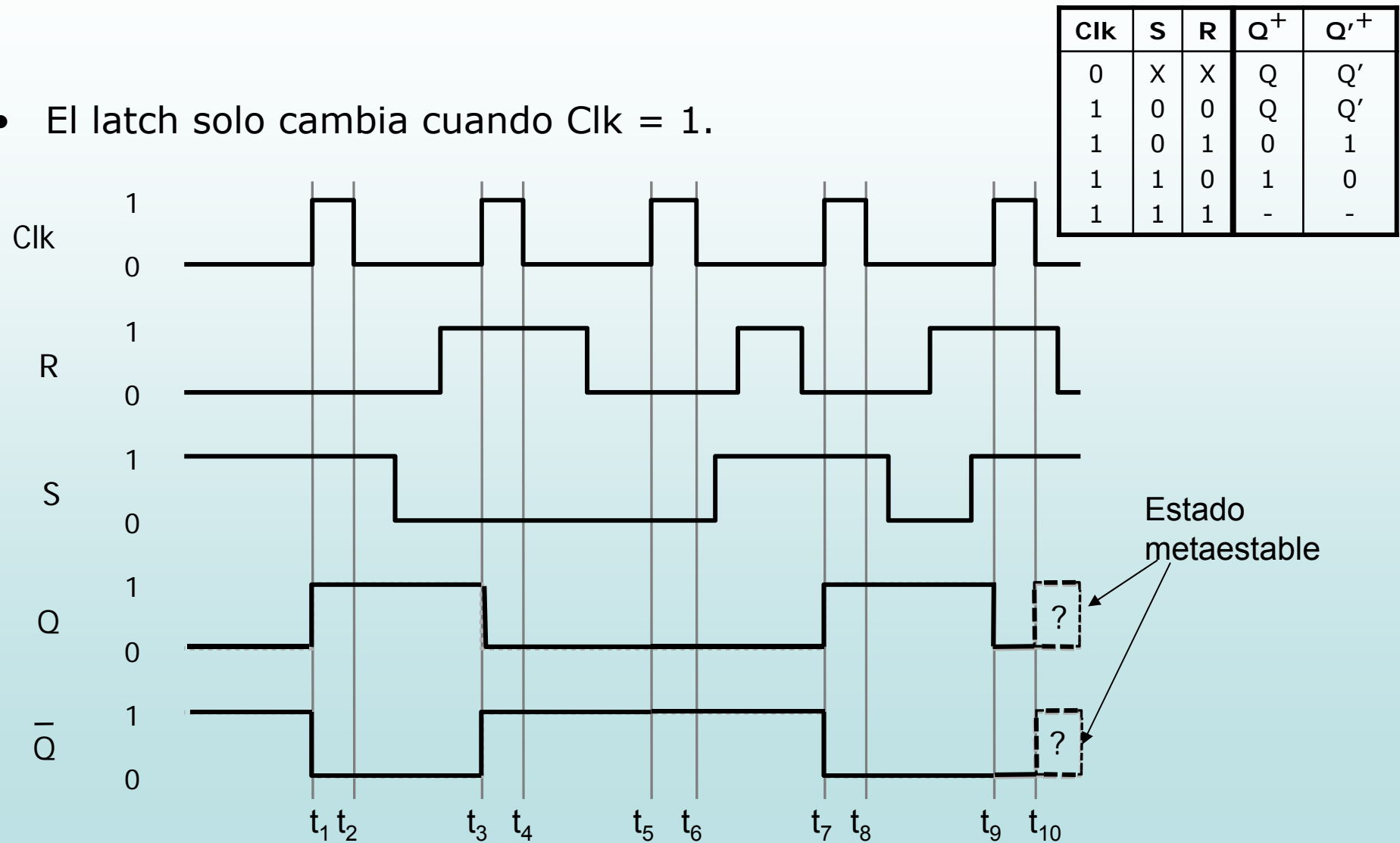


Clk	S	R	Q ⁺	Q' ⁺
0	X	X	Q	Q'
1	0	0	Q	Q'
1	0	1	0	1
1	1	0	1	0
1	1	1	-	-



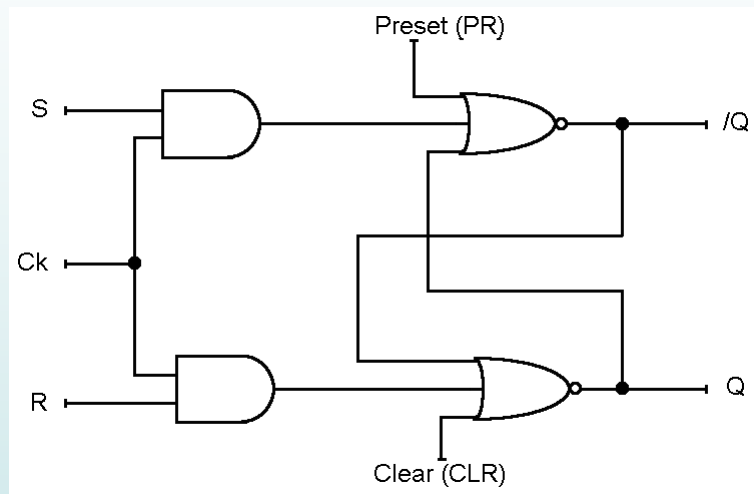
4.2 ELEMENTOS BÁSICOS SECUENCIALES

- El latch solo cambia cuando Clk = 1.

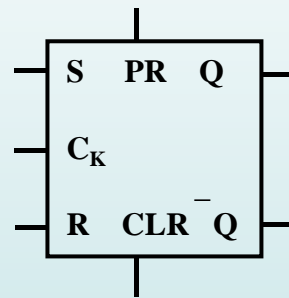


4.2 ELEMENTOS BÁSICOS SECUENCIALES

Circuito

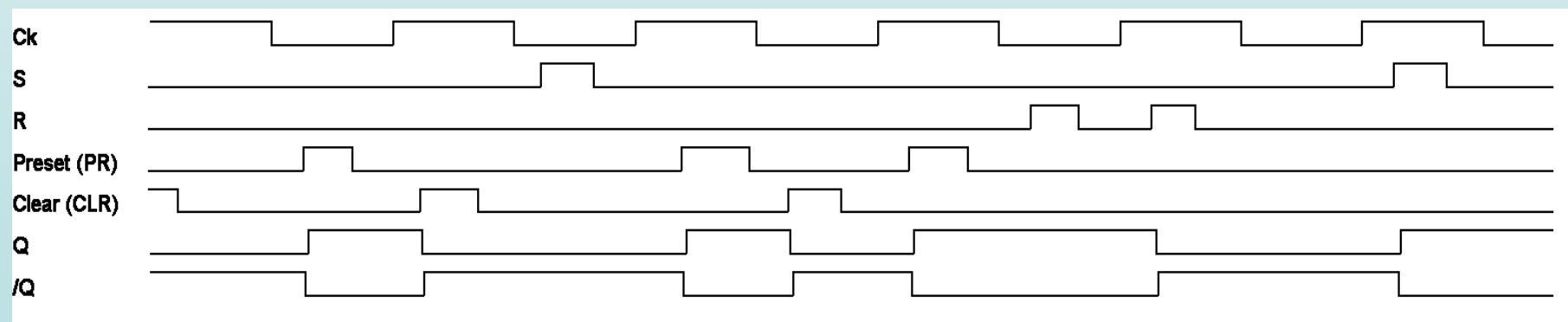


Símbolo



BIESTABLE o
LATCH SR
SÍNCRONO
(Disparado por nivel)
con entradas
ASÍNCRONAS de
Preset y Clear

Cronograma ilustrando su funcionamiento

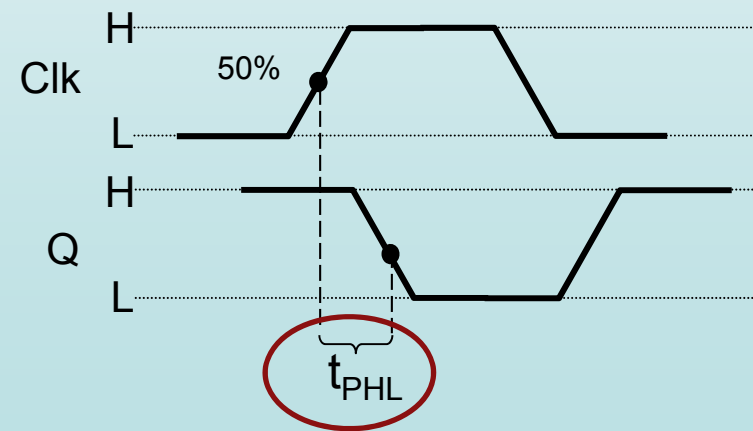
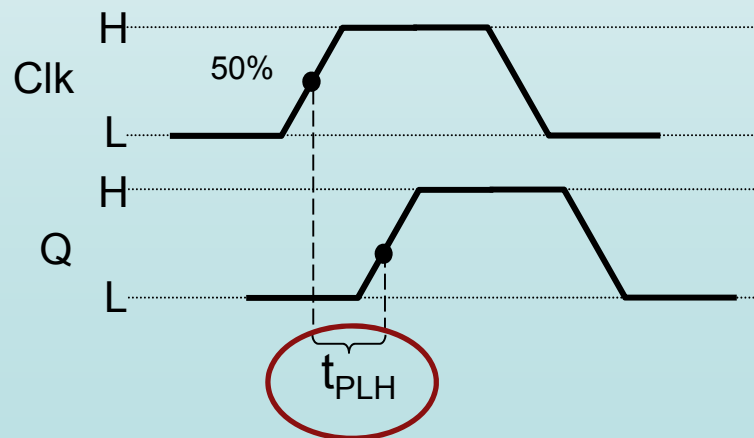


4.2 ELEMENTOS BÁSICOS SECUENCIALES

- Los latches que se habilitan durante todo el tiempo que la señal de control (reloj) vale 1, se denominan latches **disparados por nivel**.
- Mantienen su funcionamiento en todo el tiempo que la señal de reloj está a 1.
- Funcionan como elementos de memoria sólo después del flanco de bajada de la señal de control, manteniendo el estado determinado por la entrada anterior al flanco de bajada de la señal de control.

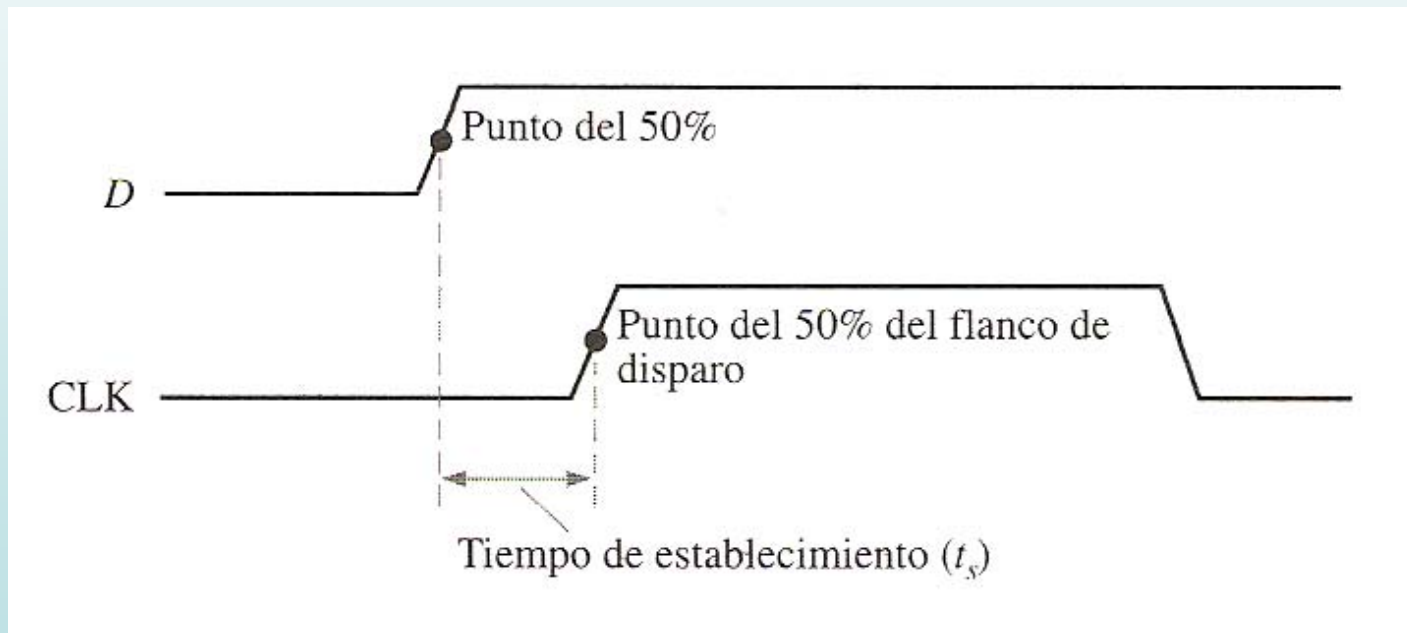
4.2 ELEMENTOS BÁSICOS SECUENCIALES

- **Retardo de propagación, t_p :** tiempo necesario para que se produzca un cambio en la salida tras producirse en cambio en las entradas.
 - **Retardo de propagación t_{PLH}** tiempo desde el disparo de reloj hasta la transición del nivel bajo al alto de la salida ($L \rightarrow H$).
 - **Retardo de propagación t_{PHL}** tiempo desde el disparo de reloj hasta la transición del nivel alto al bajo de la salida ($H \rightarrow L$).



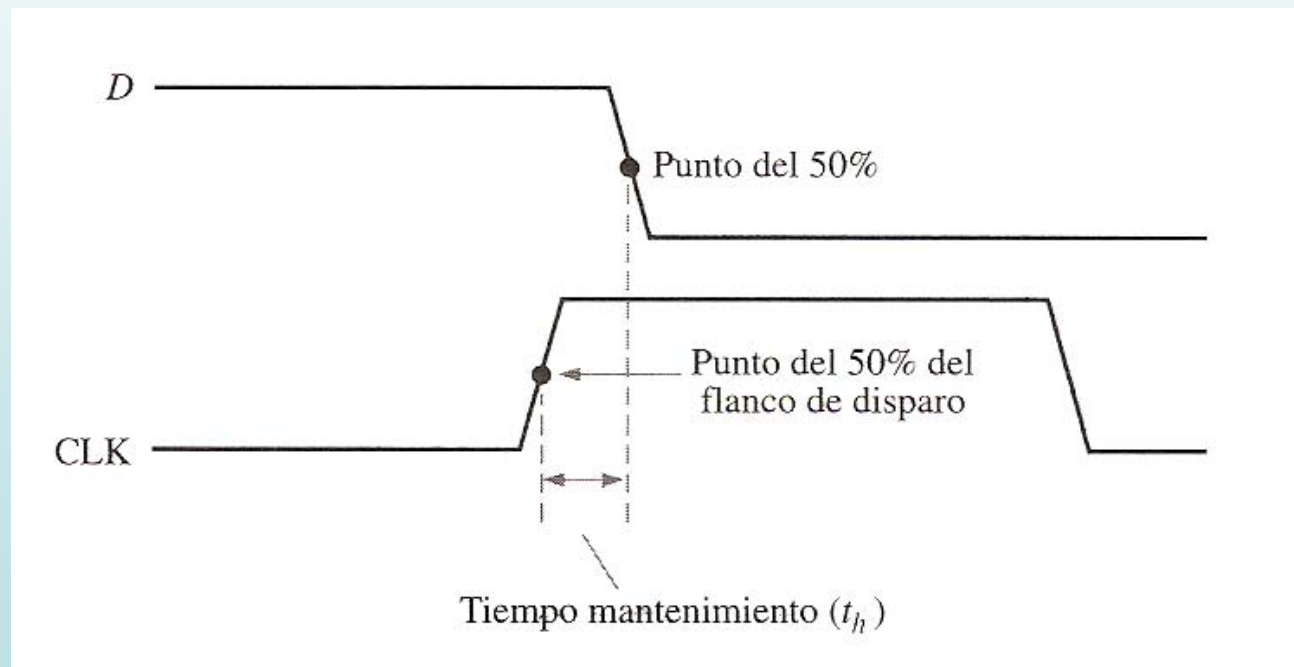
4.2 ELEMENTOS BÁSICOS SECUENCIALES

- **Tiempo de establecimiento** (t_{setup}): intervalo mínimo que los niveles lógicos deben mantenerse constantes en las entradas antes de que llegue el flanco de disparo del reloj.



4.2 ELEMENTOS BÁSICOS SECUENCIALES

- **Tiempo de mantenimiento** (t_{hold}): intervalo mínimo que los niveles lógicos deben mantenerse constantes en las entradas después de que haya pasado el flanco de disparo de la señal de reloj.



4.2 ELEMENTOS BÁSICOS SECUENCIALES

- **Frecuencia máxima de reloj:** velocidad máxima a la que se puede disparar el biestable de manera fiable.
- **Anchura del pulso:** anchura mínima de los impulsos para que funcionen adecuadamente las señales de reloj.
- **Disipación de potencia:** potencia total consumida por el dispositivo.

4.2 ELEMENTOS BÁSICOS SECUENCIALES

BIESTABLE JK SÍNCRONO

(Disparado por nivel)
con entradas ASÍNCRONAS
de Preset y Clear

$$S = \bar{Q} \cdot J ; R = Q \cdot K$$

TABLA TRANSICIÓN
COMPLETA

J	K	Q	Q ⁺
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

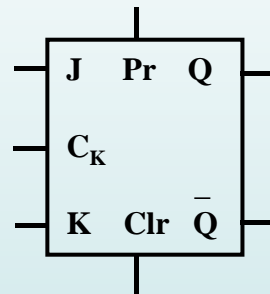


TABLA ABREVIADA

J	K	Q ⁺ (Est. Siguiente)
0	0	Q No cambia
0	1	0 Pone a Cero
1	0	1 Pone a uno
1	1	\bar{Q} Cambia de estado

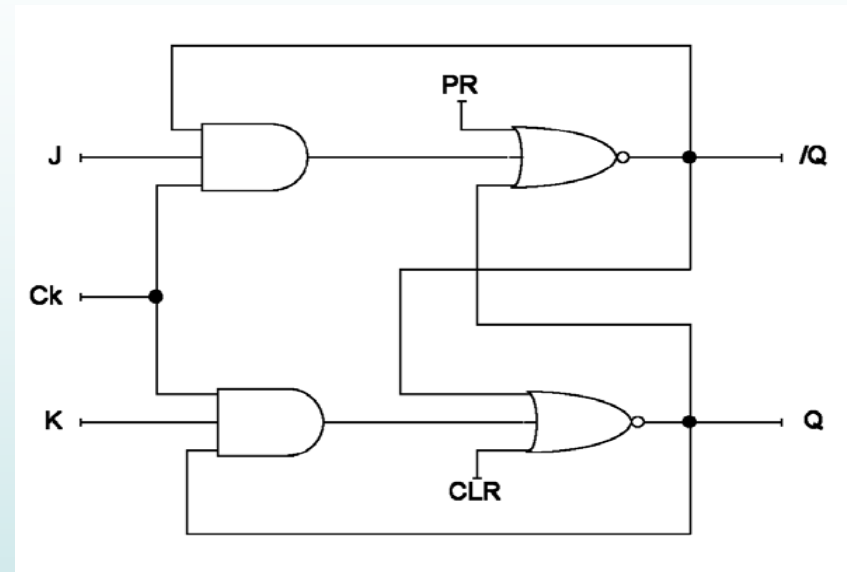


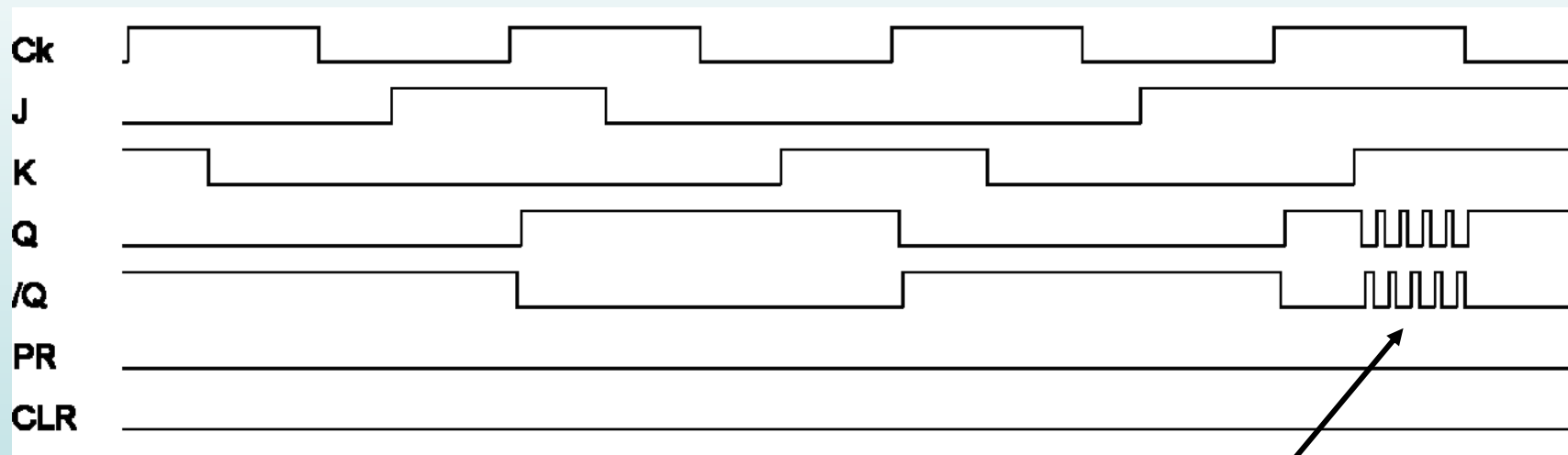
TABLA EXCITACIÓN Ó
INVERSA

Q	Q ⁺	J	K
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

4.2 ELEMENTOS BÁSICOS SECUENCIALES

PROBLEMAS CON LOS BIESTABLES DISPARADOS POR NIVEL

Ejemplo del funcionamiento del biestable JK disparado por nivel



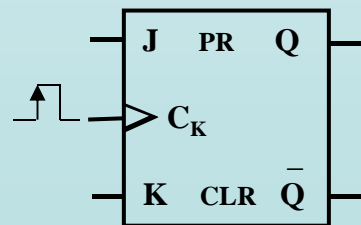
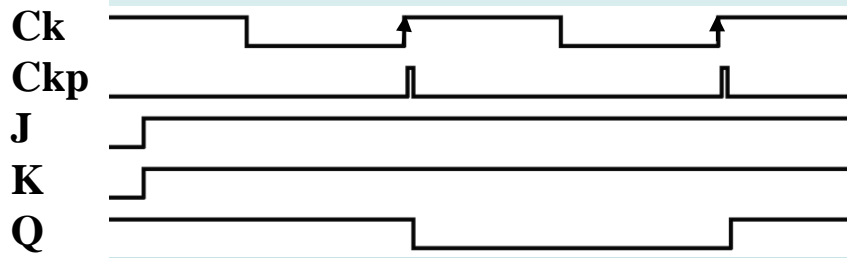
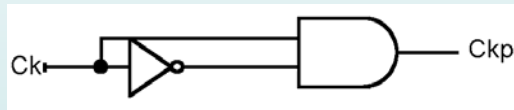
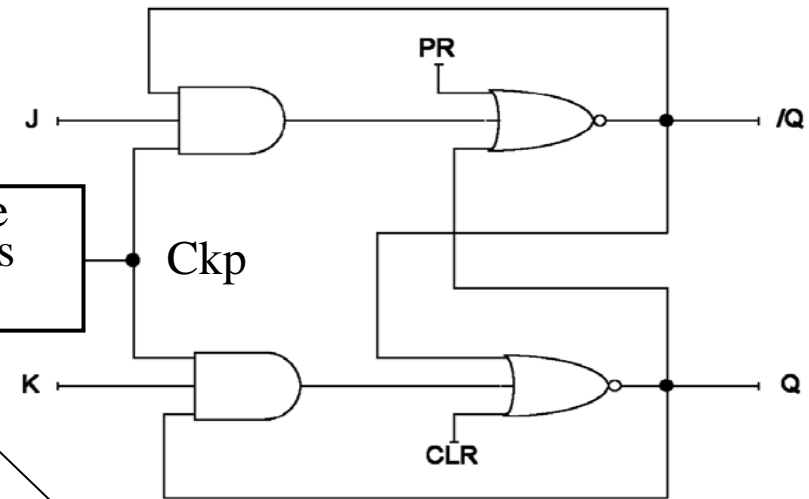
PROBLEMA

4.2 ELEMENTOS BÁSICOS SECUENCIALES

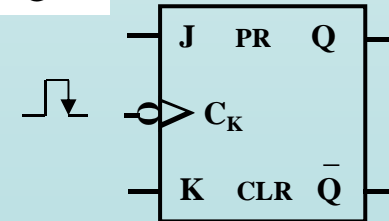
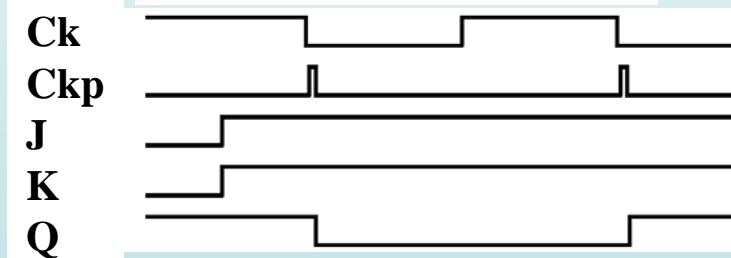
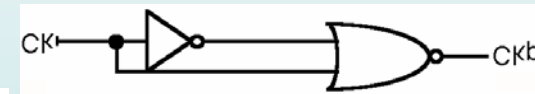
BIESTABLES DISARADOS POR FLANCO

Ejemplos sencillos que se valen de los azares. (Problema con los retardos para controlar la anchura del pulso Ckp)

Ck — **Detector de transiciones de impulso**



Flanco de subida

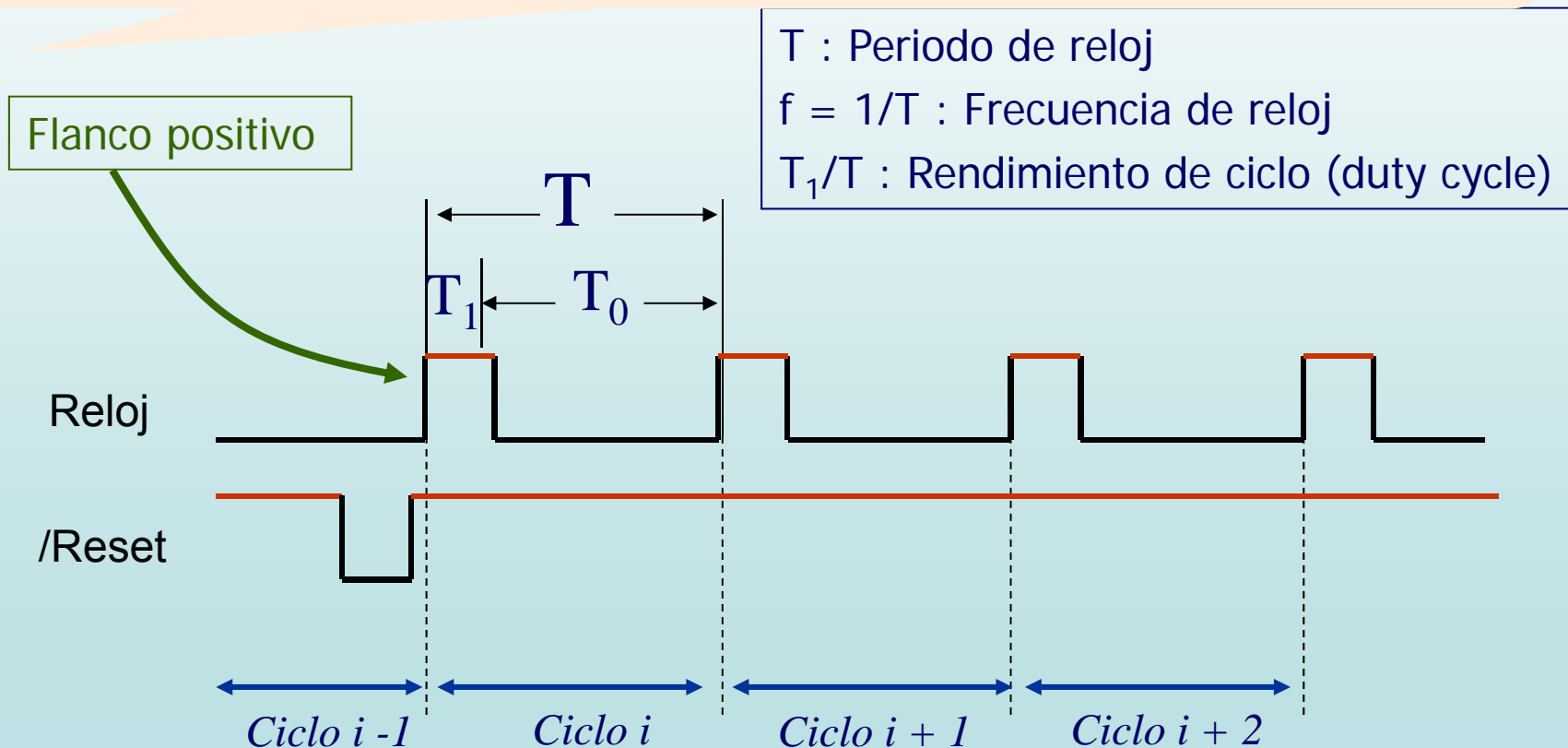


Flanco de bajada

4.2 ELEMENTOS BÁSICOS SECUENCIALES

Señales de temporización.

La mayoría de los sistemas secuenciales son SINCRONOS: los cambios de estado se producen con los flancos de reloj (p.e. en flanco positivo o flanco de subida)

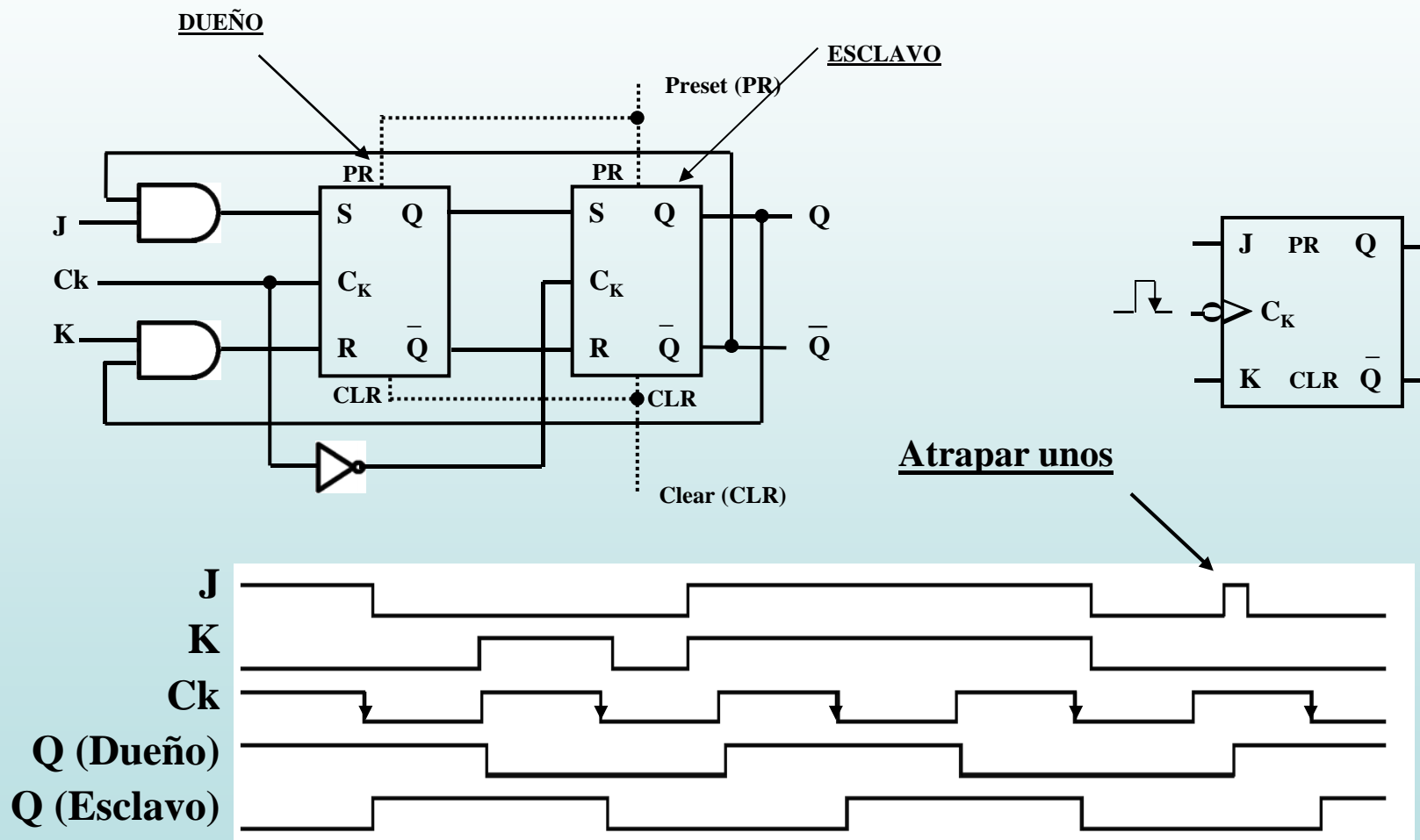


4.2 ELEMENTOS BÁSICOS SECUENCIALES

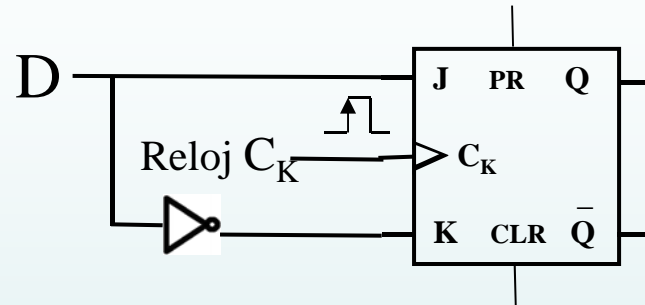
- Un **biestable maestro-esclavo** se implementa utilizando dos biestables disparados por nivel de forma que el maestro está controlado por la señal de reloj y el esclavo por la señal de reloj complementada (nunca están habilitados simultáneamente).
- El **valor de la entrada** se capta en el biestable maestro antes del flanco de subida de la señal de reloj y se transmite al biestable esclavo después de ese flanco de subida.
- Un **flip-flop disparado por flanco** sólo cambia en el flanco de subida (o positivo) o de bajada (o negativo) de la señal de reloj y sus entradas de datos no deben cambiar después del t_{setup} anterior, ni antes del t_{hold} posterior, al flanco de la señal de reloj.

4.2 ELEMENTOS BÁSICOS SECUENCIALES

BIESTABLE “Dueño-Esclavo” (Master-slave)



4.2 ELEMENTOS BÁSICOS SECUENCIALES



Biastable tipo D
(Realizado con un
biastable JK) activo por
flanco de subida.

TABLA COMPLETA

D	Q	Q ⁺
0	0	0
0	1	0
1	0	1
1	1	1

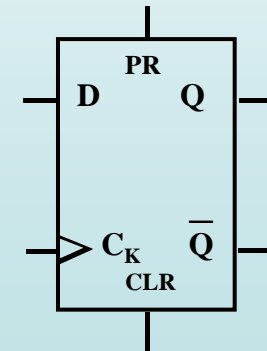
TABLA ABREVIADA

D	Q ⁺
0	0
1	1

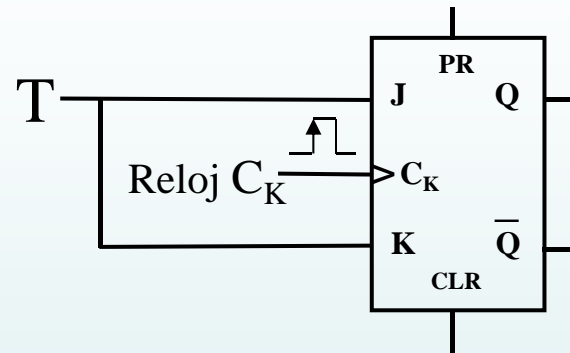
TABLA INVERSA

Q ⁺	D
0	0
1	1

SÍMBOLO



4.2 ELEMENTOS BÁSICOS SECUENCIALES



Biestable tipo T
(Realizado con un
biestable JK) activo por
flanco de subida.

TABLA COMPLETA

T	Q	Q ⁺
0	0	0
0	1	1
1	0	1
1	1	0

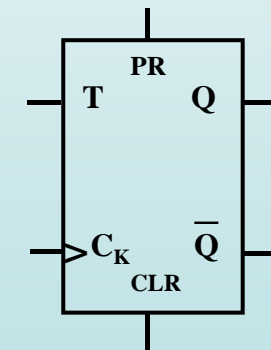
TABLA ABREVIADA

T	Q ⁺ (Est. Siguiete)
0	Q No cambia
1	\overline{Q} Cambia Estado

TABLA INVERSA

Q	Q ⁺	T
0	0	0
0	1	1
1	0	1
1	1	0

SÍMBOLO



4.2 ELEMENTOS BÁSICOS SECUENCIALES

- Implementación de un biestable o Flip-Flop (FF) D

a) A partir de un FF-JK

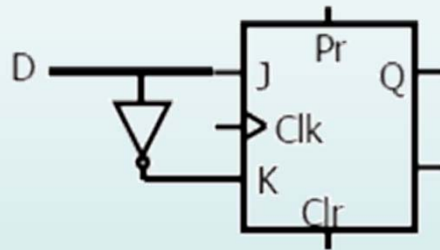


Tabla de estados		
J	K	Q^+
0	0	Q
0	1	0
1	0	1
1	1	Q'

Tabla de estados	
D	Q^+
0	0
1	1

D	$J = D$	$K = D'$	Q^+
0	0	1	0
1	1	0	1

b) A partir de un FF-T

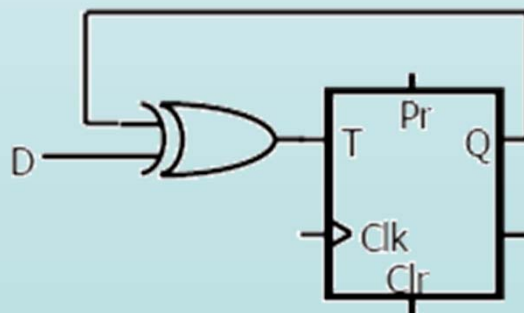


Tabla de estados	
T	Q^+
0	Q
1	Q'

D	Q	$T = D \oplus Q$	Q^+
0	0	0	0
0	1	1	0
1	0	1	1
1	1	0	1

4.2 ELEMENTOS BÁSICOS SECUENCIALES

- Implementación de un biestable o Flip-Flop (FF) T

a) A partir de un FF-JK

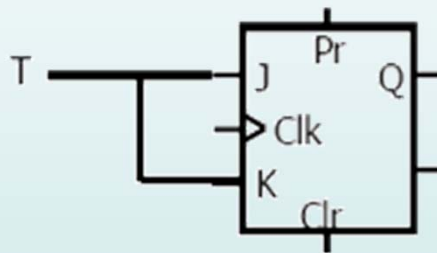


Tabla de estados		
J	K	Q^+
0	0	Q
0	1	0
1	0	1
1	1	Q'

Tabla de estados	
T	Q^+
0	Q
1	Q'

T	$J = T$	$K = T$	Q^+
0	0	0	Q
1	1	1	Q'

b) A partir de un FF-D

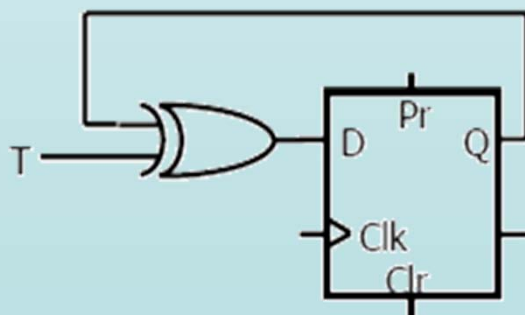


Tabla de estados	
D	Q^+
0	0
1	1

T	Q	$D = T \oplus Q$	Q^+
0	0	0	$0 = Q$
0	1	1	$1 = Q$
1	0	1	$1 = Q'$
1	1	0	$0 = Q'$

4.2 ELEMENTOS BÁSICOS SECUENCIALES: Resumen

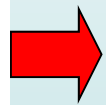
Tabla Abreviada	T. Inversa	Símbolo																				
<table><tr><th>S R</th><th>Q⁺ (Est. Siguiente)</th></tr><tr><td>0 0</td><td>Q No cambia</td></tr><tr><td>0 1</td><td>0 Pone a Cero</td></tr><tr><td>1 0</td><td>1 Pone a uno</td></tr><tr><td>1 1</td><td>* No utilizar</td></tr></table>	S R	Q ⁺ (Est. Siguiente)	0 0	Q No cambia	0 1	0 Pone a Cero	1 0	1 Pone a uno	1 1	* No utilizar	<table><tr><th>Q Q⁺</th><th>S R</th></tr><tr><td>0 0</td><td>0 -</td></tr><tr><td>0 1</td><td>1 0</td></tr><tr><td>1 0</td><td>0 1</td></tr><tr><td>1 1</td><td>- 0</td></tr></table>	Q Q ⁺	S R	0 0	0 -	0 1	1 0	1 0	0 1	1 1	- 0	
S R	Q ⁺ (Est. Siguiente)																					
0 0	Q No cambia																					
0 1	0 Pone a Cero																					
1 0	1 Pone a uno																					
1 1	* No utilizar																					
Q Q ⁺	S R																					
0 0	0 -																					
0 1	1 0																					
1 0	0 1																					
1 1	- 0																					
<table><tr><th>J K</th><th>Q⁺ (Est. Siguiente)</th></tr><tr><td>0 0</td><td>Q No cambia</td></tr><tr><td>0 1</td><td>0 Pone a Cero</td></tr><tr><td>1 0</td><td>1 Pone a uno</td></tr><tr><td>1 1</td><td>Q-bar Cambia de estado</td></tr></table>	J K	Q ⁺ (Est. Siguiente)	0 0	Q No cambia	0 1	0 Pone a Cero	1 0	1 Pone a uno	1 1	Q-bar Cambia de estado	<table><tr><th>Q Q⁺</th><th>J K</th></tr><tr><td>0 0</td><td>0 -</td></tr><tr><td>0 1</td><td>1 -</td></tr><tr><td>1 0</td><td>- 1</td></tr><tr><td>1 1</td><td>- 0</td></tr></table>	Q Q ⁺	J K	0 0	0 -	0 1	1 -	1 0	- 1	1 1	- 0	
J K	Q ⁺ (Est. Siguiente)																					
0 0	Q No cambia																					
0 1	0 Pone a Cero																					
1 0	1 Pone a uno																					
1 1	Q-bar Cambia de estado																					
Q Q ⁺	J K																					
0 0	0 -																					
0 1	1 -																					
1 0	- 1																					
1 1	- 0																					
<table><tr><th>T</th><th>Q⁺ (Est. Siguiente)</th></tr><tr><td>0</td><td>Q No cambia</td></tr><tr><td>1</td><td>Q-bar Cambia Estado</td></tr></table>	T	Q ⁺ (Est. Siguiente)	0	Q No cambia	1	Q-bar Cambia Estado	<table><tr><th>Q Q⁺</th><th>T</th></tr><tr><td>0 0</td><td>0</td></tr><tr><td>0 1</td><td>1</td></tr><tr><td>1 0</td><td>1</td></tr><tr><td>1 1</td><td>0</td></tr></table>	Q Q ⁺	T	0 0	0	0 1	1	1 0	1	1 1	0					
T	Q ⁺ (Est. Siguiente)																					
0	Q No cambia																					
1	Q-bar Cambia Estado																					
Q Q ⁺	T																					
0 0	0																					
0 1	1																					
1 0	1																					
1 1	0																					
<table><tr><th>D</th><th>Q⁺</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	D	Q ⁺	0	0	1	1	<table><tr><th>Q⁺</th><th>D</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	Q ⁺	D	0	0	1	1									
D	Q ⁺																					
0	0																					
1	1																					
Q ⁺	D																					
0	0																					
1	1																					

TEMA 4. ANÁLISIS Y DISEÑO DE SISTEMAS SECUNCIALES.

CONTENIDOS:

4.1. Concepto de sistema secuencial.

4.2. Elementos básicos secuenciales.



4.3. Componentes secuenciales estándar.

4.4. Análisis de un sistema secuencial.

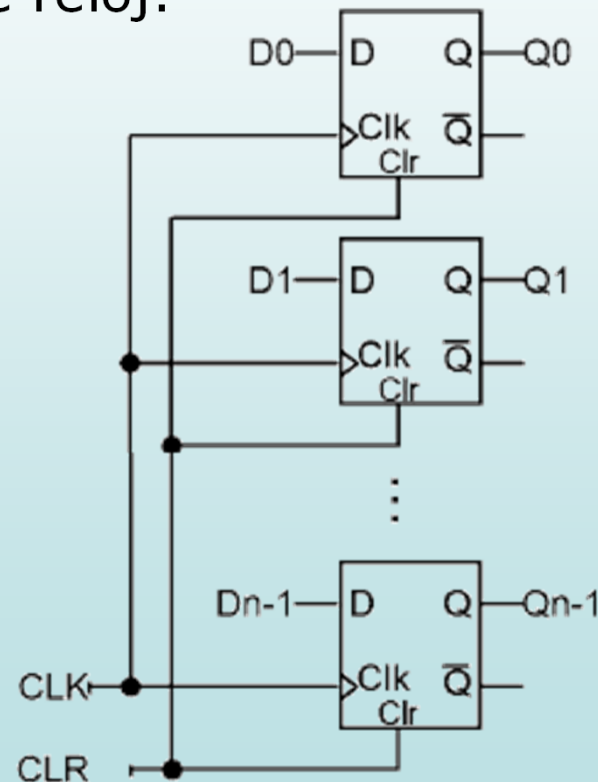
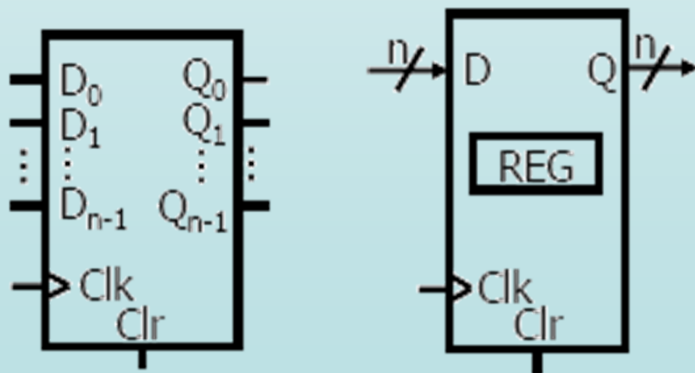
4.5. Diseño de un sistema secuencial.

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.

- Un **registro básico de n bits** es una asociación de n flip-flops tipo D (FF-D) en paralelo, todos ellos compartiendo la misma señal de reloj.

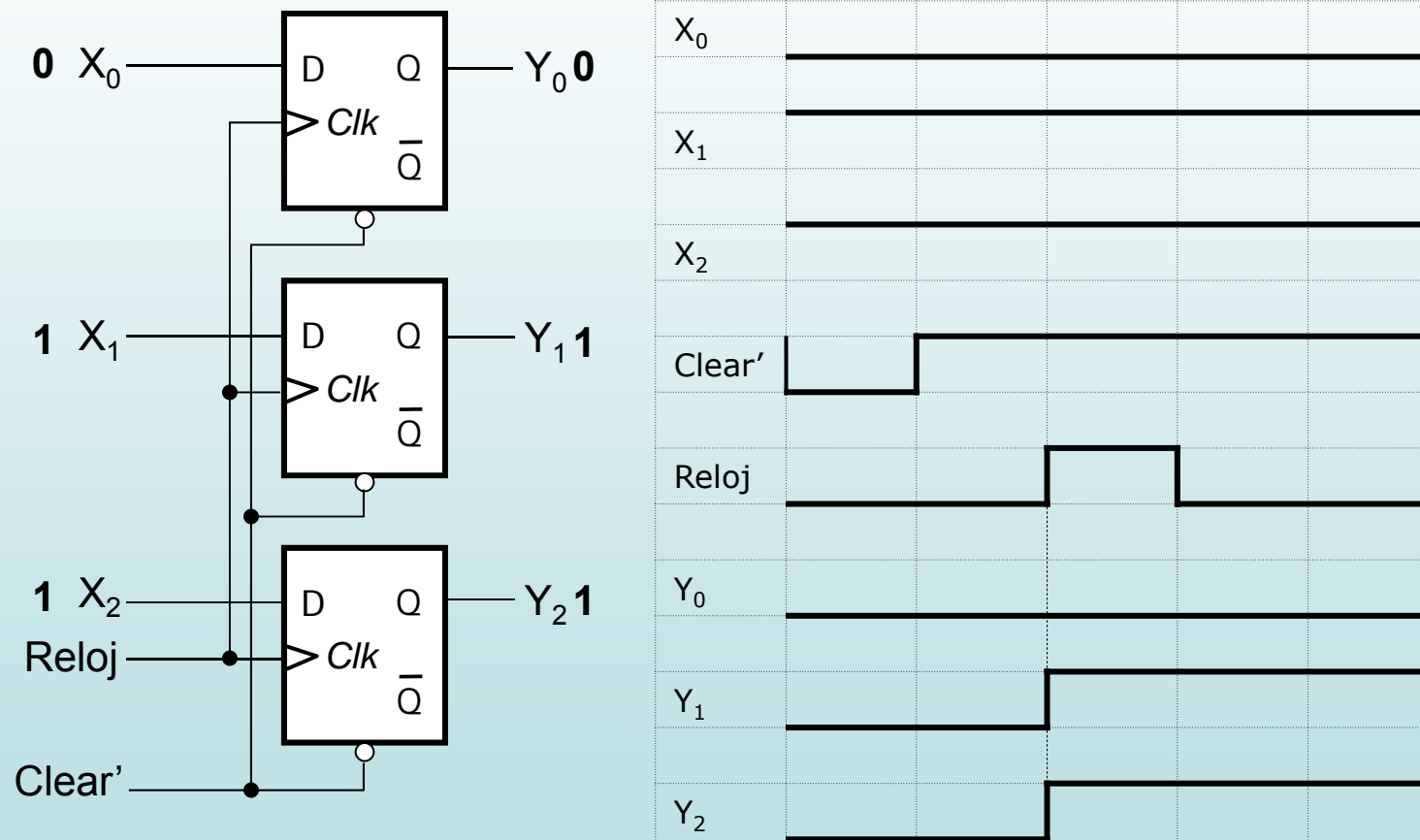
Cuando $CLR=0$ y en el flanco de subida de la señal de reloj el valor de D_i aparecerá en Q_i .

Posibles símbolos:





4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.

- Registro básico con carga paralela de datos de 3 bits.

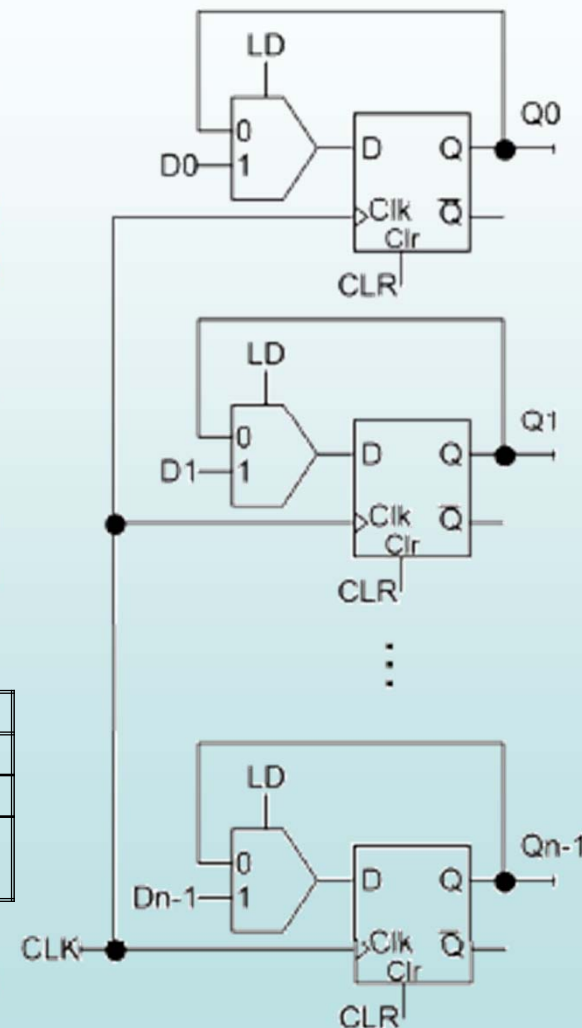


4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.

- Los registros suelen tener una **señal o carga (LOAD)** para decidir cuando se cargan los datos. Es un **registro con carga en paralelo con señal de habilitación**.
 - Cuando LD=0, mantiene el valor que tuviera anteriormente.
 - Cuando LD=1, a la salida se carga lo que haya a la entrada, tras el pulso de reloj.

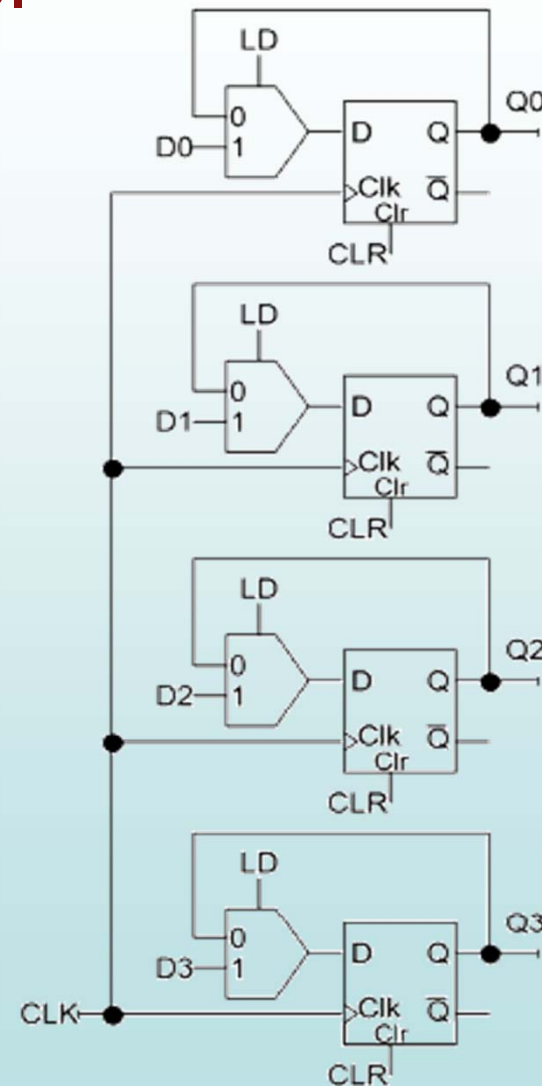
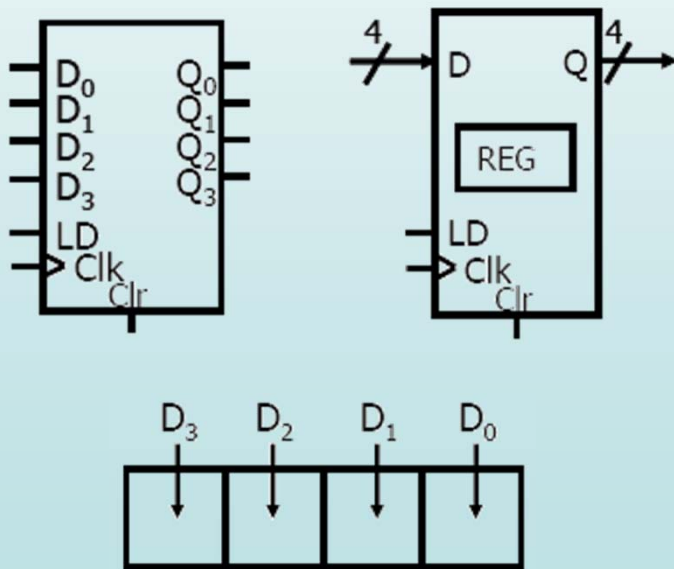
Clk	Clr	LD	ACCIÓN REGISTRO
-	1	-	$Q = 0$
	0	0	MANTIENE VALOR (HOLD)
	0	1	CARGA SÍNCRONA PARALELO $Q \leftarrow D$

Por tanto, con LD se controla cuando se cargan los datos de la entrada



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.


- Ejemplo: Registro de 4 bits con señal de carga síncrona en paralelo.

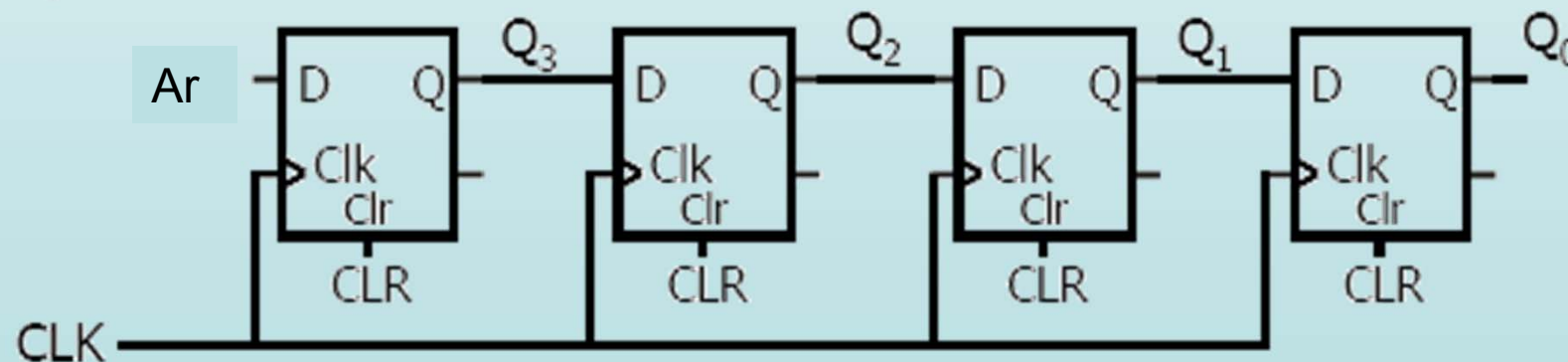


4.3 COMPONENTES SECUENCIALES ESTÁNDAR REGISTROS.

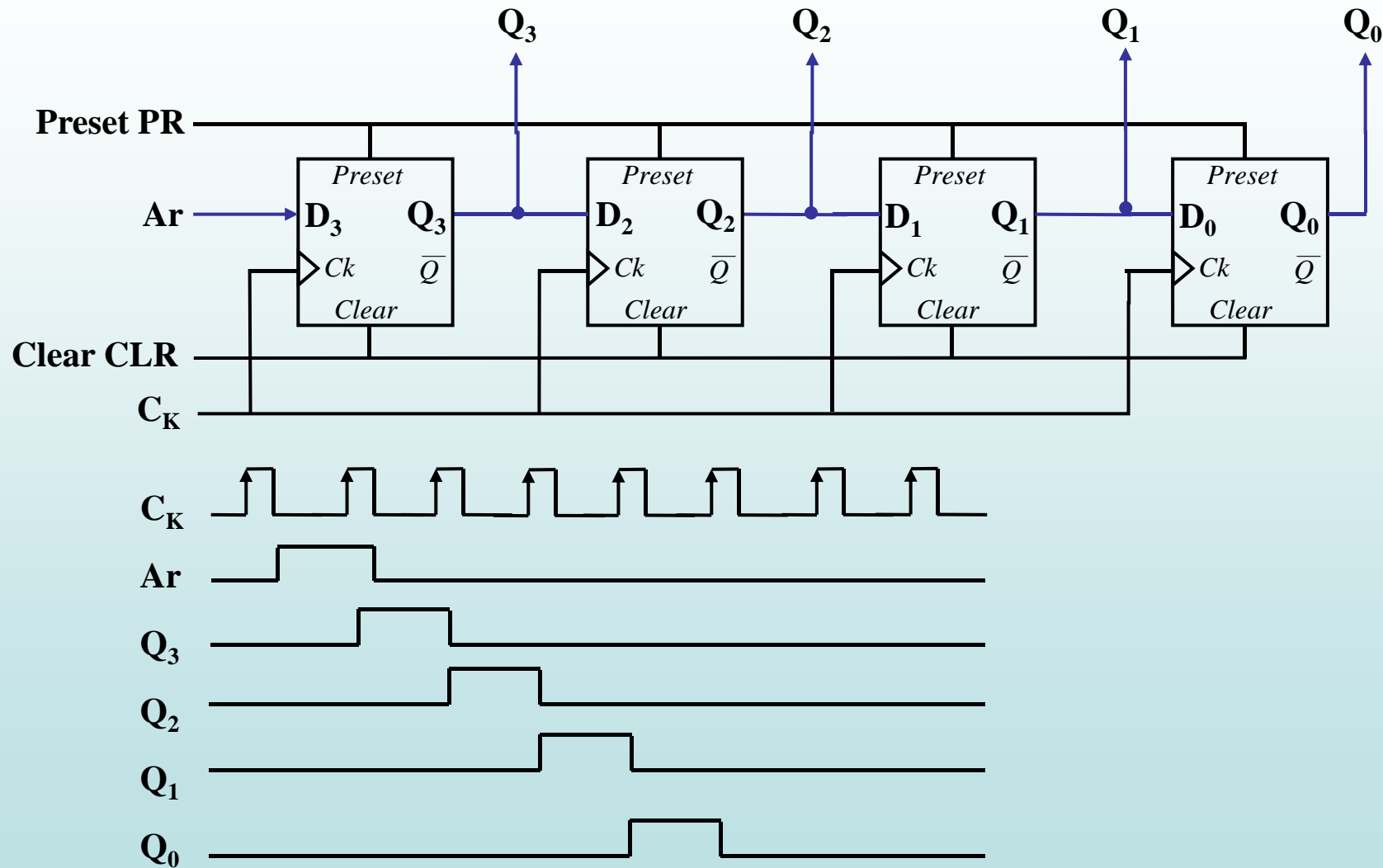
- Un **registro de desplazamiento básico de n bits (Shift Register - SHR)** es una asociación de n biestables tipo D (FF-D) en serie, compartiendo la misma señal de reloj.

- Ejemplo:** SHR-4 bits básico.

Clk	Clr	ACCIÓN REGISTRO
-	1	$Q = 0$
	0	DESPLAZAMIENTO A DERECHA $Q \leftarrow \text{SHR}(Q, A_r), Q_i \leftarrow Q_{i+1}, Q_3 \leftarrow A_r$

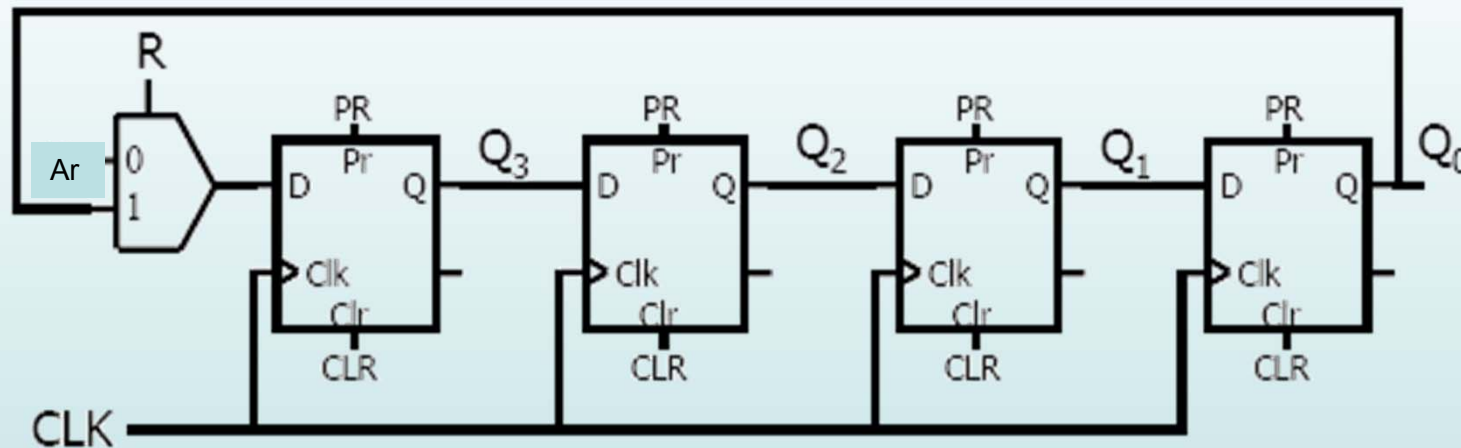


4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.

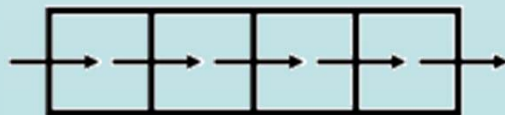


4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.

- Registro Desplazador/Rotador de 4 bits:



Si $R=0$, Desplaza a la derecha



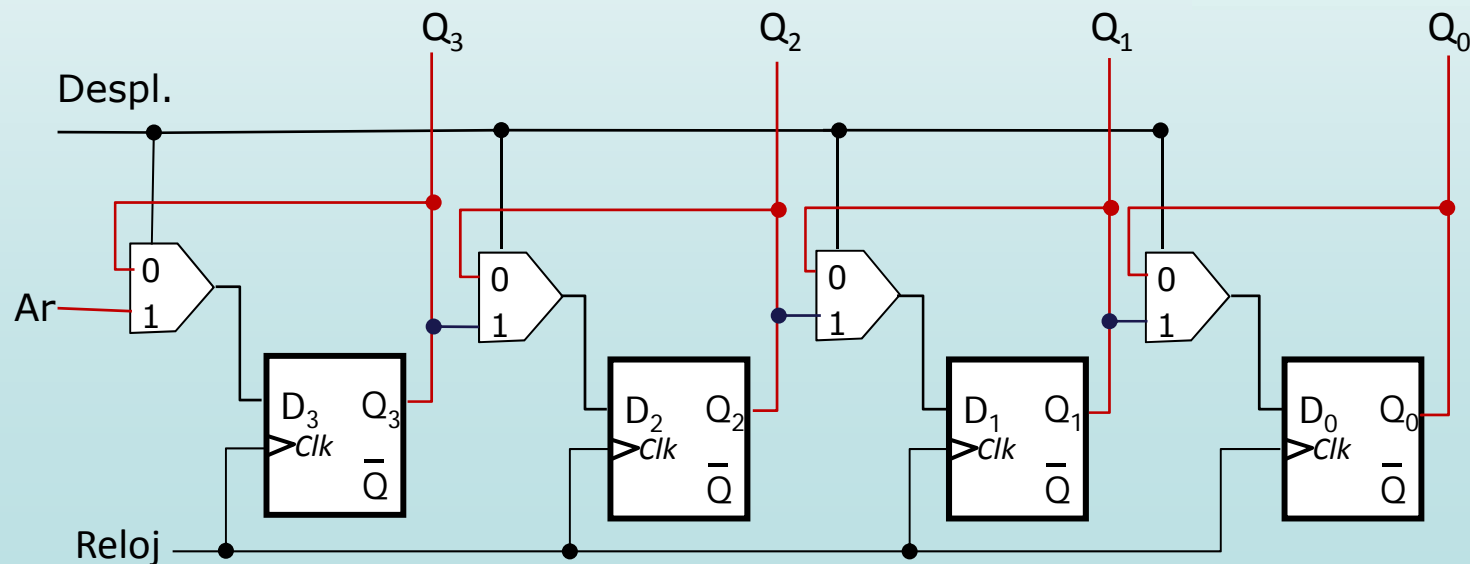
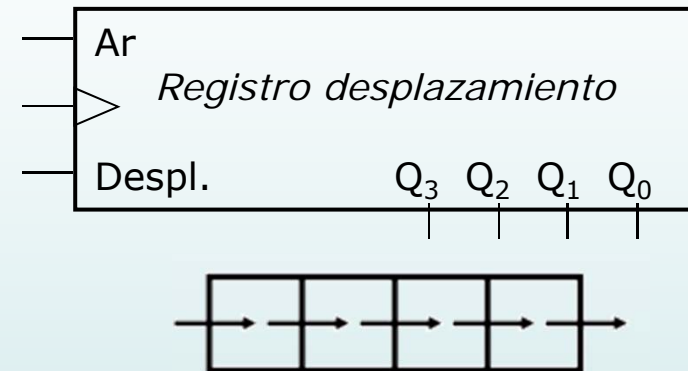
Si $R=1$, Rota a la derecha



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.

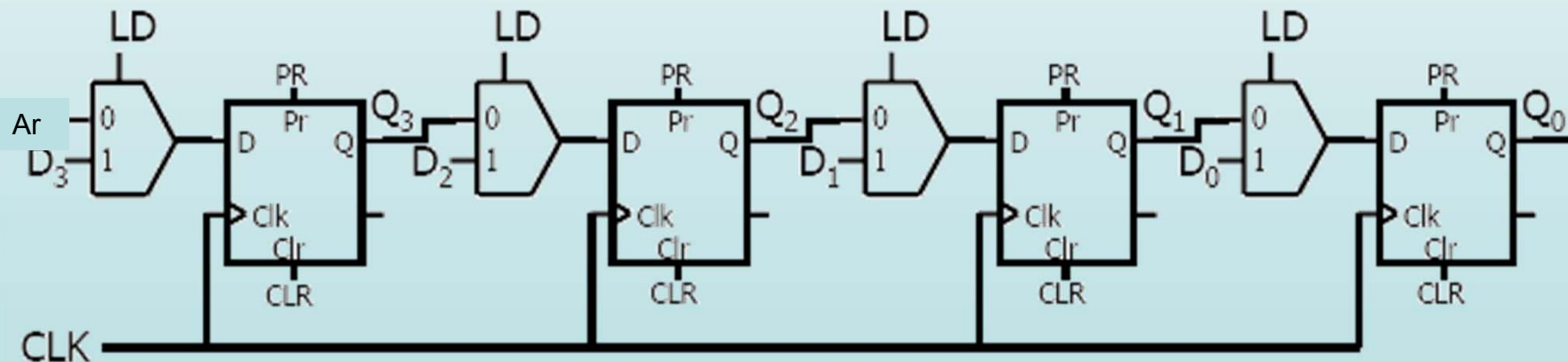
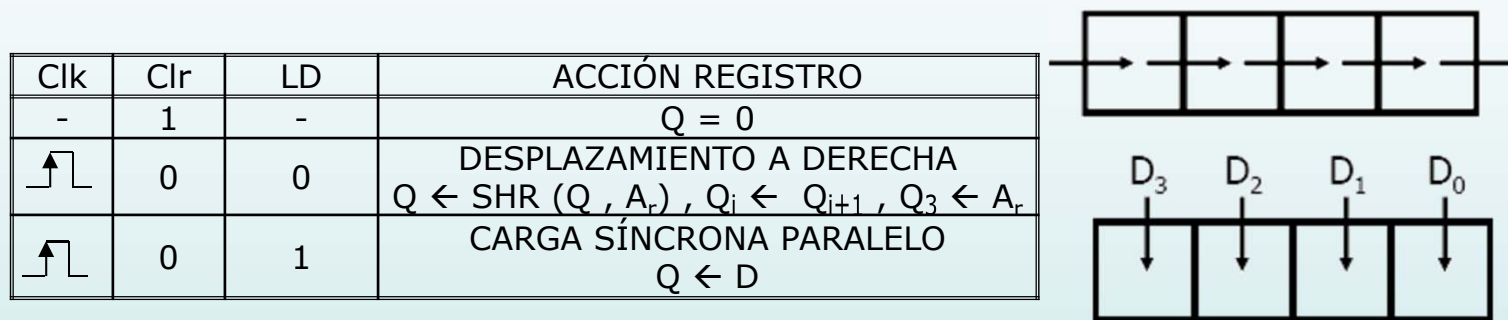
- **Registro de desplazamiento a la derecha con entrada serie y salida paralelo de 4 bits.**

Clk	Clr	Despl.	ACCIÓN REGISTRO
-	1	-	$Q = 0$
	0	0	MANTIENE VALOR (HOLD)
	0	1	DESPLAZAMIENTO A DERECHA $Q \leftarrow \text{SHR}(Q, A_r)$, $Q_i \leftarrow Q_{i+1}$, $Q_3 \leftarrow A_r$

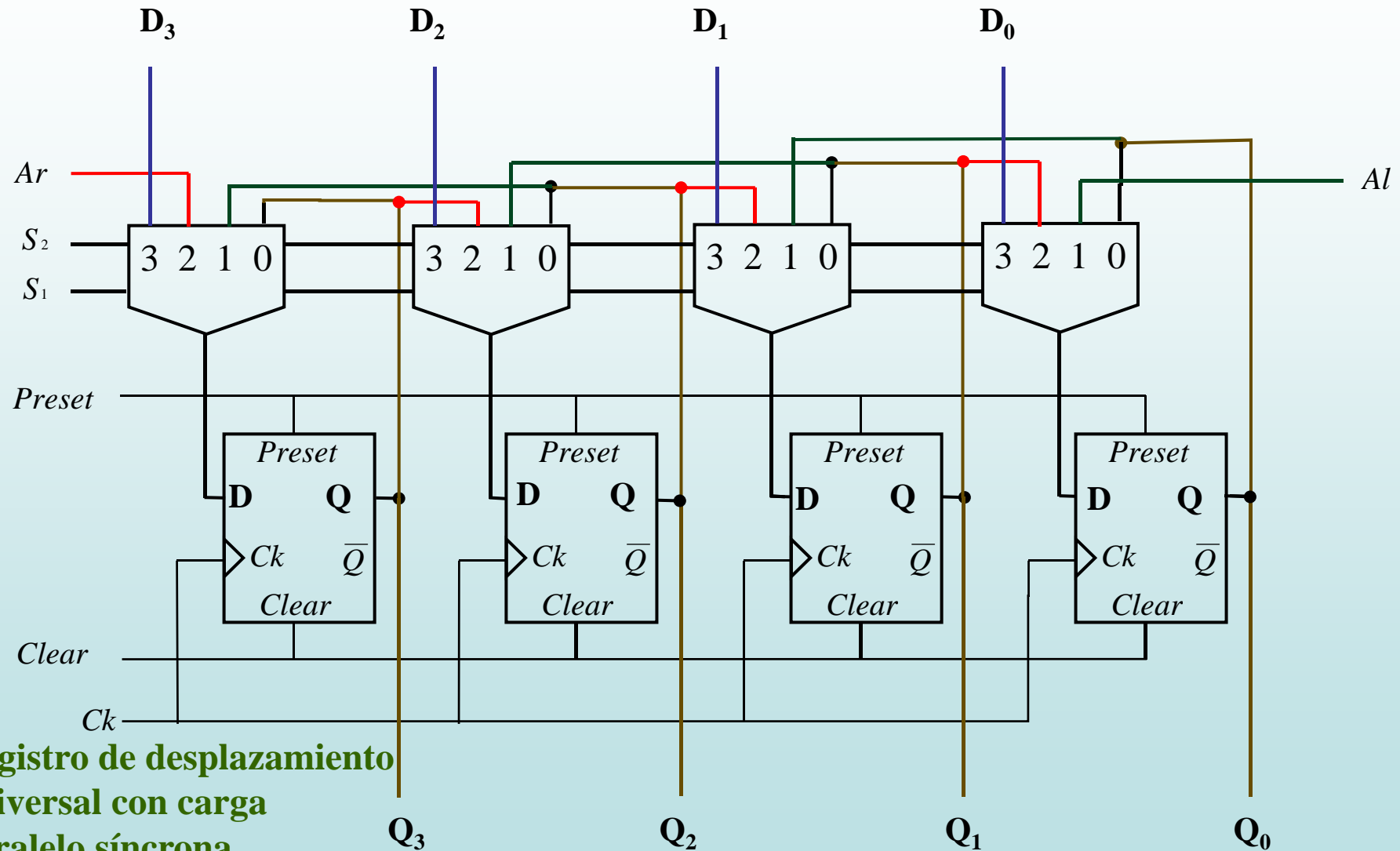


4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.

- Registro de desplazamiento de 4 bits con carga paralela:



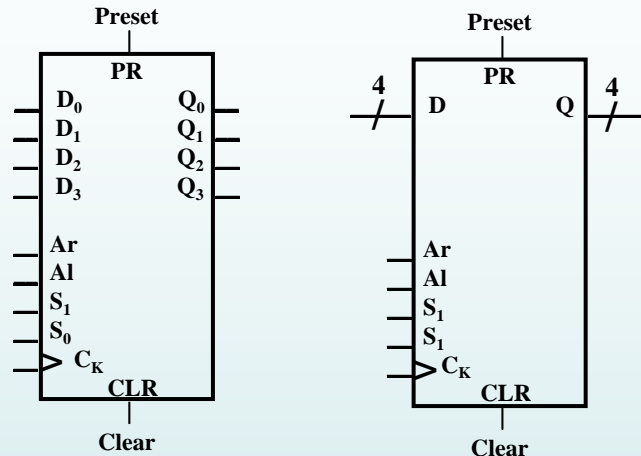
4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.



**Registro de desplazamiento
universal con carga
paralelo síncrona.**

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.

Símbolos

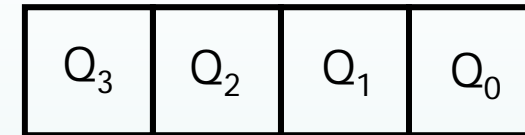


C_K	CLR	PR	$S_1 S_0$	Salidas (Q_i)
-	1	0	-	$Q_i = 0$
-	0	1	-	$Q_i = 1$
	0	0	0 0	Hold (no cambia)
	0	0	0 1	Desplaza a izquierda
	0	0	1 0	Desplaza a derecha
	0	0	1 1	$Q_i = D_i$ Carga Paralelo

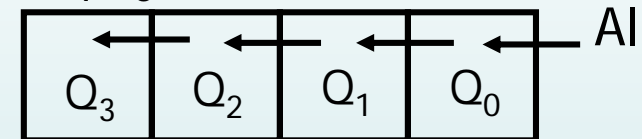
: Flanco de subida

**Registro de desplazamiento universal
con señal de carga síncrona.**

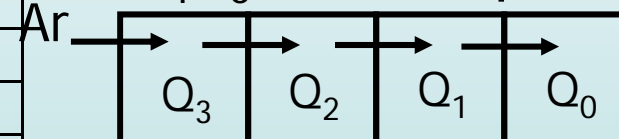
$S_1 S_0 = 00$ (Hold)



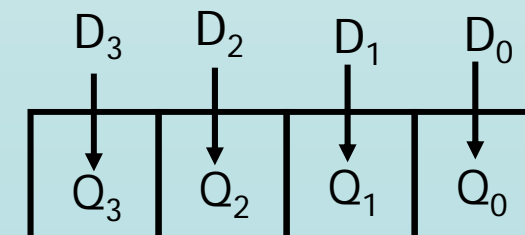
$S_1 S_0 = 01$ Desp. Izq



$S_1 S_0 = 10$ Desp. Der.

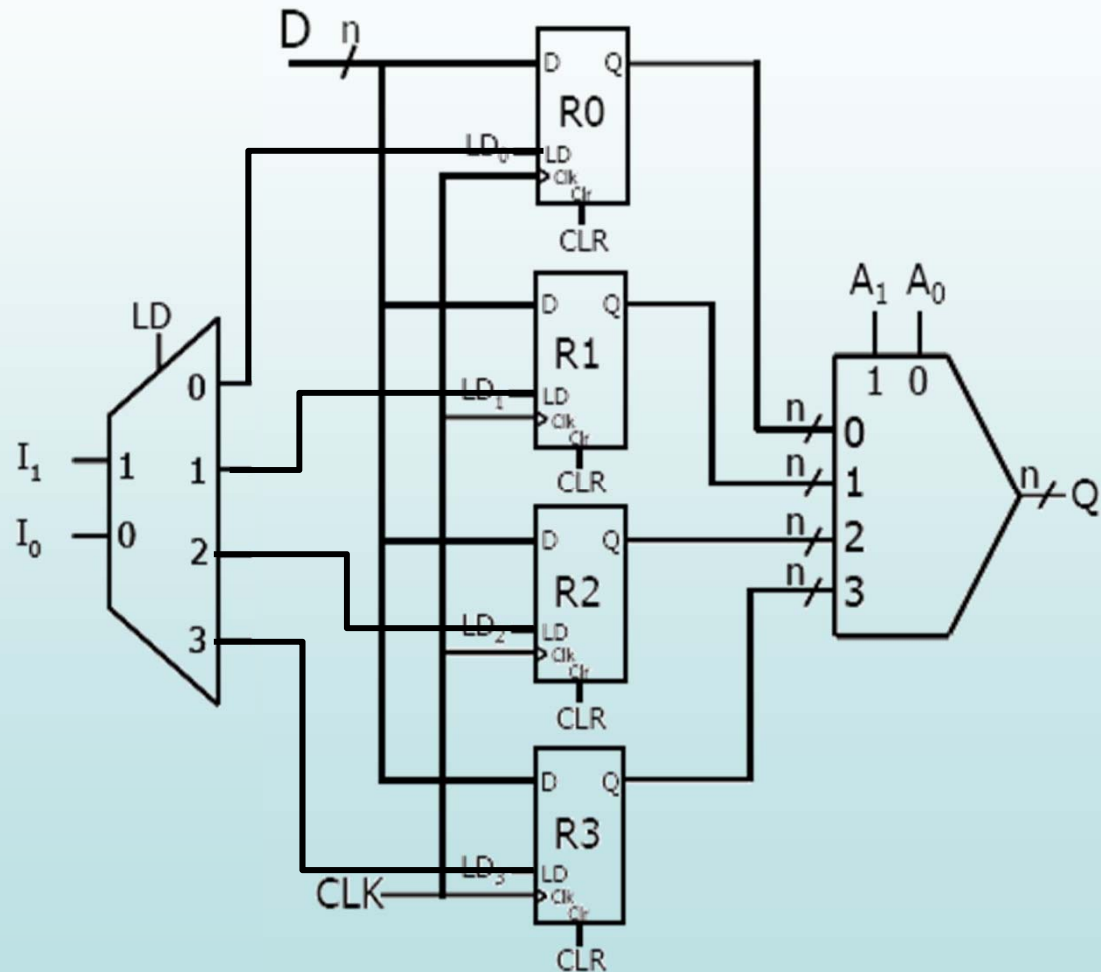


$S_1 S_0 = 11: Q_i^+ = D_i$

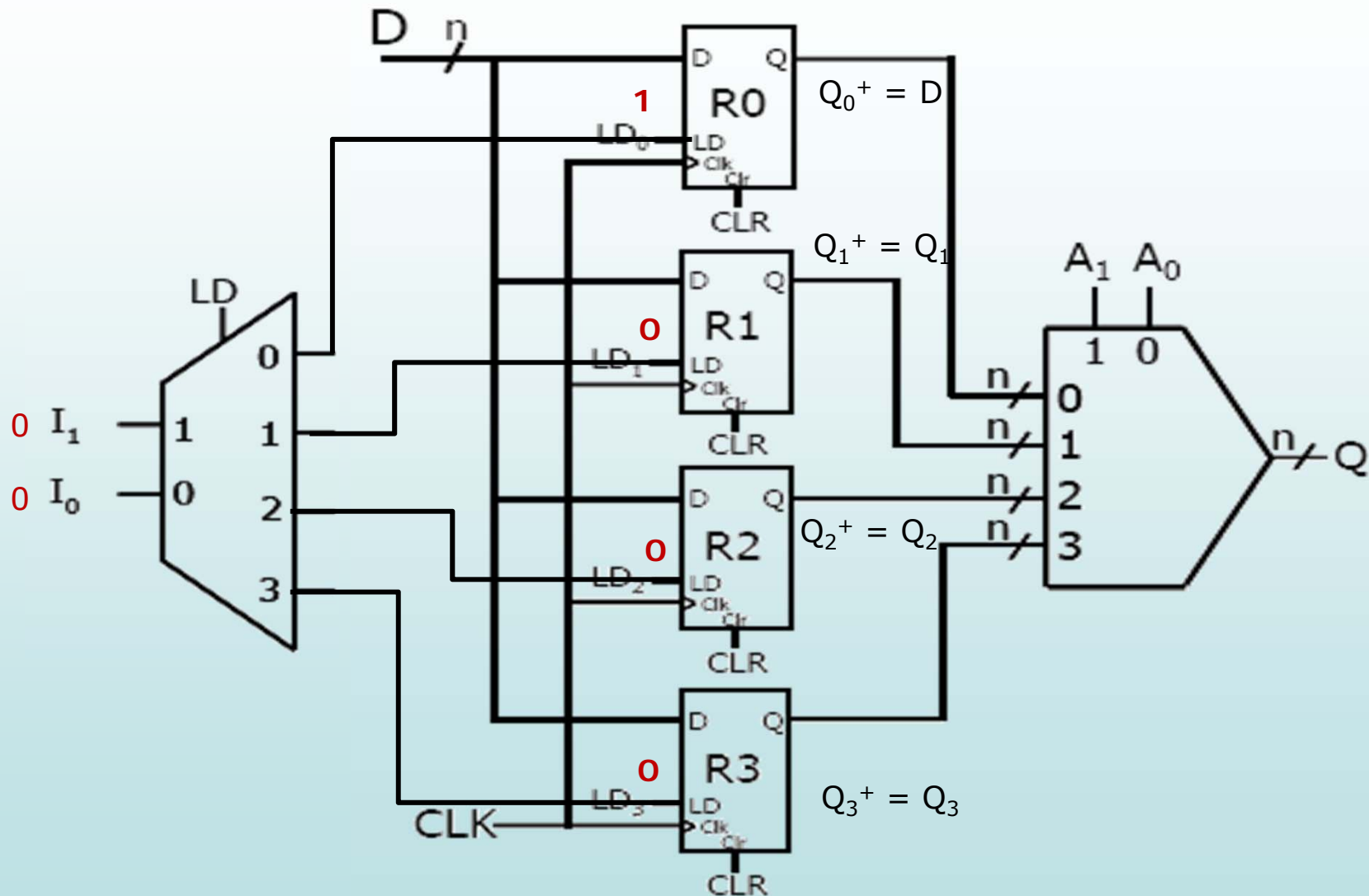


4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.

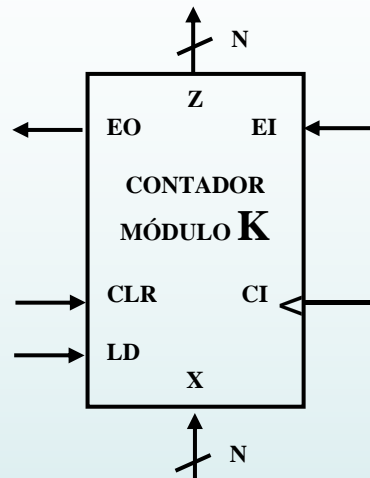
- Un **banco de registros** es un conjunto de registros que comparten, además de la misma señal de reloj, las mismas líneas de entrada y de salida.
- Banco de 4 Registros de n bits con un puerto de lectura y otro de escritura



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. REGISTROS.



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.



EI Entrada de habilitación de conteo

EO Salida de acarreo

CLR Puesta a cero

LD Carga paralelo

CI Entrada de pulsos a contar

$Z = (Z_{N-1} Z_{N-2} \dots Z_0)$

Número de la cuenta

$X = (X_{N-1} X_{N-2} \dots X_0)$

Entrada de datos en carga paralelo

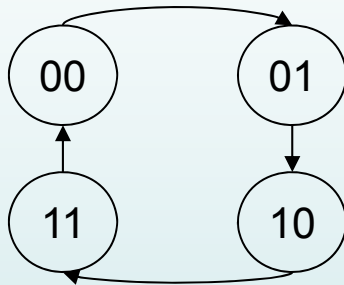
Contador genérico

- K** - Representa el número de estados por los que pasa el contador (módulo del contador)
- Si $K=2^N$ se dice que el contador es binario.
- Si la cuenta se incrementa cuando llega un pulso en **CI** el contador es ascendente y si la cuenta se decrementa se dice que es descendente
- En un contador decimal: **K=10** y **N=4**

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

- Contador síncrono ascendente módulo 4:

1. Diagrama de estados



2. Tabla de estados

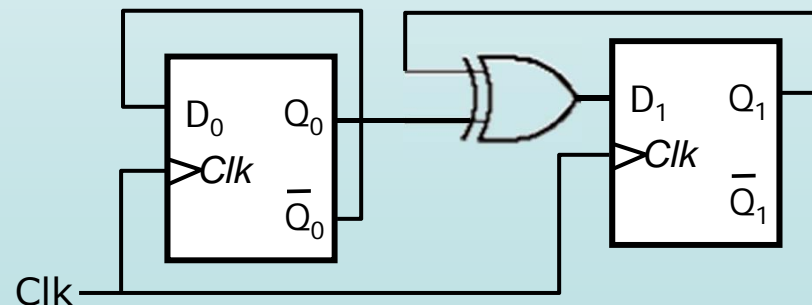
$Q_1 Q_0$	$Q_1^+ Q_0^+$
00	01
01	10
10	11
11	00

3. Tabla de excitación: $D=Q+$

$Q_1 Q_0$	$Q_1^+ Q_0^+ \equiv D_1 D_0$
00	01
01	10
10	11
11	00

$$D_1 = Q_1 \oplus Q_0$$
$$D_0 = Q_0'$$

4. Implementación:

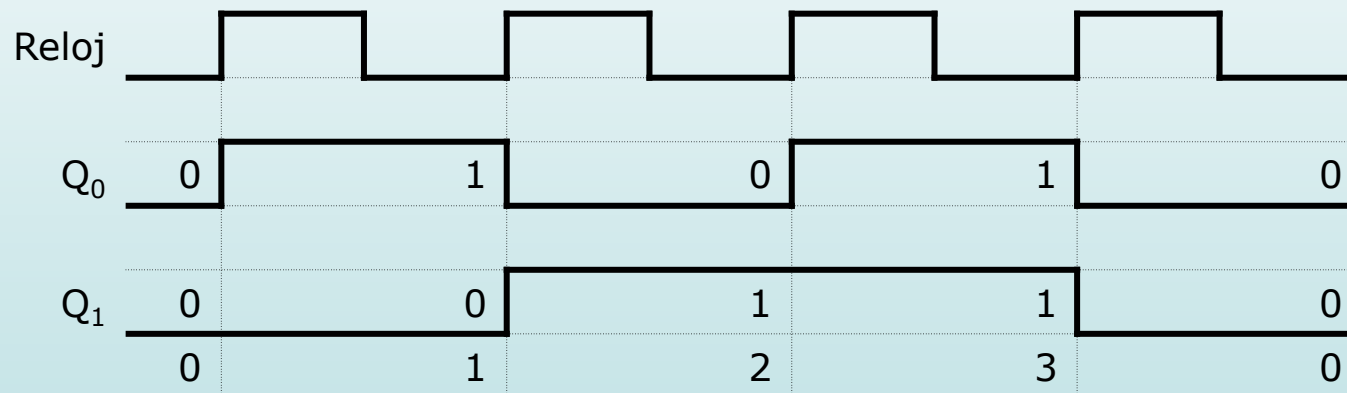


4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

– Cronograma:

$$Q_1^+ = D_1 = Q_1 \oplus Q_0$$

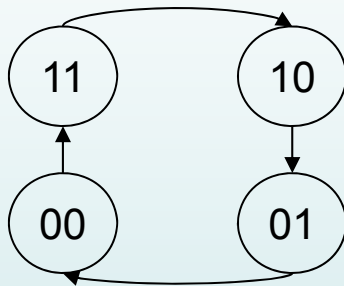
$$Q_0^+ = D_0 = Q_0'$$



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

- Contador síncrono descendente módulo 4:

1. Diagrama de estados



2. Tabla de estados

$Q_1 Q_0$	$Q_1^+ Q_0^+$
00	11
01	00
10	01
11	10

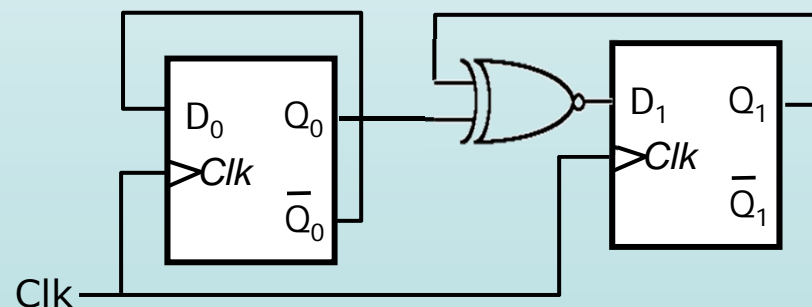
3. Tabla de excitación: $D=Q^+$

$Q_1 Q_0$	$Q_1^+ Q_0^+ \equiv D_1 D_0$
00	11
01	00
10	01
11	10

$$D_1 = (Q_1 \oplus Q_0)'$$

$$D_0 = Q_0'$$

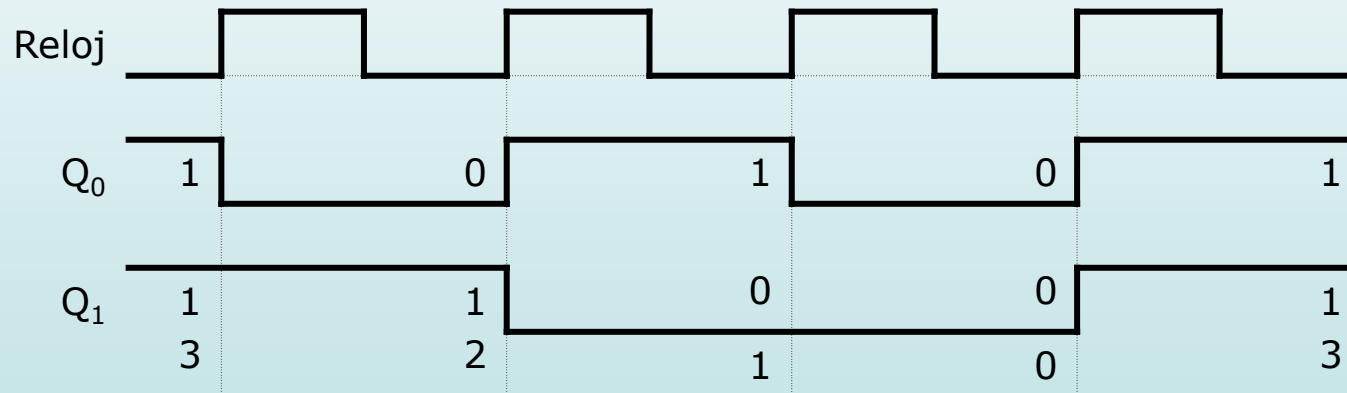
4. Implementación:



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

- Cronograma: el estado inicial es 11 (FF a SET)

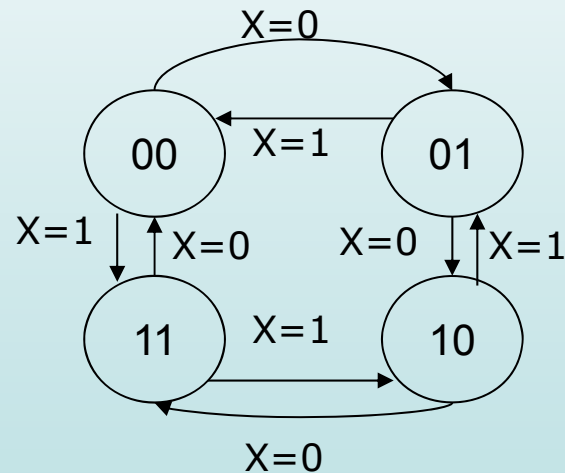
$$Q_1^+ = D_1 = (Q_1 \oplus Q_0)'$$
$$Q_0^+ = D_0 = Q_0'$$



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

- **Contador síncrono ascendente/descendente módulo 4:**
X=0 cuenta ascendente, X=1 cuenta descendente

1. Diagrama de estados



2. Tabla de estados

X	$Q_1 Q_0$	$Q_1^+ Q_0^+$
0	00	01
0	01	10
0	10	11
0	11	00
1	00	11
1	01	00
1	10	01
1	11	10

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

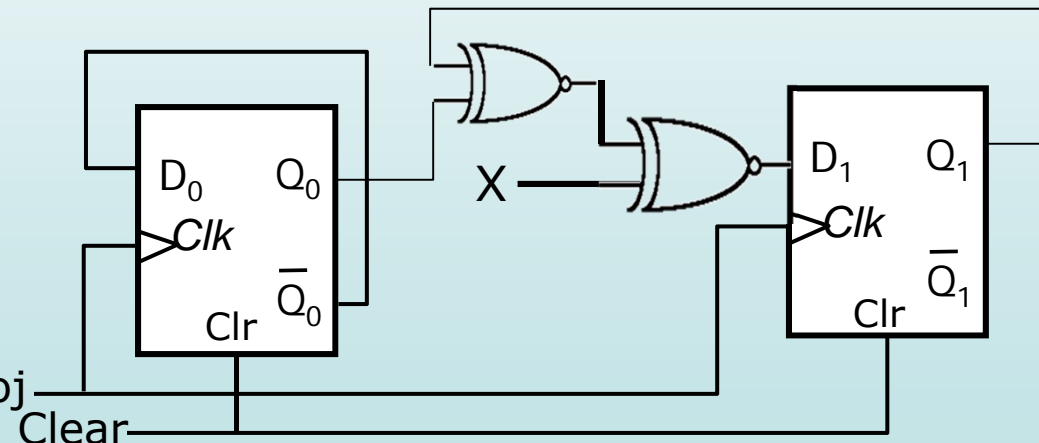
3. Tabla de excitación: $D=Q^+$

X	$Q_1 Q_0$	$Q_1^+ Q_0^+$	$D_1^+ D_0^+$
0	00	01	01
0	01	10	10
0	10	11	11
0	11	00	00
1	00	11	11
1	01	00	00
1	10	01	01
1	11	10	10

4. Implementación

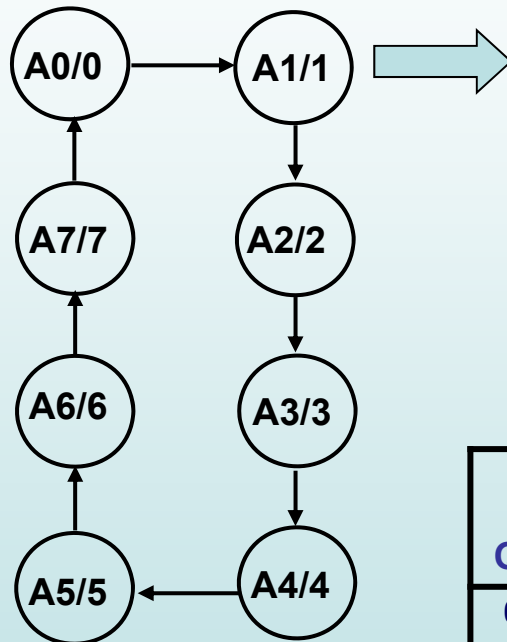
$$Q_1^+ = D_1 = X \oplus (Q_1 \oplus Q_0)$$

$$Q_0^+ = D_0 = Q_0'$$



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

Diagrama de estados del contador binario



**Contador binario
síncrono módulo 8
ascendente**

Asignación de estados			
	Q_2	Q_1	Q_0
A0	0	0	0
A1	0	0	1
A2	0	1	0
A3	0	1	1
A4	1	0	0
A5	1	0	1
A6	1	1	0
A7	1	1	1

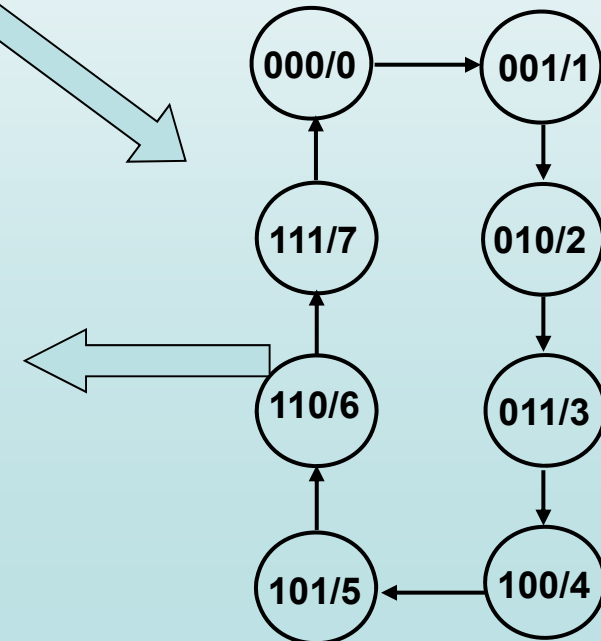
Tabla de estados

Estado actual	Dec			Estado Siguiente		
				Q_2^+	Q_1^+	Q_0^+
0 0 0	0	0	0	0	0	1
0 0 1	1	0	1	0	1	0
0 1 0	2	0	1	0	1	1
0 1 1	3	1	0	0	0	0
1 0 0	4	1	0	1	0	1
1 0 1	5	1	1	1	1	0
1 1 0	6	1	1	1	1	1
1 1 1	7	0	0	0	0	0

En este caso los estados se han asignado de modo que coincidan con las salidas.

NOTA. Esto es un caso particular en los contadores, en general en un sistema secuencial dicha coincidencia NO es posible.

Diagrama de estados asignado



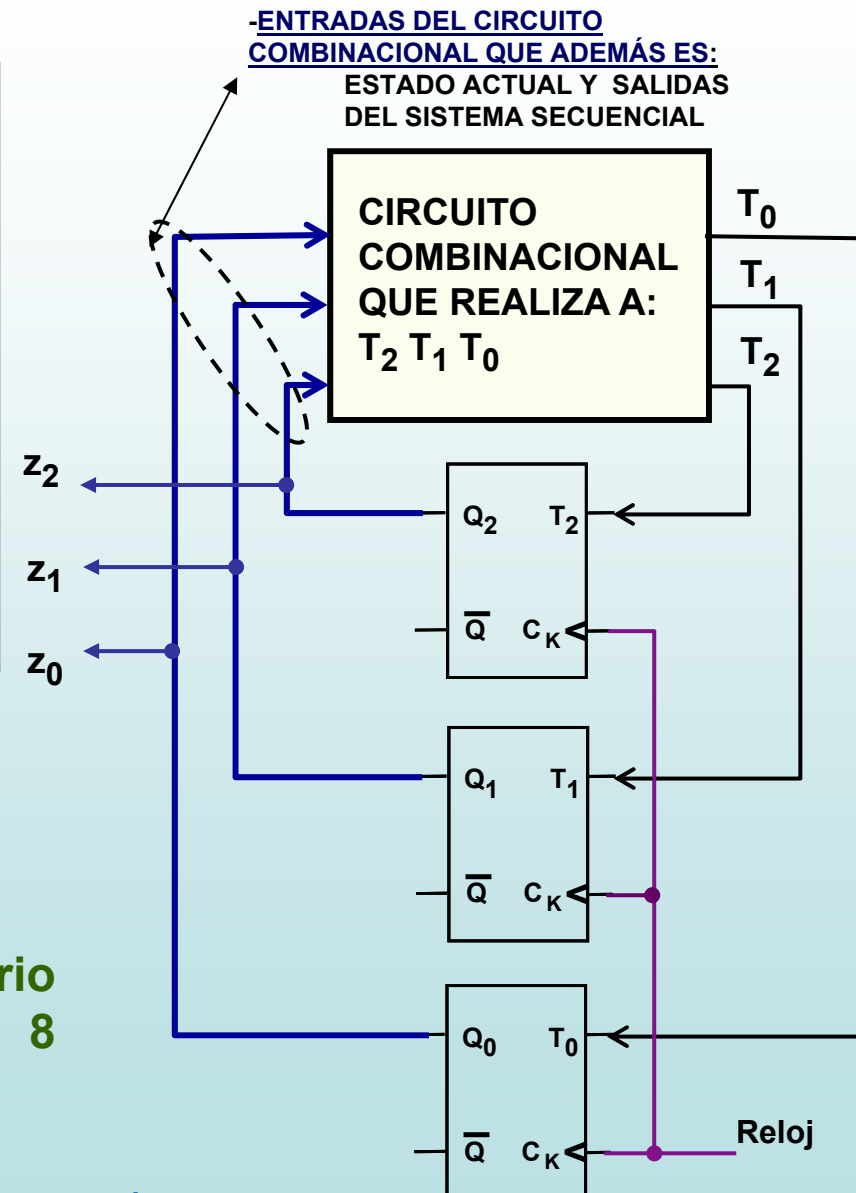
4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

Tabla de transiciones

Estado actual $Q_2 \ Q_1 \ Q_0$			Dec	Estado Siguiete $Q_2^+ \ Q_1^+ \ Q_0^+$			Funciones a realizar $T_2 \ T_1 \ T_0$		
0	0	0	0	0	0	1			
0	0	1	1	0	1	0			
0	1	0	2	0	1	1			
0	1	1	3	1	0	0			
1	0	0	4	1	0	1			
1	0	1	5	1	1	0			
1	1	0	6	1	1	1			
1	1	1	7	0	0	0			

$Q \ Q^+$	T
0 0	0
0 1	1
1 0	1
1 1	0

**Contador binario
síncrono módulo 8
ascendente**



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

Tabla de transiciones

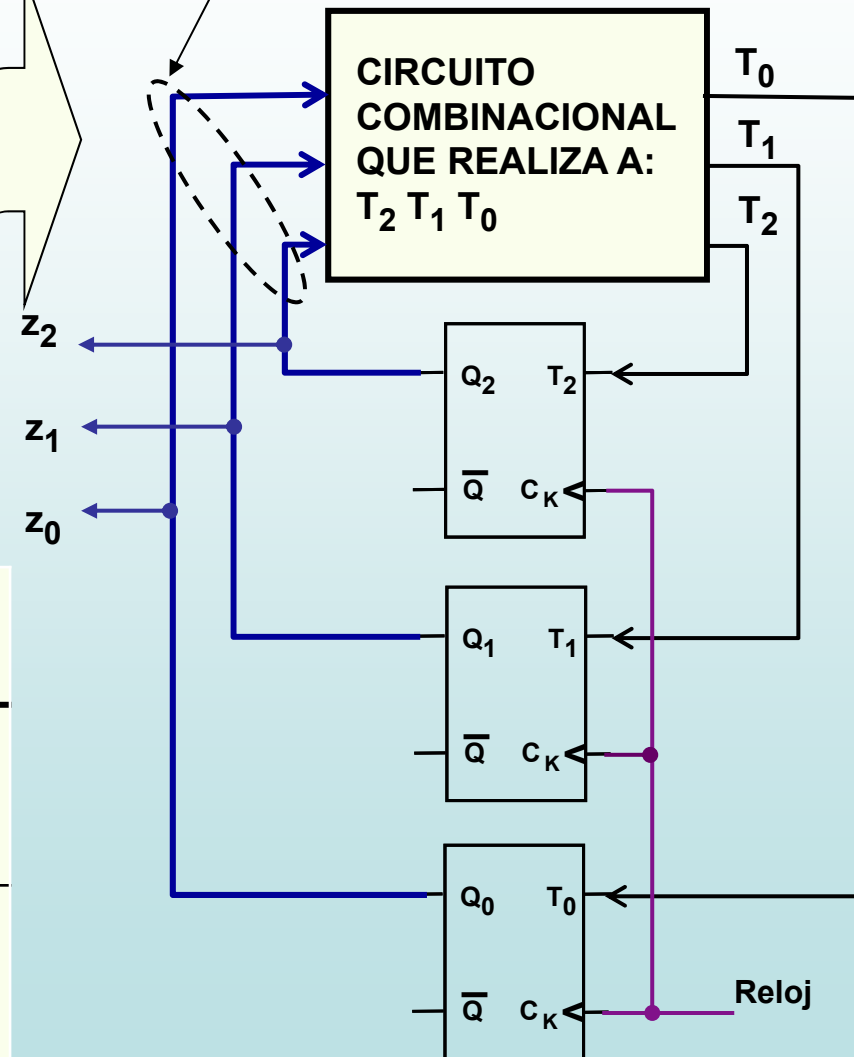
Estado actual $Q_2 Q_1 Q_0$			Dec	Estado Siguiente $Q_2^+ Q_1^+ Q_0^+$			Funciones a realizar $T_2 T_1 T_0$		
0	0	0	0	0	0	1	0	0	1
0	0	1	1	0	1	0	0	1	1
0	1	0	2	0	1	1	0	0	1
0	1	1	3	1	0	0	1	1	1
1	0	0	4	1	0	1	0	0	1
1	0	1	5	1	1	0	0	1	1
1	1	0	6	1	1	1	0	0	1
1	1	1	7	0	0	0	1	1	1

Q	Q^+	T
0	0	0
0	1	1
1	0	1
1	1	0

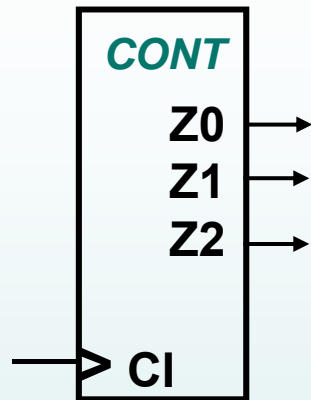
Contador binario
síncrono módulo 8
ascendente

Estado actual $Q_2 Q_1 Q_0$			Funciones a realizar $T_2 T_1 T_0$		
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	0	0	1
0	1	1	1	1	1
1	0	0	0	0	1
1	0	1	0	1	1
1	1	0	0	0	1
1	1	1	1	1	1

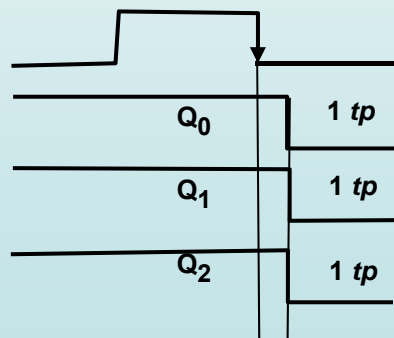
ENTRADAS DEL CIRCUITO
COMBINACIONAL QUE ADEMÁS ES:
ESTADO ACTUAL Y SALIDAS
DEL SISTEMA SECUENCIAL



4.3 COMPONENTES SECUENCIALES ESTÁNDAR.



Estado actual				Funciones a realizar		
Q_2	Q_1	Q_0		T_2	T_1	T_0
0	0	0	0	0	0	1
0	0	1	1	0	1	1
0	1	0	2	0	0	1
0	1	1	3	1	1	1
1	0	0	4	0	0	1
1	0	1	5	0	1	1
1	1	0	6	0	0	1
1	1	1	7	1	1	1



Contador binario síncrono módulo 8 ascendente

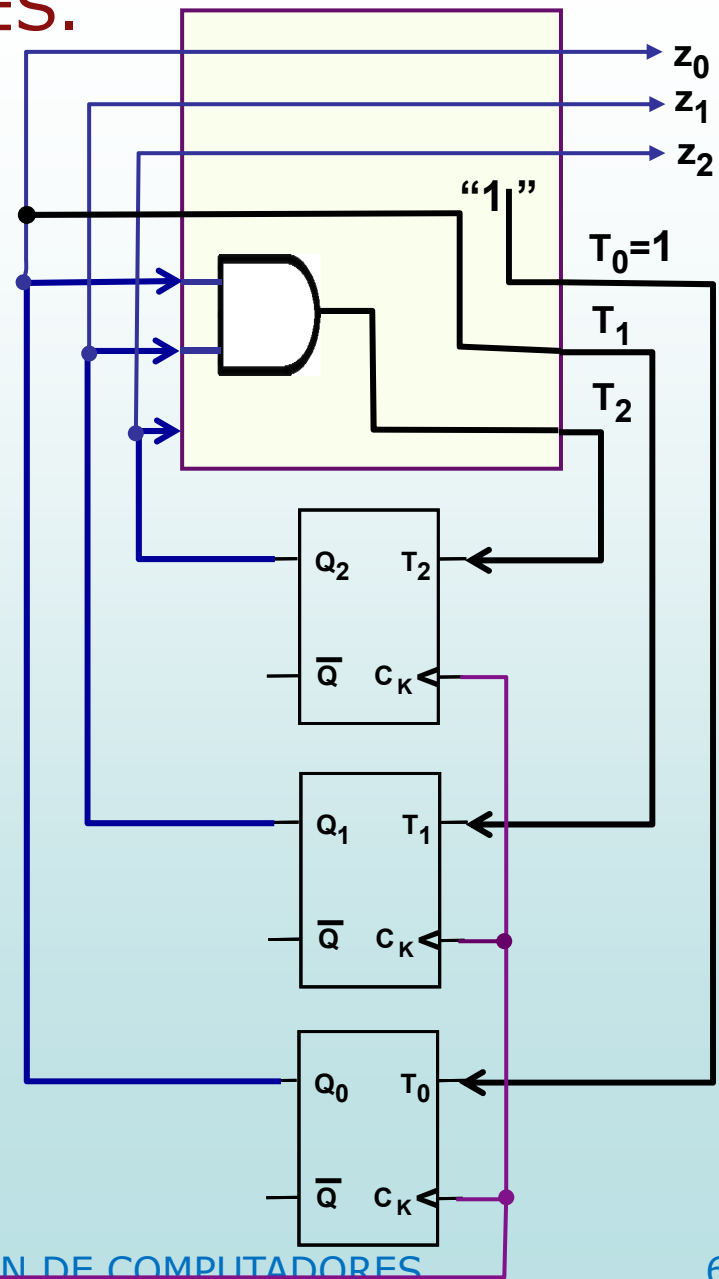
$$T_0 = 1$$

$$T_1 = Q_0$$

$$T_2 = Q_0 Q_1$$

EN GENERAL:

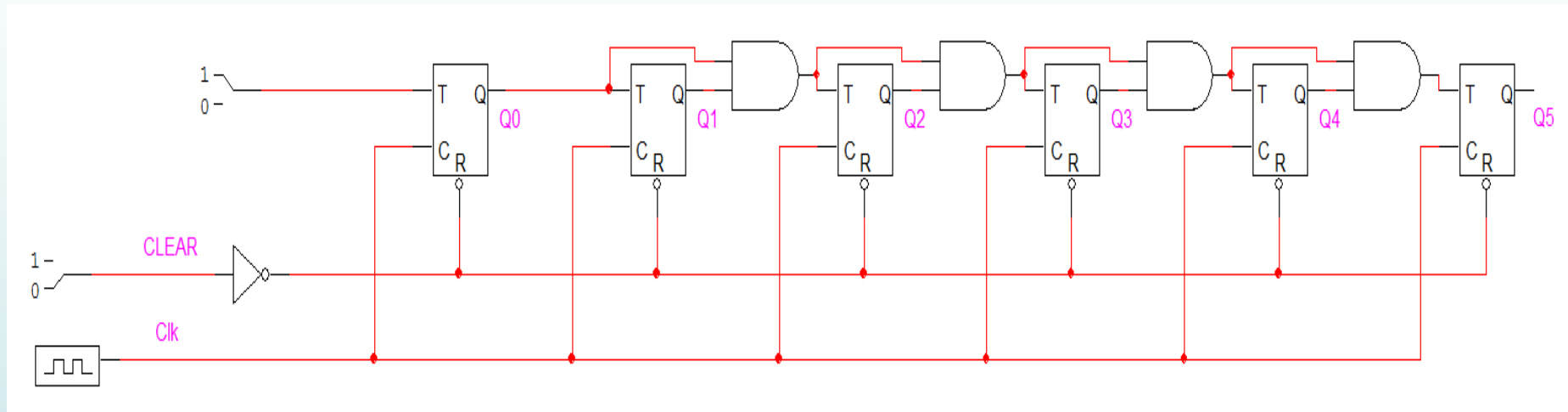
$$T_n = Q_0 \cdot Q_1 \cdot \dots \cdot Q_{n-1}$$



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

DISEÑO DE CONTADORES SÍNCRONOS.

Ejemplo de diseño de un contador módulo 64 usando FF-T



$$T_0 = 1$$

$$T_1 = Q_0$$

$$T_2 = Q_1 \cdot Q_0 = Q_1 \cdot T_1$$

$$T_3 = Q_2 \cdot Q_1 \cdot Q_0 = Q_2 \cdot T_2$$

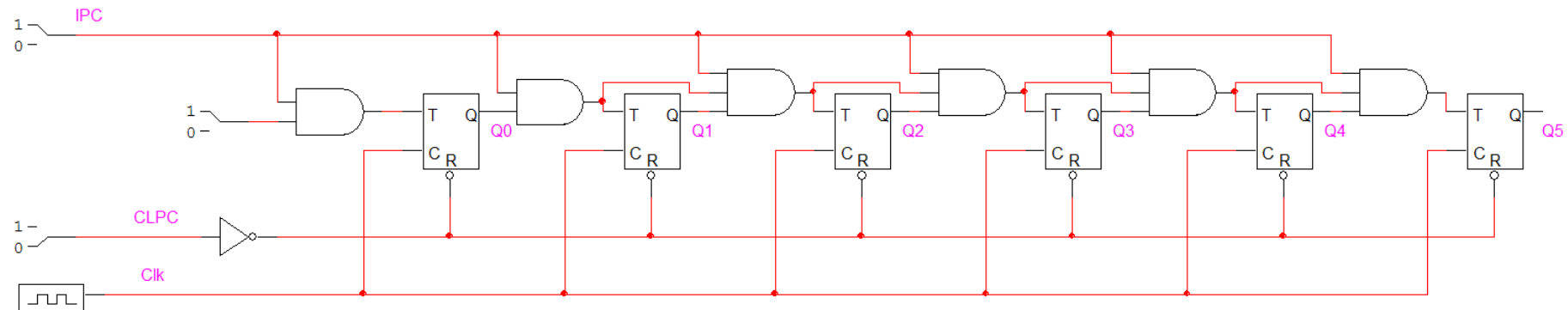
$$T_4 = Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 = Q_3 \cdot T_3$$

$$T_5 = Q_4 \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 = Q_4 \cdot T_4$$

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

DISEÑO DE CONTADORES SÍNCRONOS.

Diseño de un contador módulo 64 modificado usando FF-T



$$T_0 = 1 \cdot \text{IPC}$$

$$T_1 = Q_0 \cdot IPC$$

$$T_2 = Q_1 \cdot Q_0 \cdot IPC = Q_1 \cdot T_1 \cdot IPC$$

$$T_3 = Q_2 \cdot Q_1 \cdot Q_0 \cdot IPC = Q_2 \cdot T_2 \cdot IPC$$

$$T_4 = Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 \cdot IPC = Q_3 \cdot T_3 \cdot IPC$$

$$T_5 = Q_4 \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 \cdot IPC = Q_4 \cdot T_4 \cdot IPC$$

CLPC	IPC	Función del Contador
0	0	Mantiene valor
0	1	Incrementa cuenta
1	0	Puesta a 0 (Asíncrona)
1	1	Prohibido

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

DISEÑO DE CONTADORES SÍNCRONOS.

Ejemplo de diseño de un contador módulo 5

Diseñar un contador módulo 5 que cuente de la forma siguiente:
 $Z = \{3, 4, 5, 6, 7; 3, 4, 5, 6, 7; \dots\}$

Realizar el contador utilizando biestables tipo D.

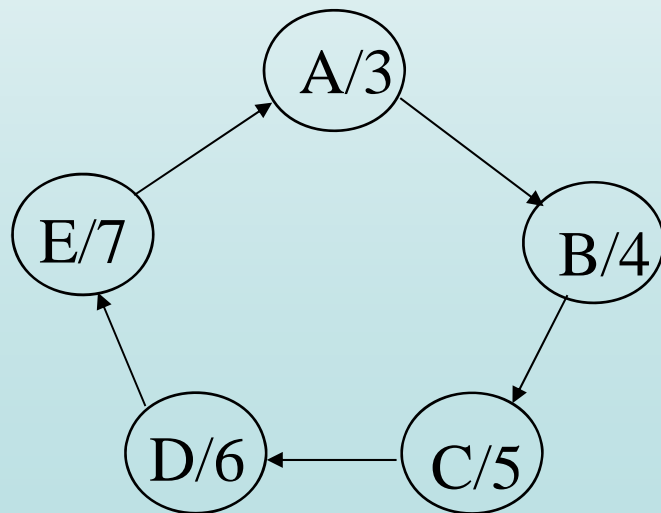
4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

Diseño de un contador módulo 5.

Diseñar un contador módulo 5 que cuente: $Z=\{3,4,5,6,7; 3,4,5,6,7; \dots\}$

Para ambos casos (a y b) se utiliza el mismo diagrama de estados, asignación de estados y tabla de estados.

Diagrama de estados



Asignación
de estados

Tabla de estados

	Estado actual $Q_2 \quad Q_1 \quad Q_0$			Dec	Estado Siguiente $Q_2^+ \quad Q_1^+ \quad Q_0^+$		
A	0	1	1	3	1	0	0
B	1	0	0	4	1	0	1
C	1	0	1	5	1	1	0
D	1	1	0	6	1	1	1
E	1	1	1	7	0	1	1

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

En este caso, se puede dar una asignación de estados que coincida con las salidas deseadas Zi ya que:

- a) Ninguna salida se repite en la secuencia principal.
- b) El número de biestables mínimo necesarios es 3 (ya que 5 estados necesitan una asignación con 3 bits. Dado que las salidas requeridas Zi son también 3 (Z2,Z1,Z0), una asignación de estados coincidente con las salidas, en este caso, no incrementa el número de biestables.

Tabla del biestable D

Q ⁺	D
0	0
1	1

$$D = Q^+$$

Asignación de estados

Caso a: Tabla de Transición utilizando biestables tipo D

	Estado actual			Dec	Estado Siguiente			Funciones de Salida.		
	Q ₂	Q ₁	Q ₀		D ₂	D ₁	D ₀	Z2	Z1	Z0
					Q ₂ ⁺	Q ₁ ⁺	Q ₀ ⁺			
A	0	1	1	3	1	0	0	0	1	1
B	1	0	0	4	1	0	1	1	0	0
C	1	0	1	5	1	1	0	1	0	1
D	1	1	0	6	1	1	1	1	1	0
E	1	1	1	7	0	1	1	1	1	1

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

Diseño del contador con biestables tipo D

Tabla de estados

Estado actual $Q_2 \ Q_1 \ Q_0$			Dec	Estado Siguiente $D_2=Q_2^+ \quad D_1=Q_1^+ \quad D_0=Q_0^+$		
0	1	1	3	1	0	0
1	0	0	4	1	0	1
1	0	1	5	1	1	0
1	1	0	6	1	1	1
1	1	1	7	0	1	1

$$D_2(Q_2Q_1Q_0) = \sum m_i(3,4,5,6) + d(0,1,2)$$

$$D_1(Q_2Q_1Q_0) = \sum m_i(5,6,7) + d(0,1,2)$$

$$D_0(Q_2Q_1Q_0) = \sum m_i(4,6,7) + d(0,1,2)$$

Q_2Q_1					
Q_0		00	01	11	10
0		-- ₀	-- ₂	1 ₆	1 ₄
1		-- ₁	1 ₃	0 ₇	1 ₅

D₂

Q_2Q_1					
Q_0		00	01	11	10
0		-- ₀	-- ₂	1 ₆	0 ₄
1		-- ₁	0 ₃	1 ₇	1 ₅

D₁

Q_2Q_1					
Q_0		00	01	11	10
0		-- ₀	-- ₂	1 ₆	1 ₄
1		-- ₁	0 ₃	1 ₇	0 ₅

D₀

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

Tabla de estados

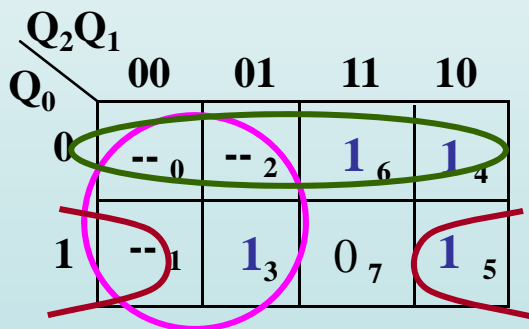
Estado actual $Q_2 Q_1 Q_0$	Dec	Estado Siguiete		
		$D_2=Q_2^+$	$D_1=Q_1^+$	$D_0=Q_0^+$
0 1 1	3	1	0	0
1 0 0	4	1	0	1
1 0 1	5	1	1	0
1 1 0	6	1	1	1
1 1 1	7	0	1	1

Diseño del contador con biestables tipo D

$$D_2(Q_2Q_1Q_0)=\sum m_i(3,4,5,6) + d(0,1,2)$$

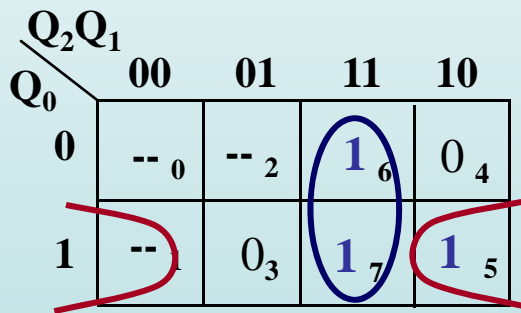
$$D_1(Q_2Q_1Q_0)=\sum m_i(5,6,7) + d(0,1,2)$$

$$D_0(Q_2Q_1Q_0)=\sum m_i(4,6,7) + d(0,1,2)$$



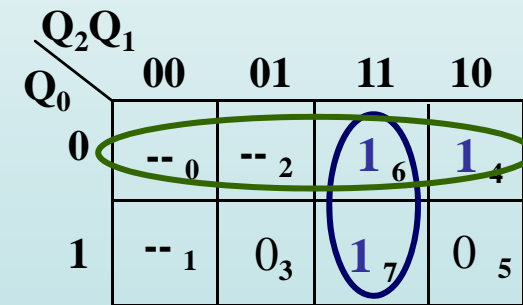
D_2

$$D_2 = \bar{Q}_0 + \bar{Q}_2 + \bar{Q}_1 Q_0$$



D_1

$$D_1 = \bar{Q}_1 Q_0 + Q_2 Q_1$$

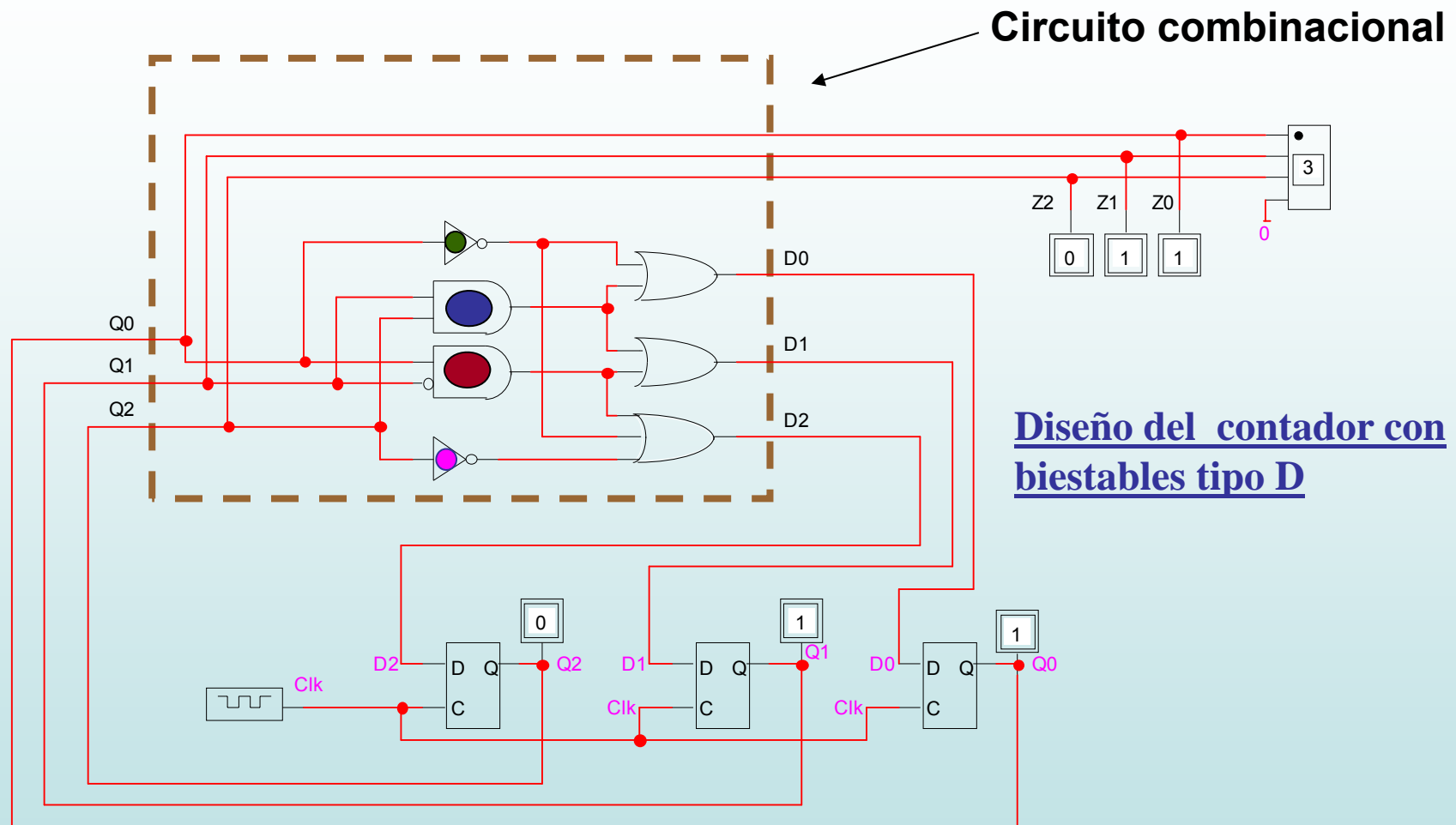


D_0

$$D_0 = \bar{Q}_0 + Q_2 Q_1$$



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.



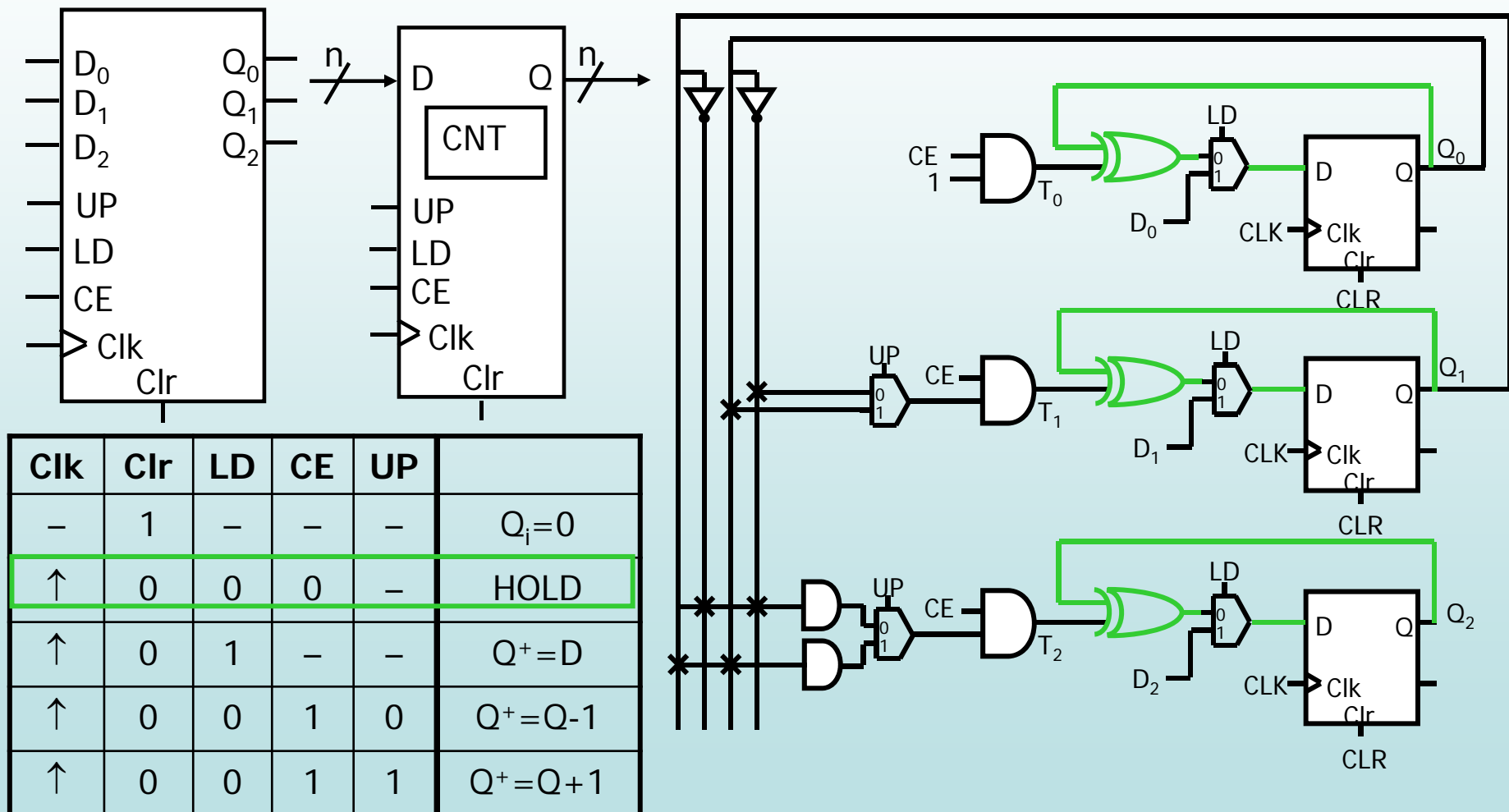
$$D_2 = \bar{Q}_0 + \bar{Q}_2 + \bar{Q}_1 Q_0$$

$$D_1 = \bar{Q}_1 Q_0 + Q_2 Q_1$$

$$D_0 = \bar{Q}_0 + Q_2 Q_1$$

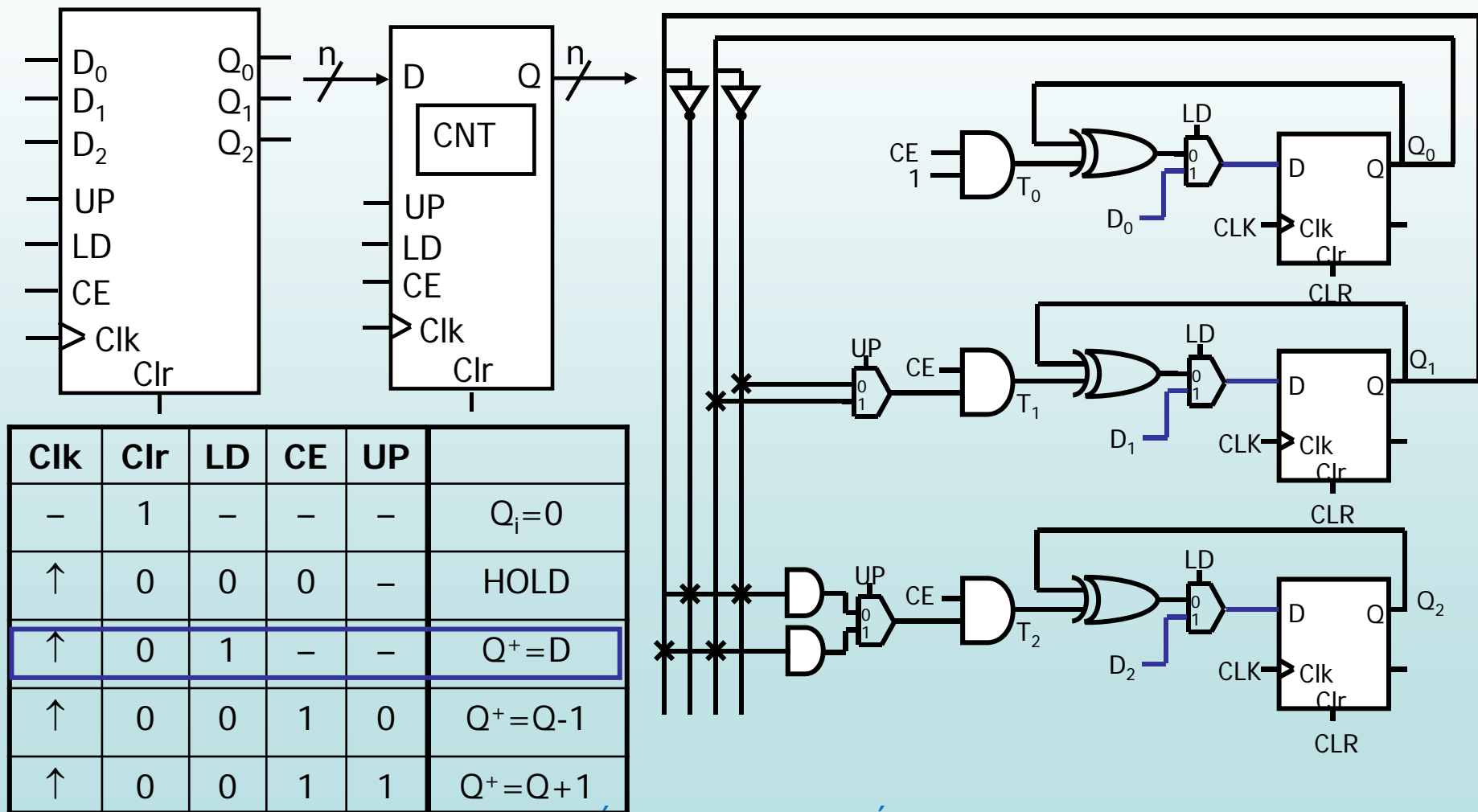
4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

Contador binario up/down módulo 8 con señal de CE y de LD



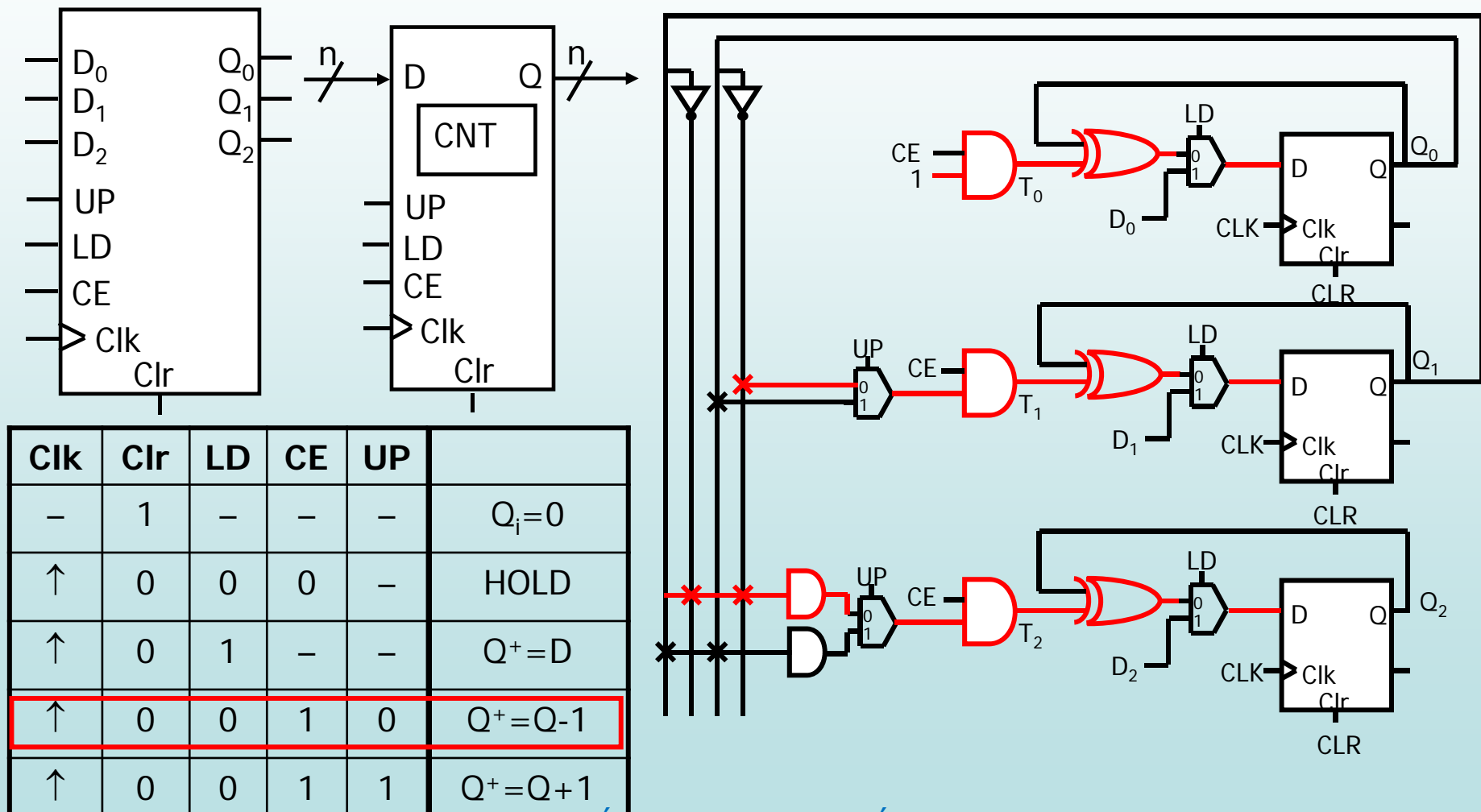
4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

Contador binario up/down módulo 8 con señal de CE y de LD



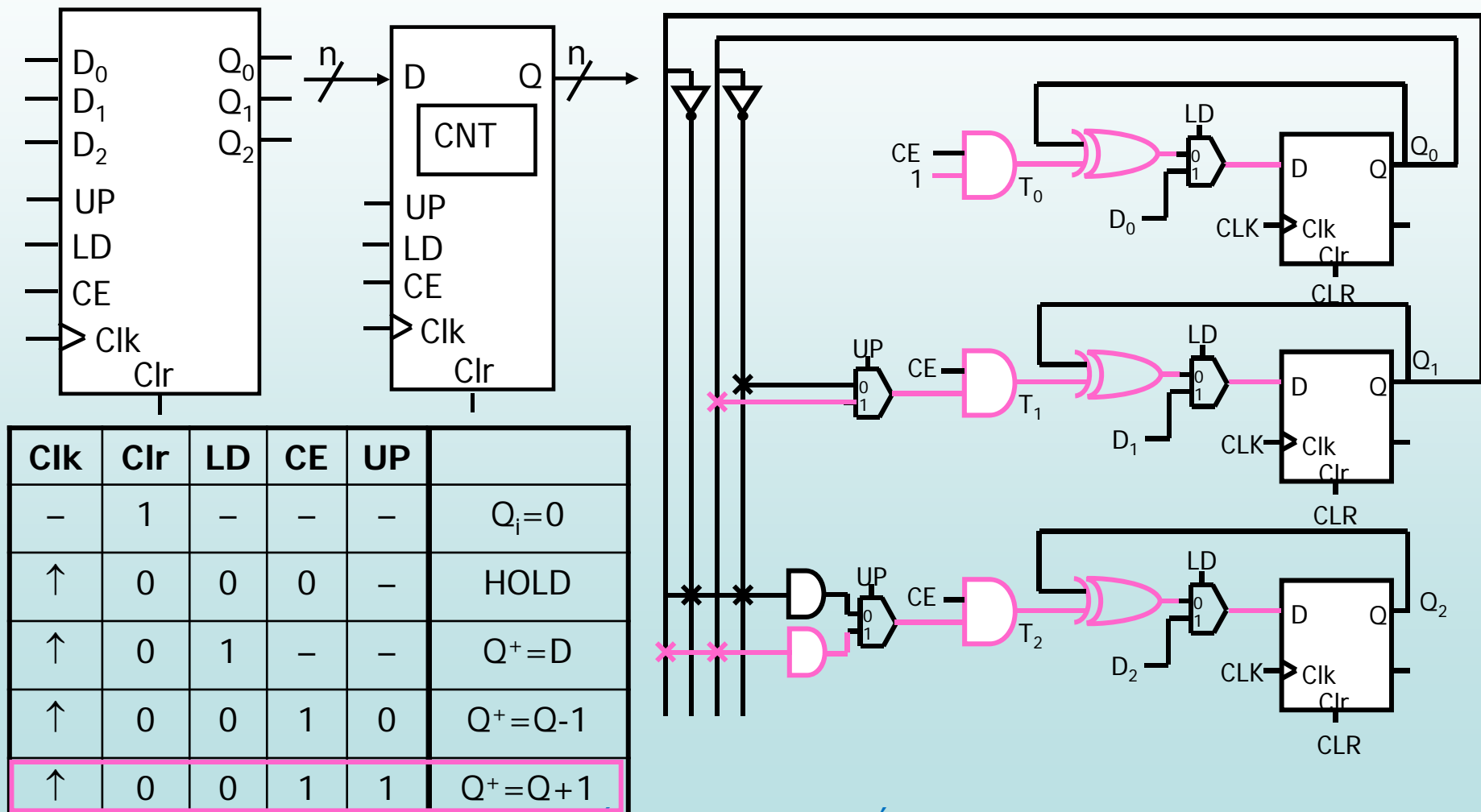
4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

Contador binario up/down módulo 8 con señal de CE y de LD



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. CONTADORES.

Contador binario up/down módulo 8 con señal de CE y de LD



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. SECUENCIADORES.

Pasos para diseñar un secuenciador o generador de secuencias:

1. Diagrama de estados
2. Tabla de estados siguientes
3. Tabla de excitación o transiciones de los flip-flops
4. Minimización
5. Implementación del contador (los generadores de secuencias se suelen implementar con biestables T).

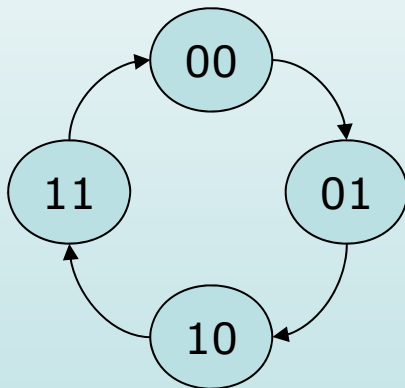
4.3 COMPONENTES SECUENCIALES ESTÁNDAR. SECUENCIADORES.

- **Ejemplo:** diseñar un sistema secuencial que genere la secuencia 1,2,5,7,1,2,...
 - Hay que diferenciar entre el n° de estados diferentes por los que pasa el sistema y la cuenta que se genera.
 - El n° de estados determina el n° de biestables. En este ejemplo hay 4 **estados** diferentes, por tanto serán necesarios 2 biestables.
 - El valor máximo de la salida es 7 por lo que serán necesarias 3 **salidas** para codificar 7.

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. SECUENCIADORES.

- **Ejemplo:** diseñar un sistema secuencial que genere la secuencia **1,2,5,7,1,2,.....**

1. Diagrama de estados



2. Tabla de estados

Estado actual		Estado siguiente		Salidas		
Q_1	Q_0	Q_1^+	Q_0^+	Z_2	Z_1	Z_0
0	0	0	1	0	0	1
0	1	1	0	0	1	0
1	0	1	1	1	0	1
1	1	0	0	1	1	1

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. SECUENCIADORES.

3. Tabla de excitación o transiciones de los FF y minimización

Q_1	Q_0	Q_1^+	Q_0^+	T_1	T_0	Z_2	Z_1	Z_0
0	0	0	1	0	1	0	0	1
0	1	1	0	1	1	0	1	0
1	0	1	1	0	1	1	0	1
1	1	0	0	1	1	1	1	1

Q	Q^+	T
0	0	0
0	1	1
1	0	1
1	1	0

$T_1 = Q_0$

$Q_1 \backslash Q_0$	T_1	
	0	1
0		1
1		1

Z_2

$Q_1 \backslash Q_0$	0	1
0		
1	1	1

Z_0

$Q_1 \backslash Q_0$	0	1
0	1	
1	1	1

$T_0 = 1$

$Q_1 \backslash Q_0$	0	1
0	1	1
1	1	1

Z_1

$Q_1 \backslash Q_0$	0	1
0		1
1		1

$$Z_2 = Q_1$$

$$Z_1 = Q_0$$

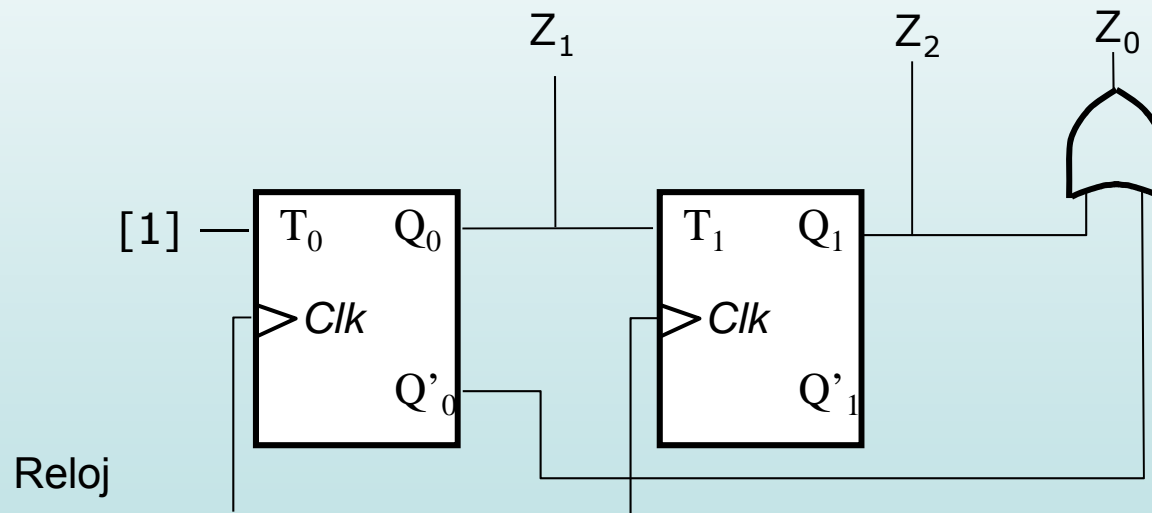
$$Z_0 = Q_1 + Q'_0$$

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. SECUENCIADORES.

5. Implementación

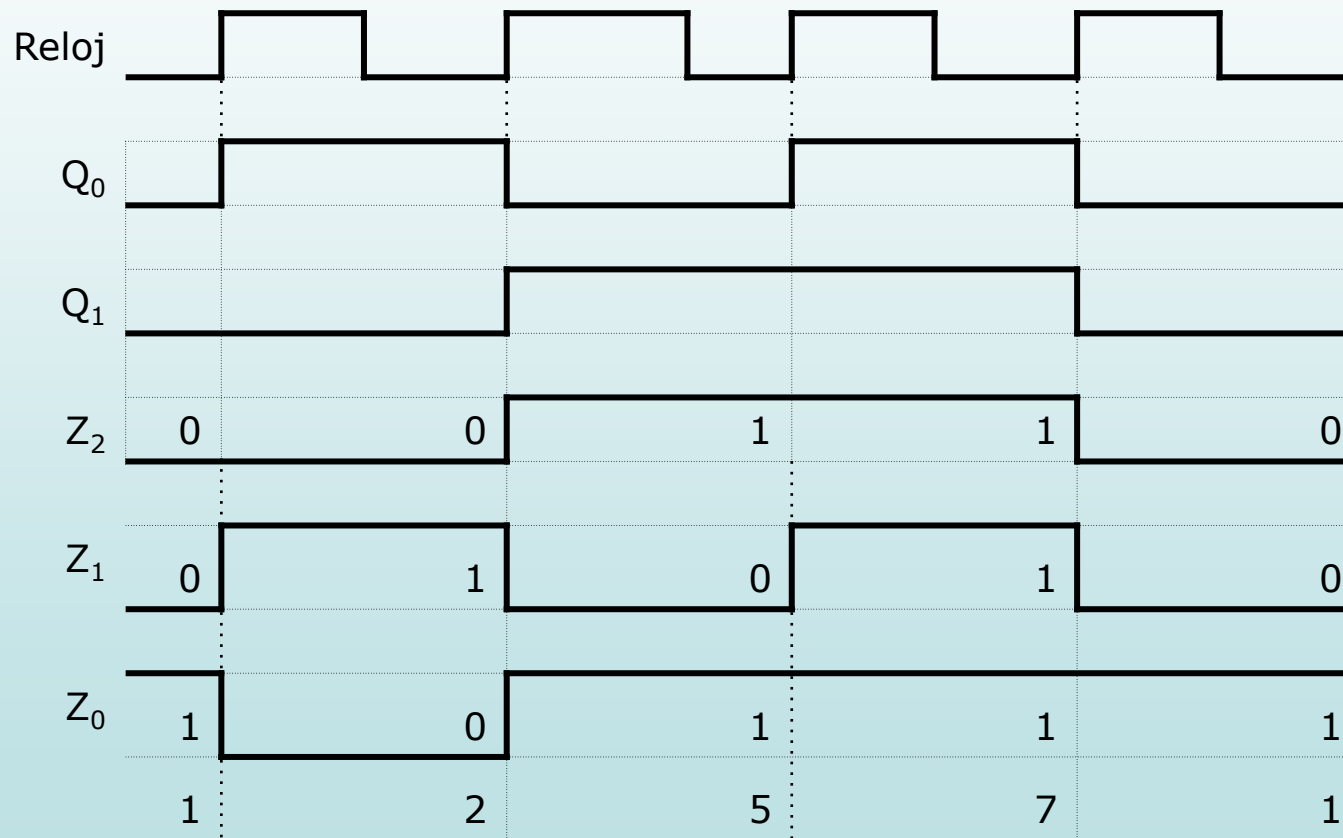
$$T_1 = Q_0 \quad Z_2 = Q_1 \quad Z_0 = Q_1 + Q'_0$$

$$T_0 = 1 \quad Z_1 = Q_0$$



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. SECUENCIADORES.

- **Cronograma:**



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

- Una **memoria de acceso aleatorio (RAM)** es una memoria volátil de lectura y escritura.
- Mantiene la información mientras funciona (mientras esté alimentada), no como las memorias ROM.
- Los **bancos de registros** son de tamaño reducido, rápidos y para memorización temporal durante los cálculos.
- Las **memorias RAM** son grandes, lentas, pero muy apropiadas para memorización a largo plazo de programas y datos.

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

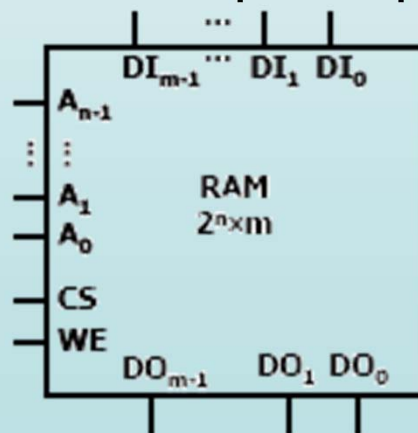
- Parámetros que caracterizan una RAM:
 - **Capacidad:** bits que puede memorizar
 - **Tiempo máximo de acceso, t_{\max} :** tiempo máximo que tarda en leer o escribir una palabra.
 - **Tiempo de ciclo, t_c :** tiempo que transcurre entre dos lecturas/escrituras consecutivas.
 - **Ancho de banda, AB:** n° máximo de palabras que se pueden transferir, por segundo, entre memoria y una unidad.

$$AB = 1/t_c$$

- **Consumo de potencia**

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

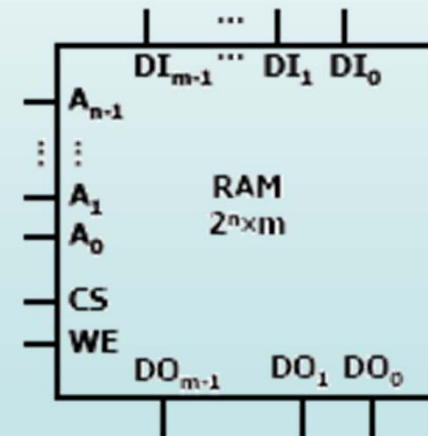
- Una **memoria RAM** de 2^n palabras de m bits es un circuito secuencial que contiene $2^n \times m$ celdas de almacenamiento (distribuidas en 2^n filas y m columnas), n entradas de dirección (A_0, \dots, A_{n-1}), m entradas de datos (DI_0, \dots, DI_{m-1}), m salidas de datos (DO_0, \dots, DO_{m-1}), y varias señales de control (CS, WE) que permite:
 - La **lectura** de cualquier palabra de m bits en cualquier fila
 - La **escritura** de cualquier palabra de m bits en cualquier fila



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

Las memorias RAM suelen tener al menos dos señales de control, una para **seleccionar la celda** y otra para decidir si se hace una **lectura o escritura**.

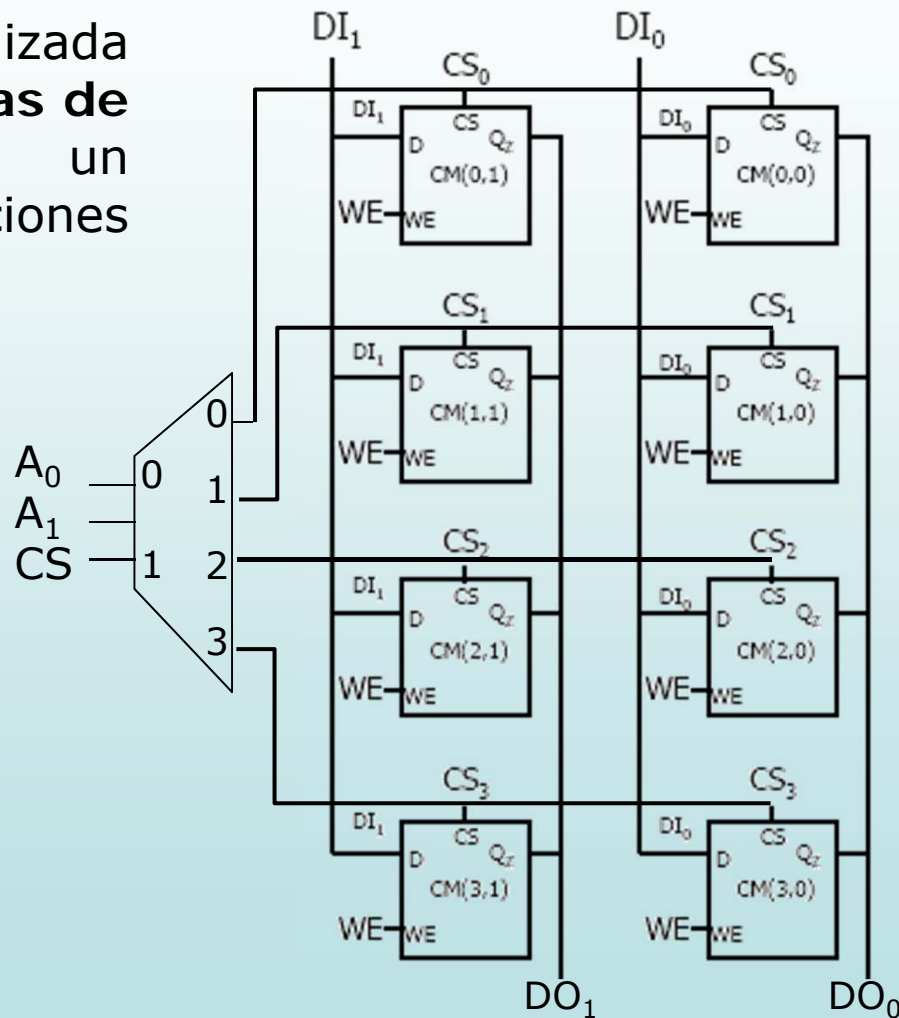
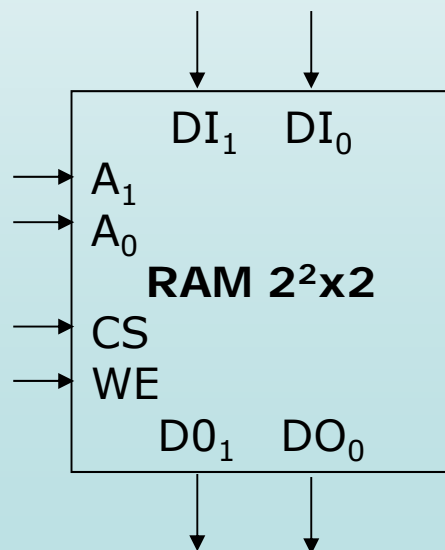
- CS = 0: No se escribe en ninguna celda y salida en alta impedancia
- CS=1:
 - Si WE = 0 (lee)
 $DO_{m-1}, \dots, DO_0 = M(A_{n-1}, \dots, A_0)$
(Lectura)
 - Si WE = 1 (escribe)
 $M(A_{n-1}, \dots, A_0) = DI_{m-1}, \dots, DI_0$
(Escritura)



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

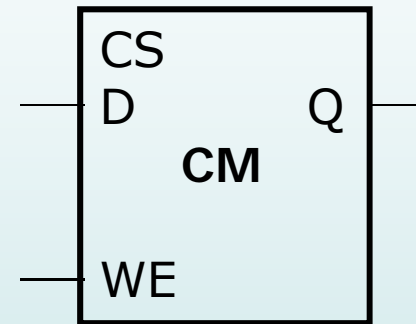
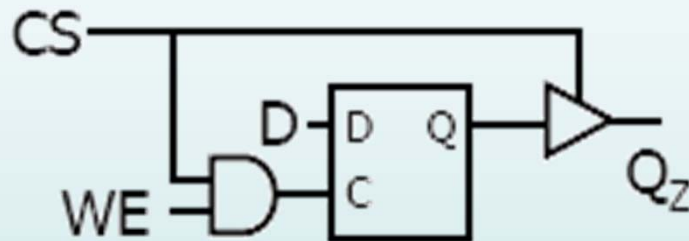
Una RAM está organizada en una matriz de **celdas de memoria** con un decodificador de direcciones y un adaptador de I/O.

Ejemplo: RAM $2^2 \times 2$



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

- Cada **celda de memoria (CM)** se puede representar simbólicamente:

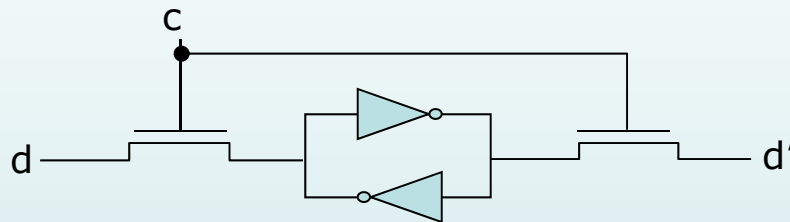


- CS=1, el bit memorizado aparece a la salida ($Q_Z=Q$)
- WE=1, la entrada se memoriza
- WE actúa como señal de reloj del FF-D

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

En realidad las CM se implementan con menos transistores.

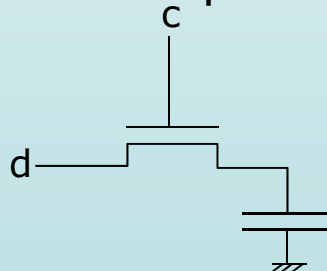
- Si se utiliza **RAM estática, SRAM**:



Celda elemental SRAM:

- Mantienen la información mientras haya alimentación
- Se leen muy rápido
- Entre 4 y 6 transistores

- Si se usa **RAM dinámica, DRAM**:
 - hay que refrescar periódicamente la información que contienen (la información se pierde en cada lectura)
 - Celdas más sencillas
 - Mayor densidad
 - Menor coste
 - 2 transistores



Celda elemental DRAM

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

- La organización de la RAM impone restricciones en la temporización de las entradas y salidas a la hora de hacer lecturas y escrituras.
 - Ciclo de lectura:

Parámetro	Significado	Descripción
t_{AA}	<i>Tiempo de acceso desde la dirección</i>	Tiempo requerido para generar un dato válido de salida después de un cambio de dirección (sup. /CE y /OE activas)
t_{ACS}	<i>Tiempo de acceso desde CS (CE)</i>	Tiempo requerido generar un dato válido de salida después de que se active /CE (sup. /OE activa y dirección estable)
t_{OE}	<i>Tiempo de habilitación de salida</i> ($t_{OE} < t_{ACS}$)	Tiempo que tardan los buffers de salida en dejar de estar en alta impedancia cuando /OE y /CE están ambas activas.
t_{OZ}	<i>Tiempo de inhabilitación de salida</i>	Tiempo necesario para que los buffers de salida se pongan en alta impedancia cuando alguna de las dos señales /OE o /CE deja de estar activa.
t_{OH}	<i>Tiempo de mantenimiento de salida</i>	Tiempo en que la salida permanece válida después de que se haya producido un cambio de dirección.

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

– Ciclo de escritura:

- La dirección debe estar estable antes de que se habilite la escritura
- Los datos se almacenan en los latches cuando se desactiva \overline{WE} ó \overline{CE} (previamente activas ambas)
- Deben estar estables antes de que termine el ciclo de escritura

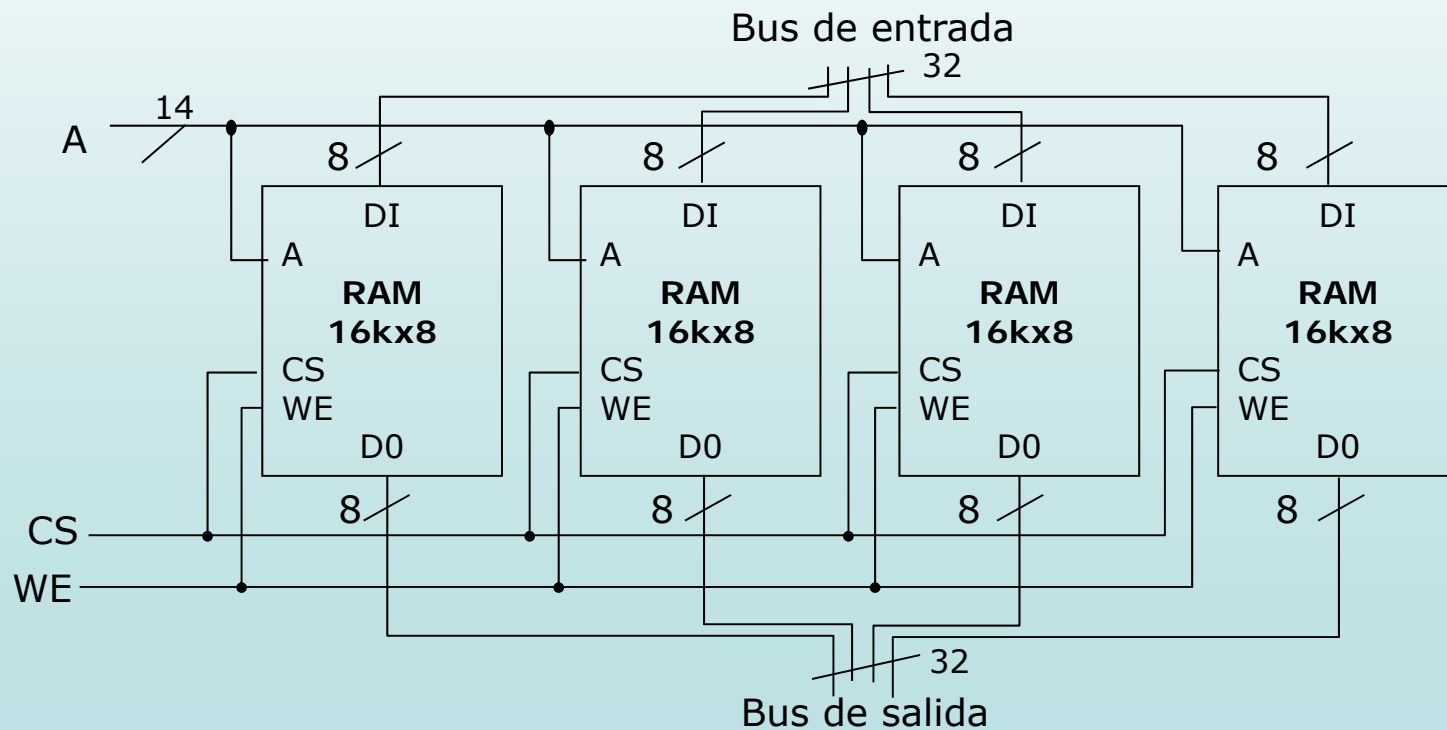
Parámetro	Significado	Descripción
t_{AS}, t_{AH}	<i>Tiempos de establecimiento y mantenimiento de direcciones</i>	Las entradas de dirección debe estar estables antes de que \overline{CE} y \overline{WE} se activen, y mantenerse después de que alguna \overline{CE} o \overline{WE} se desactive).
t_{CSW}	<i>Tiempo de establecimiento de $\overline{CS}(\overline{CE})$ antes de finalizar la escritura</i>	\overline{CE} debe estar activa un cierto tiempo antes de que finalice el ciclo de escritura para garantizar la selección de una celda
t_{WP}	<i>Anchura del pulso de escritura</i>	\overline{WE} debe estar activa al menos este tiempo para garantizar la escritura en el latch
t_{DS}, t_{DH}	<i>Tiempos de establecimiento y mantenimiento de datos</i>	Los datos deben estar estables antes de que finalice la escritura y deben permanecer un cierto tiempo después.

4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

- Los componentes de memoria se fabrican siempre con tamaños de $2^n \times m$.
- Cuando se necesitan memorias de otros tamaños se construyen a partir de los chips de memoria disponibles.
- Se pueden construir memorias:
 - Con mayor longitud de palabra (palabras más largas)
 - Con mayor capacidad

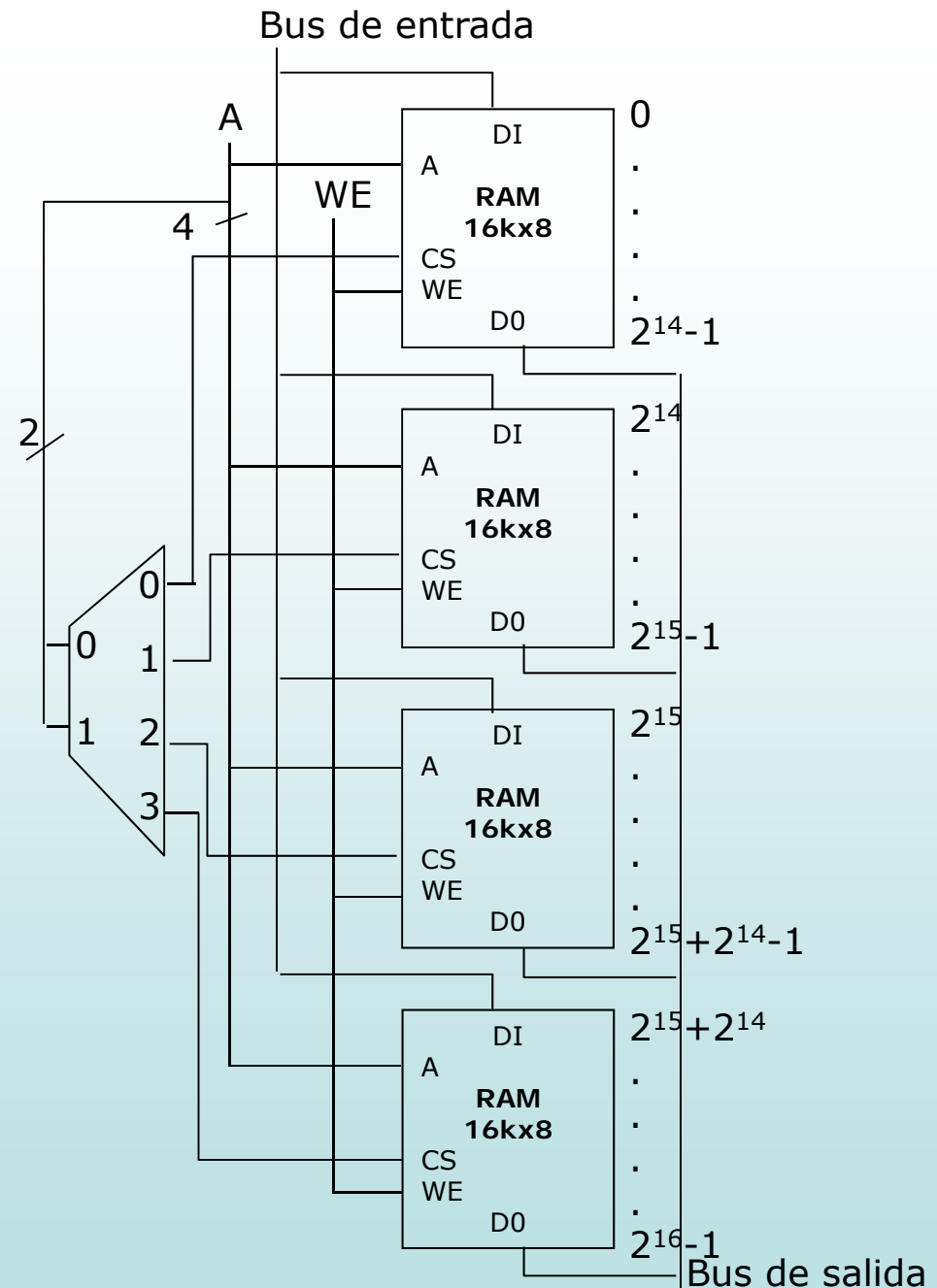
4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

- Para obtener **mayor longitud de palabra** se pueden conectar varios chips de memoria en paralelo.
- Por ejemplo: se puede hacer una RAM de 16K x 32 conectando en paralelo 4 RAM de 16K x 8.



4.3 COMPONENTES SECUENCIALES ESTÁNDAR. MEMORIAS RAM.

- Para obtener memorias de **mayor capacidad** se pueden conectar varios chips de memoria en serie.
- Por ejemplo: construir una RAM de 64K x 8 con 4 RAM de 16K x 8.



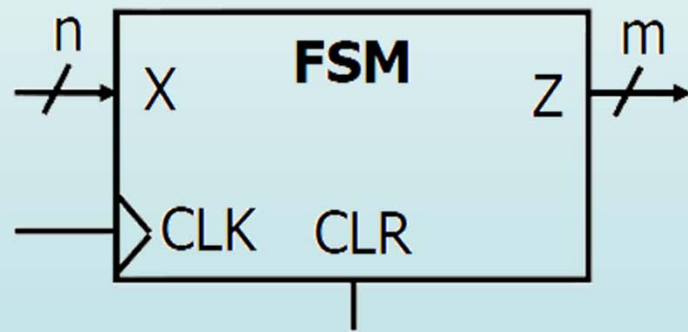
TEMA 4. ANÁLISIS Y DISEÑO DE SISTEMAS SECUNCIALES.

CONTENIDOS:

- 4.1. Concepto de sistema secuencial.
- 4.2. Elementos básicos secuenciales.
- 4.3. Componentes secuenciales estándar.
- ➡ 4.4. Análisis de un sistema secuencial.
- 4.5. Diseño de un sistema secuencial.

4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL. MÁQUINAS DE ESTADOS FINITOS.

- Una **máquina de estados finitos** ('Finite State Machine', FSM) es un sistema secuencial en el que todos los elementos secuenciales son biestables disparados por la misma señal de reloj (CLK). Es un sistema **secuencial síncrono**.



$X \equiv X_{n-1}, \dots, X_0$: Entradas Externas

$Z \equiv Z_{m-1}, \dots, Z_0$: Salidas del Circuito

CLK: Señal de Reloj

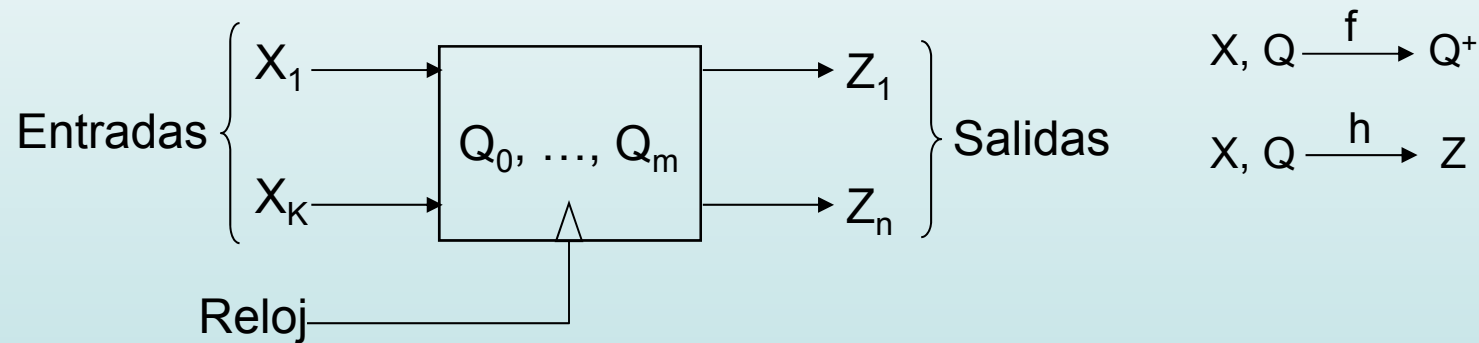
CLR: Señal de CLEAR

4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL. MÁQUINAS DE ESTADOS FINITOS.

- Una **máquina de estados finitos (FSM)**, que está formada por:
 - Entradas (X)
 - Salidas (Z)
 - Estados (Q)
 - **Función de estado siguiente, f** , que asigna a cada pareja (estado, entrada) un estado.
 - **Función de salida, h** , que es la función de salida, que asigna a cada (estado, entrada) una salida.

4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL. MÁQUINAS DE ESTADOS FINITOS.

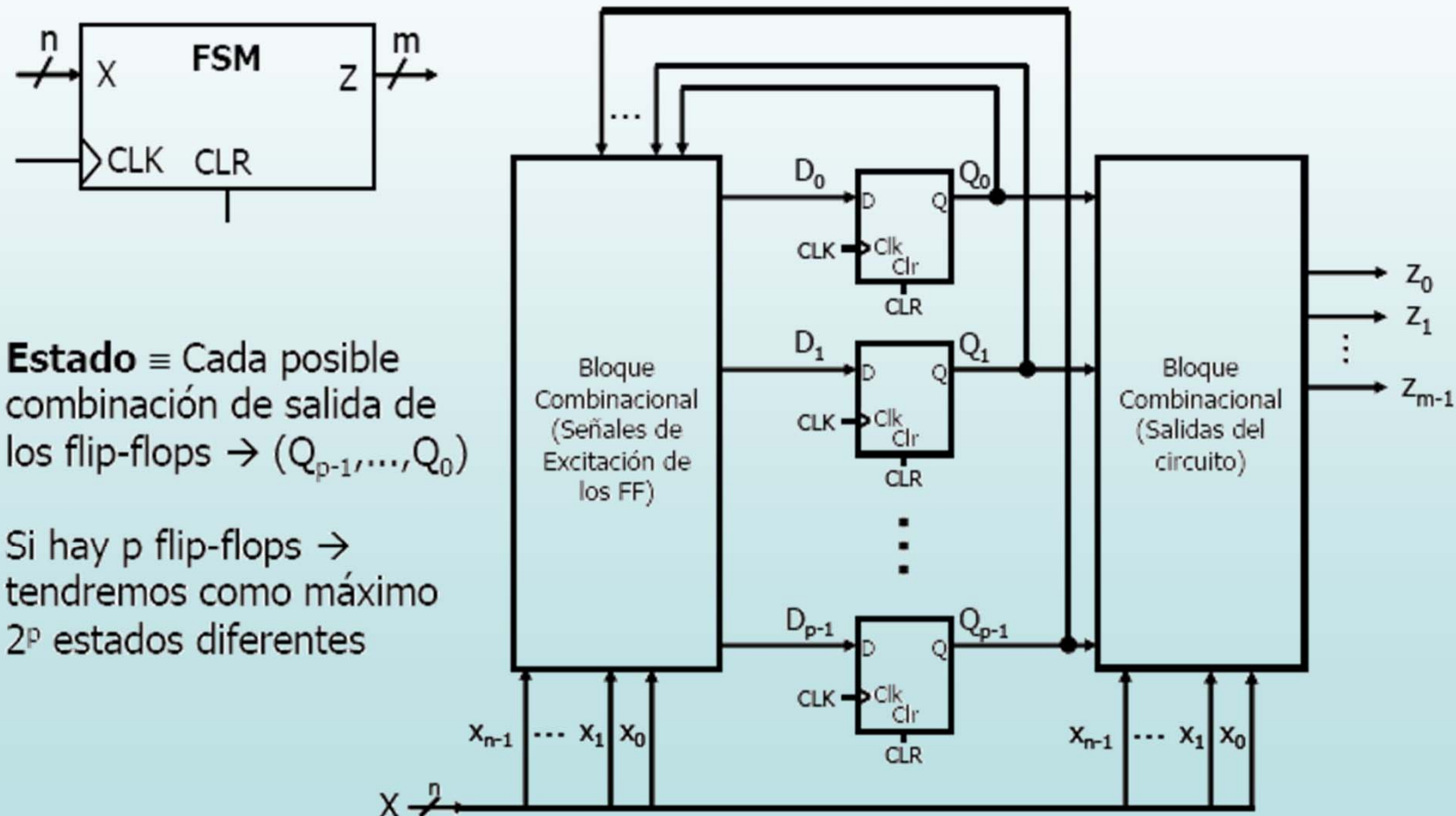
- Si el **sistema secuencial es síncrono**, la función f , va sincronizada por una señal de reloj.



Modelo FSM de un sistema secuencial síncrono

4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL. MÁQUINAS DE ESTADOS FINITOS.

Estructura general de una FSM:



4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL. MÁQUINAS DE ESTADOS FINITOS.

- **FSM tipo Mealy:**

La función de salida, h , queda definida por el estado y las entradas. Es decir, las salidas dependen del estado actual y de las entradas externas.

$$z_i = F_i(x_{n-1}, \dots, x_0, Q_{p-1}, \dots, Q_0), i = 0, \dots, m-1$$

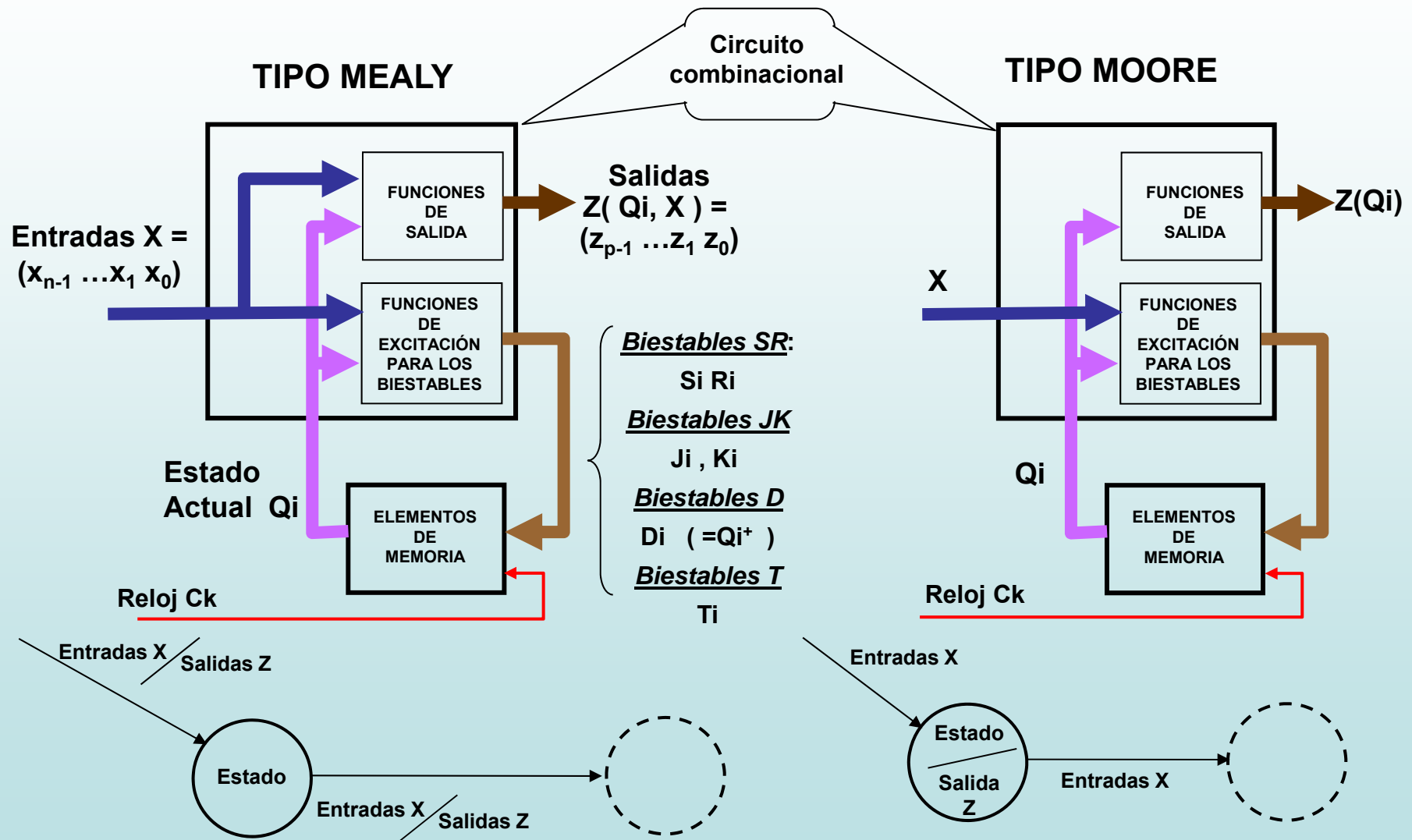
- **FSM tipo Moore:**

La función de salida asigna una salida a cada estado.

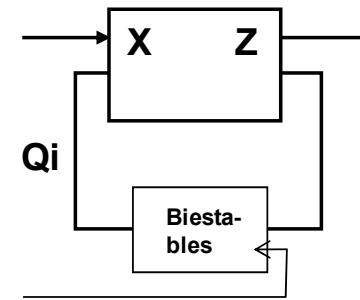
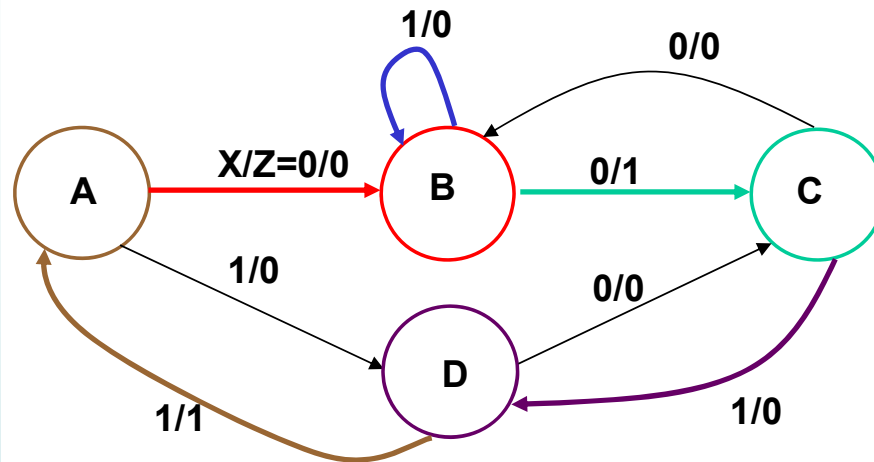
Es decir, las salidas no dependen de las entradas externas, sólo del estado actual de la FSM.

$$z_i = F_i(Q_{p-1}, \dots, Q_1, Q_0), i = 0, \dots, m-1$$

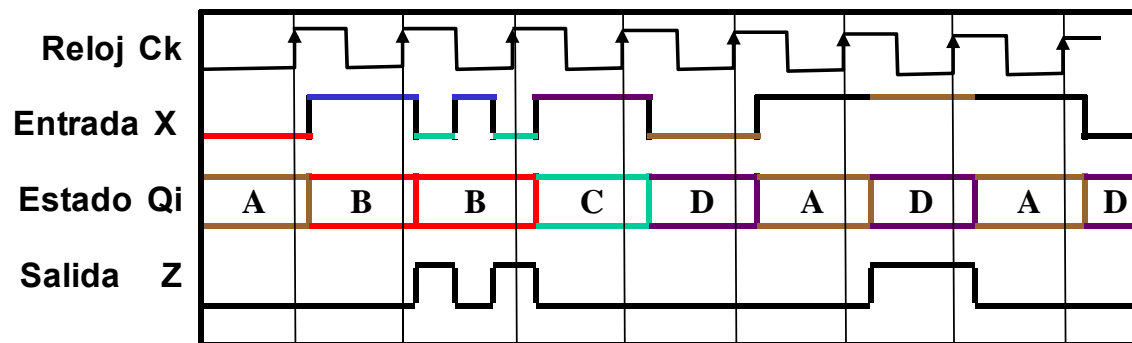
4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL. MÁQUINAS DE ESTADOS FINITOS.



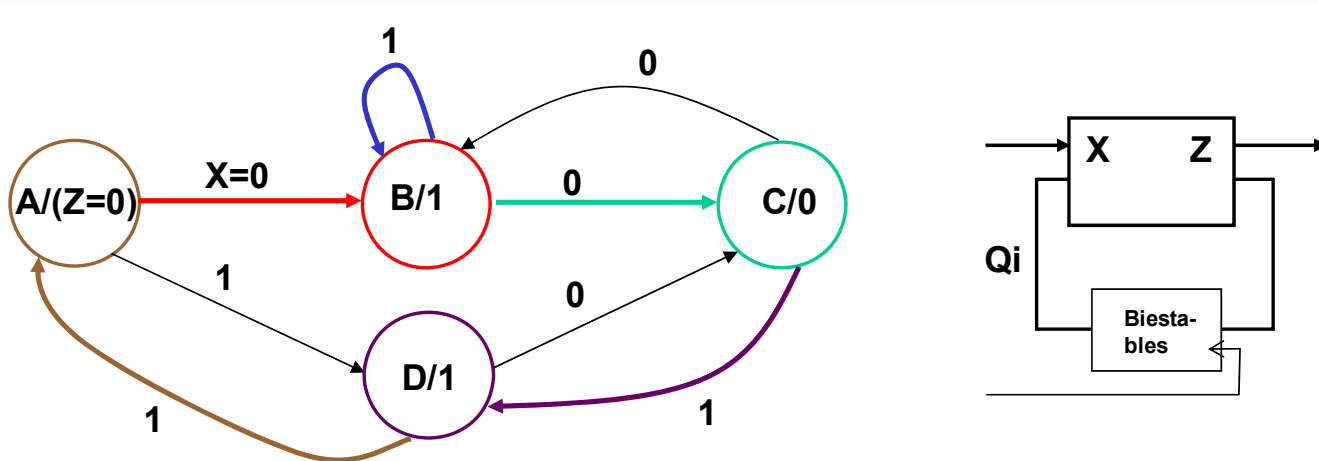
4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL.



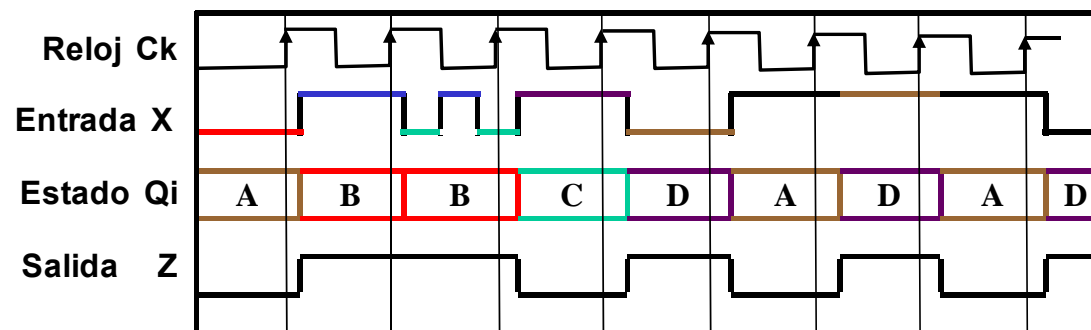
MÁQUINA TIPO MEALY



4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL.



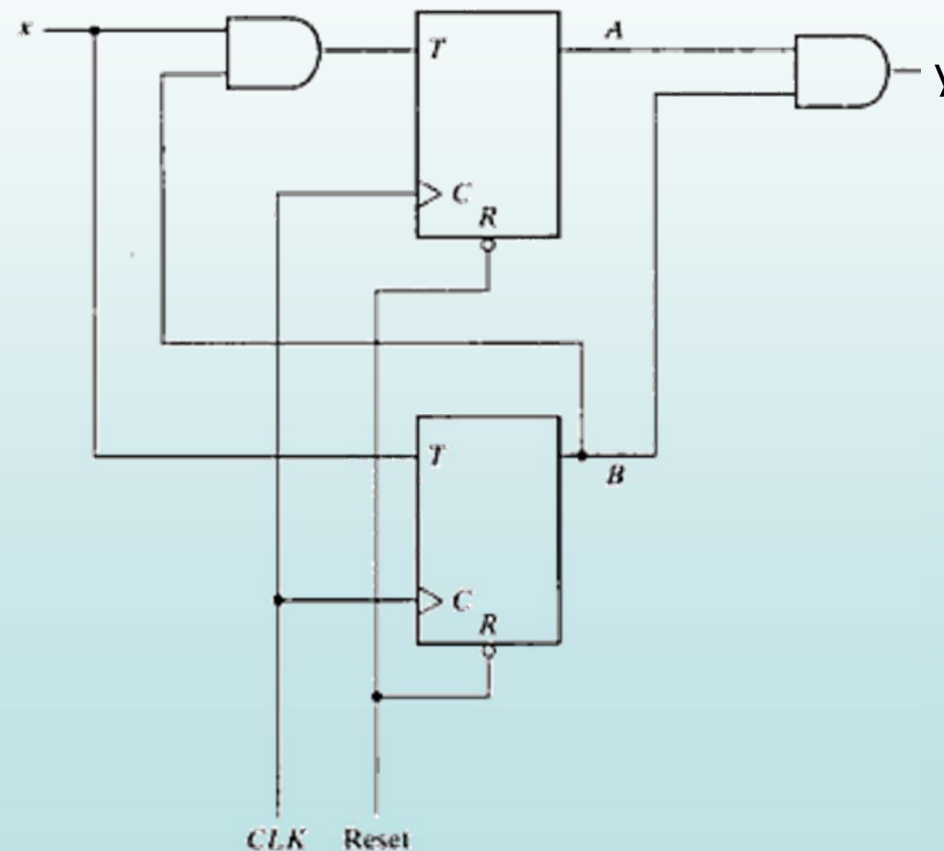
MÁQUINA TIPO MOORE



4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL. MÁQUINAS DE ESTADOS FINITOS.

- **Ejemplo de FSM tipo Moore:**

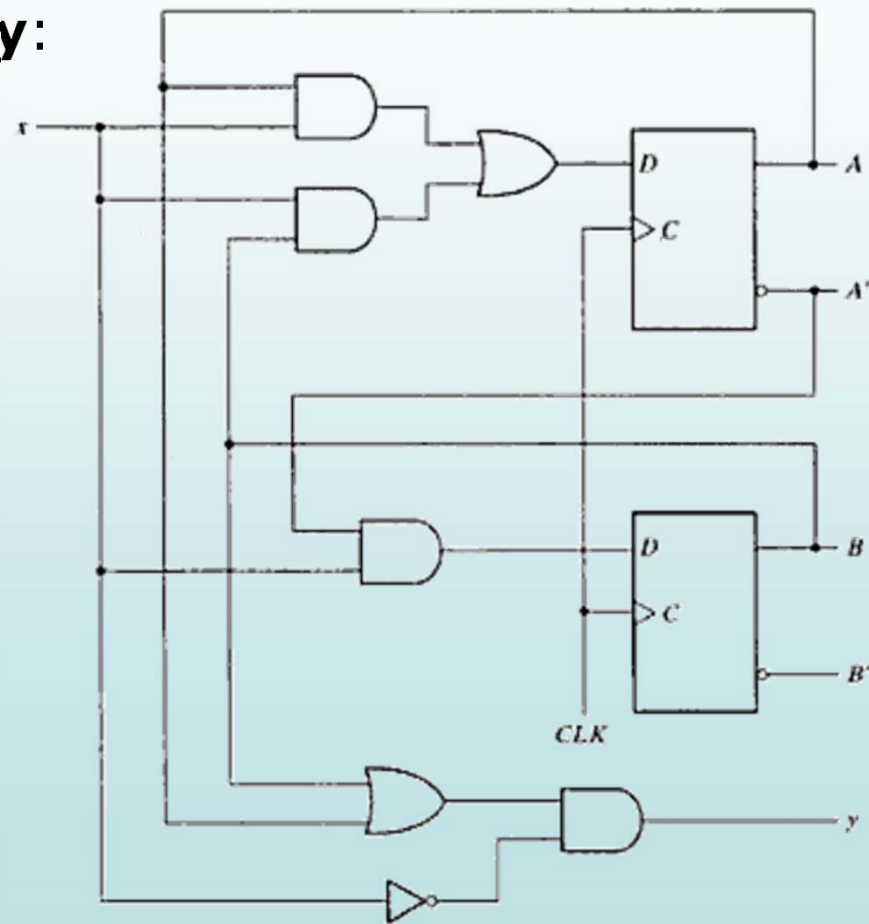
La salida, y , depende de los estados A y B .



4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL. MÁQUINAS DE ESTADOS FINITOS.

- **Ejemplo de FSM tipo Mealy:**

la salida, y , depende de la entrada, x , y de los estados A y B .



4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL.

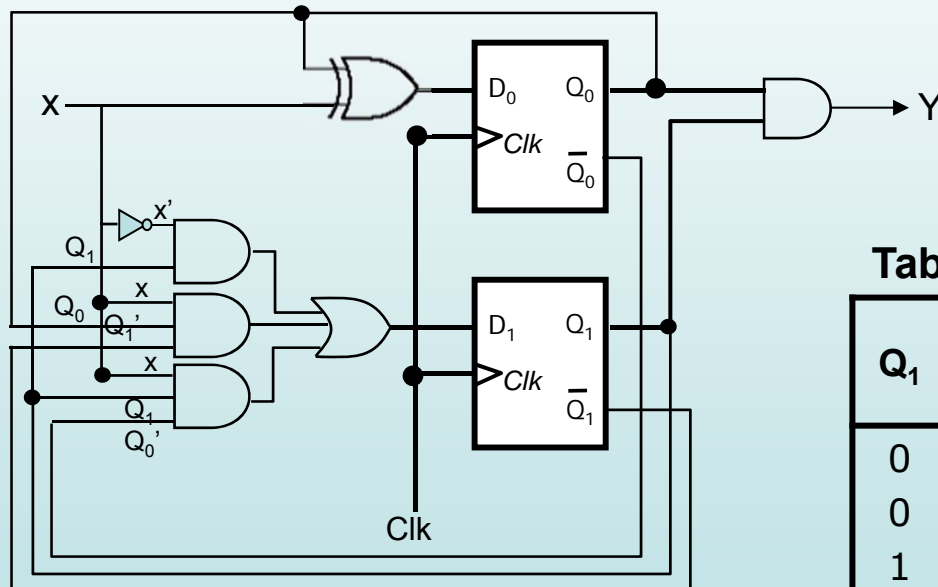
Análisis: se parte de un esquema lógico y hay que obtener una descripción del comportamiento del sistema.

Pasos a seguir:

1. Obtener las funciones de excitación de los biestables y de las salidas del sistema
2. Obtener la tabla de estados
3. Generar diagrama de estados
4. Cronograma
5. Descripción del comportamiento del sistema

4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL.

- ANÁLISIS DE UN SISTEMA SECUENCIAL:



Función de excitación de los biestables y salidas:

$$Q_0^+ = D_0 = Q_0 \oplus X$$

$$Q_1^+ = D_1 = X' \cdot Q_1 + X \cdot Q_1' \cdot Q_0 + X \cdot Q_1 \cdot Q_0'$$

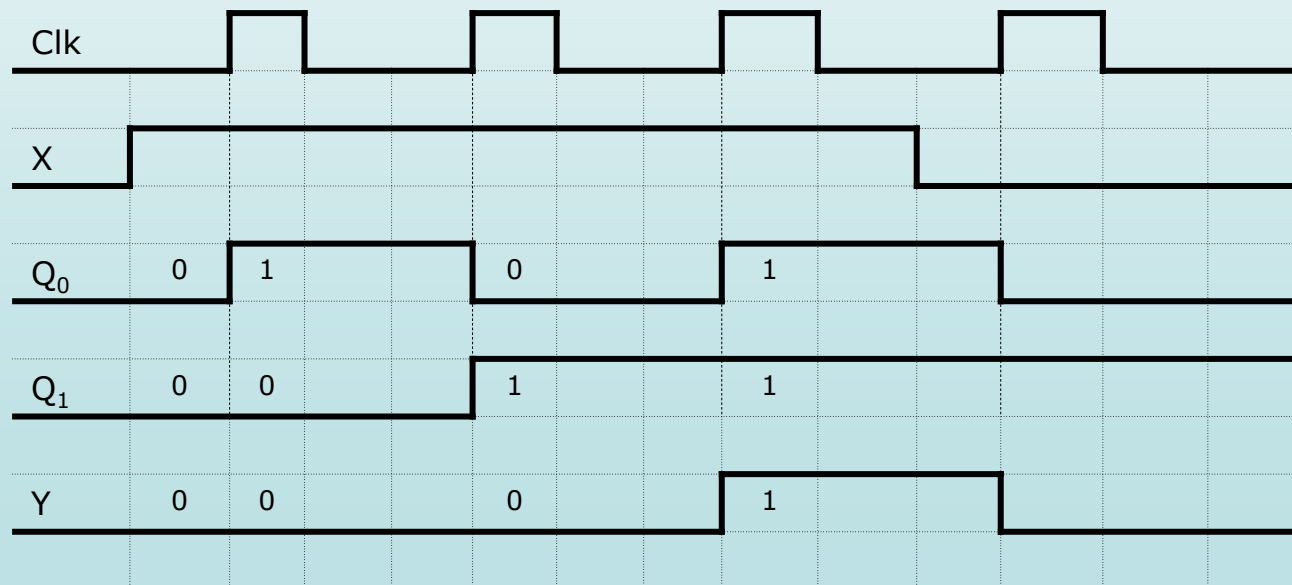
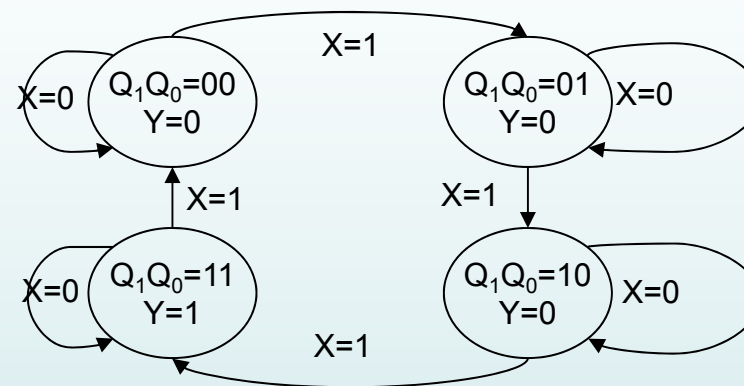
$$Y = Q_1 \cdot Q_0$$

Tabla de estados

Q_1	Q_0	Q_1^+	Q_0^+	Q_1^+	Q_0^+	Y
		$X=0$		$X=1$		
0	0	0	0	0	1	0
0	1	0	1	1	0	0
1	0	1	0	1	1	0
1	1	1	1	0	0	1

4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL.

Diagrama de estados y
cronograma:



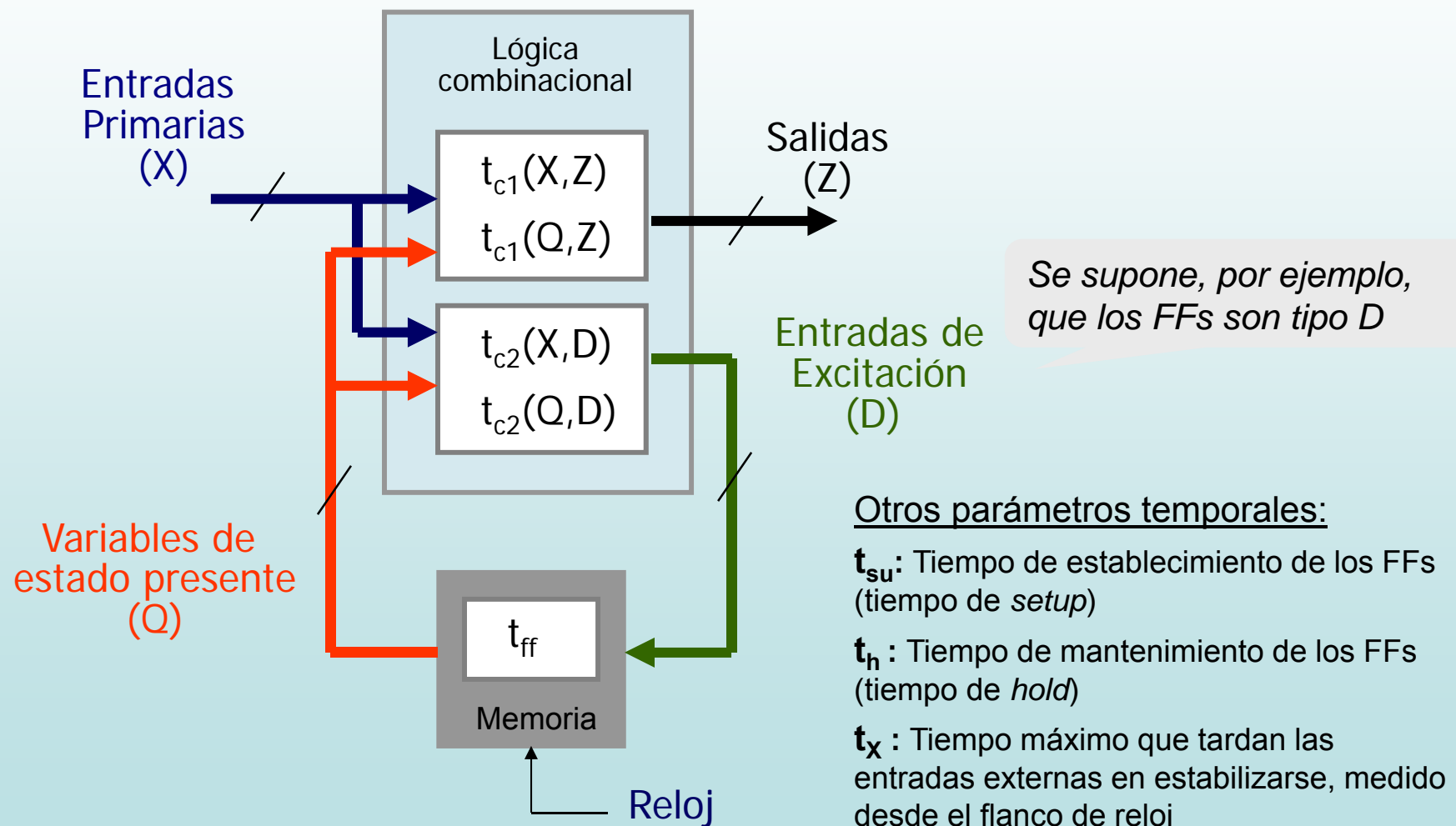
Ejemplo: Es un contador
módulo 4:

0, 1, 2, 3
($Q_1Q_0 = 00, 01, 10, 11$)

Cuando llega a 3 la
salida, Y, vale 1

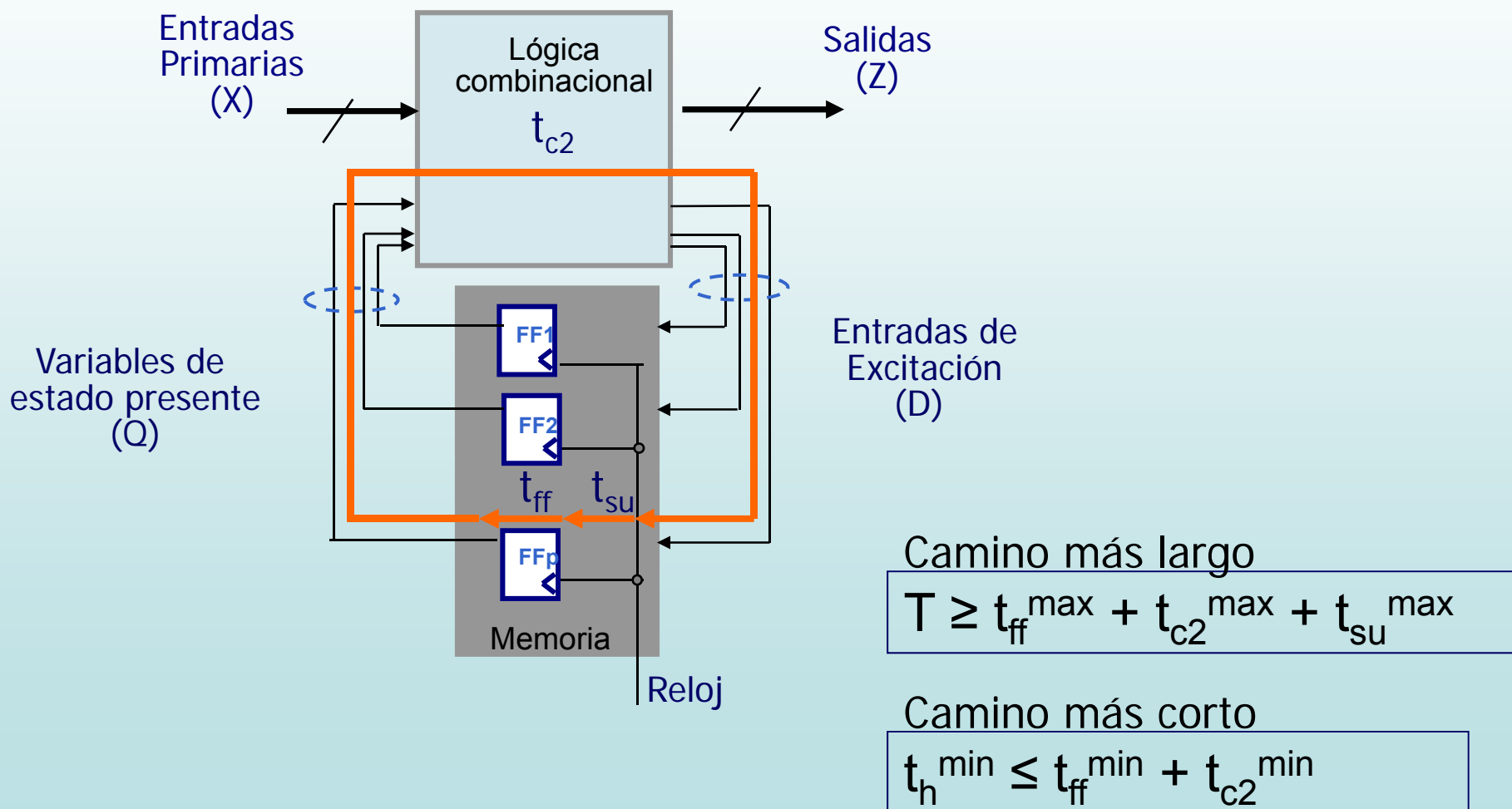
4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL.

Retardos de propagación en una FSM (tipo Mealy)



4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL.

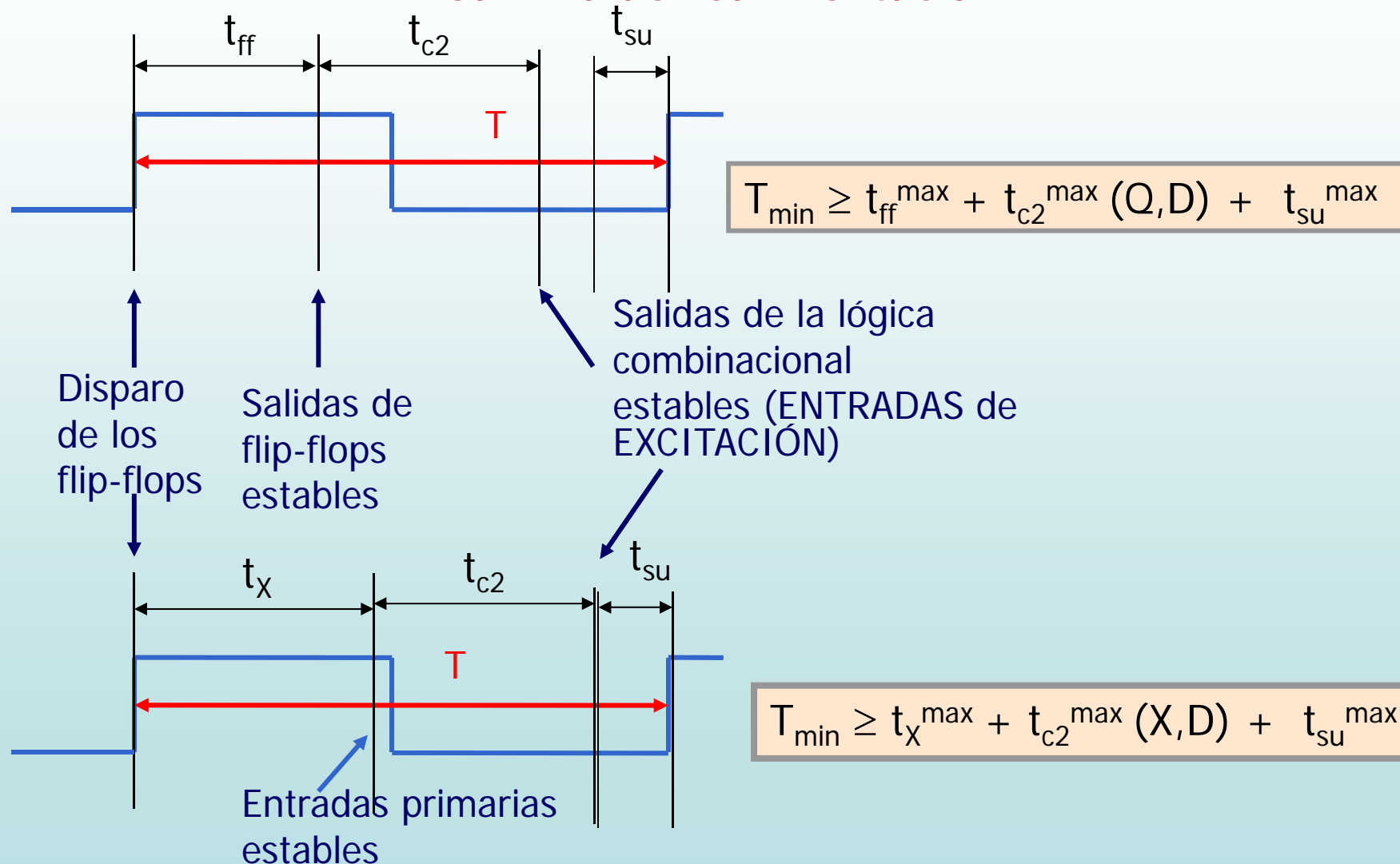
Restricciones en el camino de realimentación



4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL.

Eventos durante el ciclo de reloj

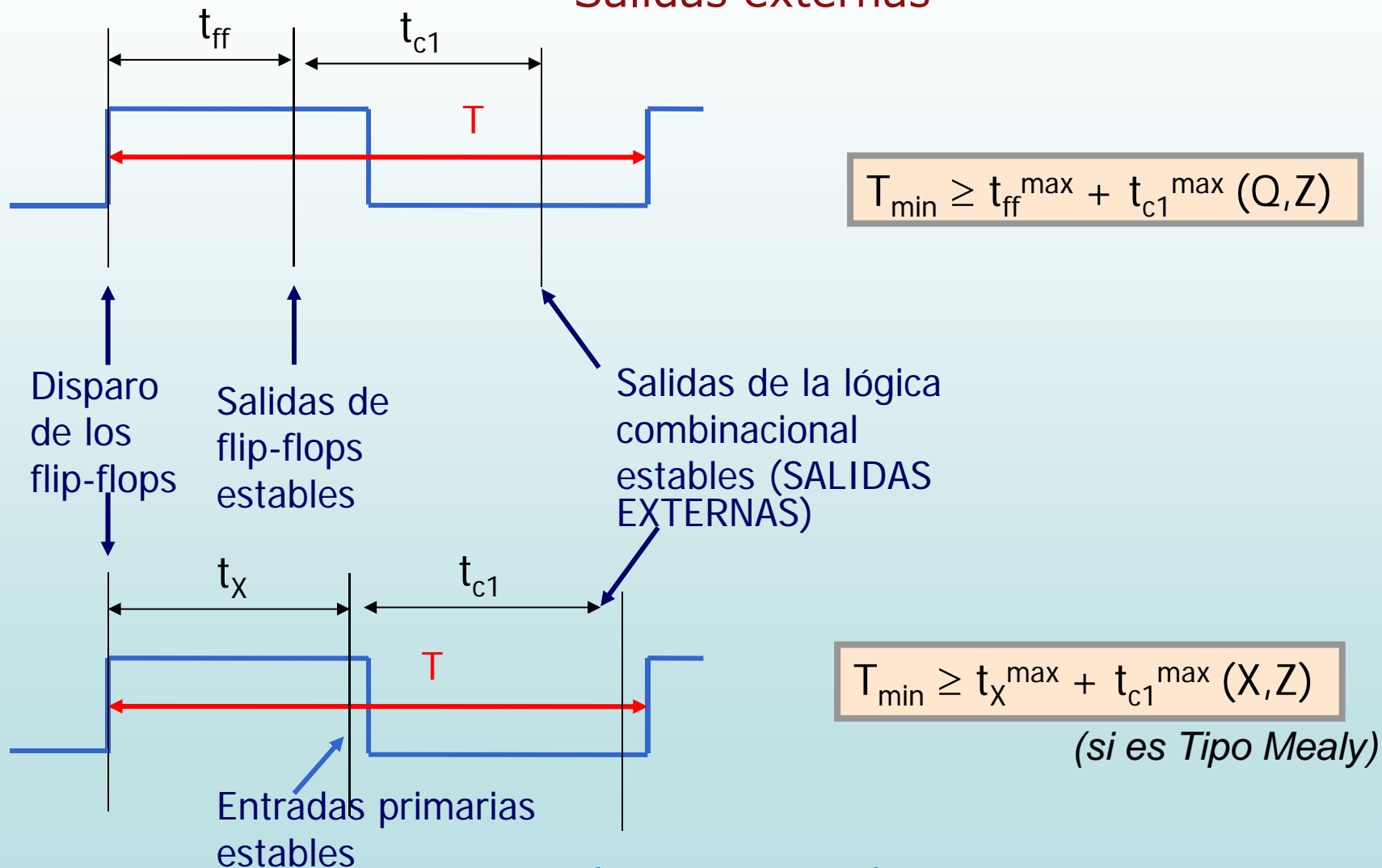
Camino de realimentación



4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL.

Eventos durante el ciclo de reloj

Salidas externas



4.4 ANÁLISIS DE UN SISTEMA SECUENCIAL.

Diseño de la señal de reloj

$$T_{\min} = \max\{t_{\text{ff}}^{\max} + t_{\text{c2}}^{\max} (Q,D) + t_{\text{su}}^{\max}, \\ t_{\text{ff}}^{\max} + t_{\text{c1}}^{\max} (Q,Z), \\ t_{\text{x}}^{\max} + t_{\text{c2}}^{\max} (X,D) + t_{\text{su}}^{\max}, \\ t_{\text{x}}^{\max} + t_{\text{c1}}^{\max} (X,Z)\} + E$$

$$f_{\max} = 1/ T_{\min}$$

donde


$$t_{\text{su}}^{\max} = \max \{t_{\text{su}}^{\min}(\text{FF1}), t_{\text{su}}^{\min}(\text{FF2}), \dots, t_{\text{su}}^{\min}(\text{FFp})\}$$

$$t_{\text{ff}}^{\max} = \max \{t_{\text{ff}}^{\max}(\text{FF1}), t_{\text{ff}}^{\max}(\text{FF2}), \dots, t_{\text{ff}}^{\max}(\text{FFp})\}$$

E es un término de tolerancia o error con el que se asume la incertidumbre en los retardos de propagación y la posibilidad de skew (E ~ 20%)

TEMA 4. ANÁLISIS Y DISEÑO DE SISTEMAS SECUNCIALES.

CONTENIDOS:

- 4.1. Concepto de sistema secuencial.
- 4.2. Elementos básicos secuenciales.
- 4.3. Componentes secuenciales estándar.
- 4.4. Análisis de un sistema secuencial.
-  4.5. Diseño de un sistema secuencial.

4.5 DISEÑO DE UN SISTEMA SECUENCIAL.

Fases de diseño de los circuitos secuenciales síncronos, utilizando puertas lógicas y biestables.

ETAPA 1 Descripción funcional del circuito	DIAGRAMAS Y TABLAS DE ESTADOS.
ETAPA 2 Minimización del número de estados	TABLA DE ESTADOS MINIMIZADA.
ETAPA 3 Asignación de estados, elección del tipo de biestables a utilizar. Obtención de las funciones de excitación de los biestables y funciones de salida.	TABLA DE TRANSICIÓN ASIGNADA. EXPRESIONES CANONICAS DE LAS: Funciones de excitación de los biestables y de las Funciones de Salida.
ETAPA 4 Minimización de las funciones	EXPRESIONES MINIMIZADAS DE LAS FUNCIONES Y ESQUEMA DEL CIRCUITO
ETAPA 5 Realización física del circuito	REALIZACIÓN FÍSICA DEL CIRCUITO, COMPROBACIÓN Y DEPURACIÓN.

4.5 DISEÑO DE UN SISTEMA SECUENCIAL.

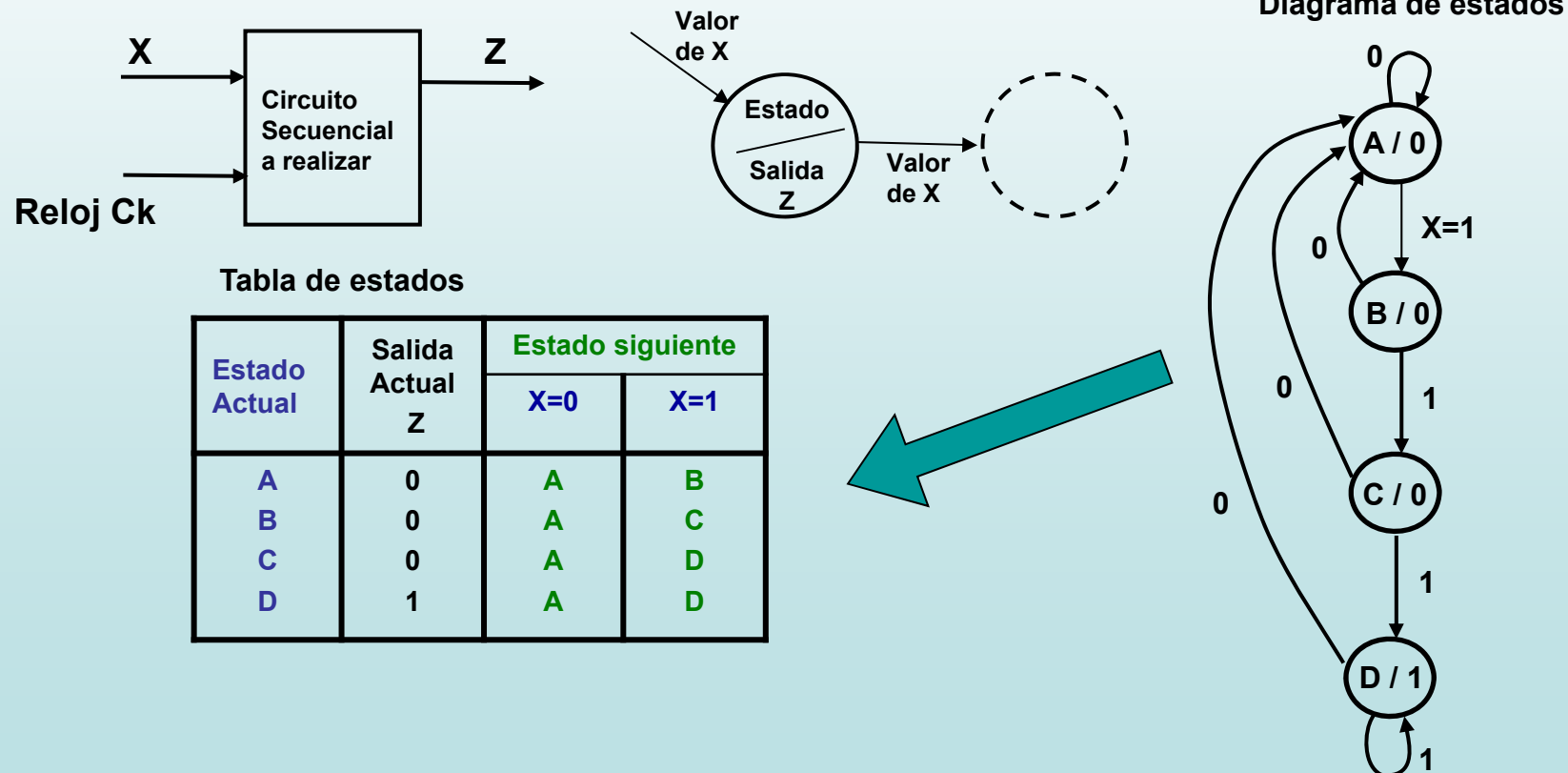
Ejemplo 1 Máquina tipo MOORE

ETAPA 1: Especificación del problema → Diagramas de estado → Tablas de estado

Enunciado:

Diseñar un circuito **TIPO MOORE** que consta de una entrada "X" y una salida "Z", tal que $Z=1$ cuando X haya sido $X=1$ durante 3 o más ciclos consecutivos de reloj.

Realizar el diseño utilizando biestables D



Ejemplo 1 Máquina tipo MOORE

ETAPA 2: Minimización de la tabla de estados. *Este punto no se va a aplicar. En este ejemplo, la tabla de estados de la etapa 1 ya es mínima.*

ETAPA 3: Asignación de estados. Elección del tipo de biestables a utilizar. Tabla de transiciones. *El enunciado del problema dice que se realice con biestables D.*

Tabla de estados

Estado Actual	Salida Actual Z	Estado siguiente	
		X=0	X=1
A	0	A	B
B	0	A	C
C	0	A	D
D	1	A	D

Q ⁺	D
0	0
1	1

$$D = Q^+$$

$$D_1 (Q_1 Q_0 X) = \sum m_i(3, 5, 7)$$

$$D_0 (Q_1 Q_0 X) = \sum m_i(1, 5, 7)$$

$$Z (Q_1 Q_0) = \sum m_i(3)$$

Tabla de transiciones

Estado actual y Asignación de estados Q ₁ Q ₀			Salida Z	Estado Siguiente						Funciones a realizar							
				Q ₁ ⁺ Q ₀ ⁺						D ₁				D ₀			
				X=0			X=1			X=0		X=1		X=0		X=1	
A =	0	0	0	0	0	0	0	1	1	0	0	0	1	0	0	1	1
B =	0	1	0	0	0	2	1	0	3	0	2	1	3	0	2	0	3
C =	1	0	0	0	0	4	1	1	5	0	4	1	5	0	4	1	5
D =	1	1	1	0	0	6	1	1	7	0	6	1	7	0	6	1	7

4.5 DISEÑO DE UN SISTEMA SECUENCIAL.

ETAPA 4: Minimización de las funciones, y esquema del circuito.

$$D_1(Q_1 Q_0 X) = \sum m_i(3, 5, 7)$$

$$D_0(Q_1 Q_0 X) = \sum m_i(1, 5, 7)$$

$Z(Q_1 Q_0) = \sum m_i(3)$; Z no es función de X (máquina tipo MOORE)

$Q_1 Q_0$		00	01	11	10
X	0	0	2	6	4
	1	1	3	7	5

$$D_1(Q_1 Q_0 X) = (X \cdot Q_0) + (X \cdot Q_1)$$

$Q_1 Q_0$		00	01	11	10
X	0	0	2	6	4
	1	1	3	7	5

$$D_0(Q_1 Q_0 X) = (X \cdot \bar{Q}_0) + (X \cdot Q_1)$$

		Q_1	
		0	1
Q_0	0	0	2
	1	1	1 ₃

$$Z(Q_1 Q_0) = Q_1 \cdot Q_0$$

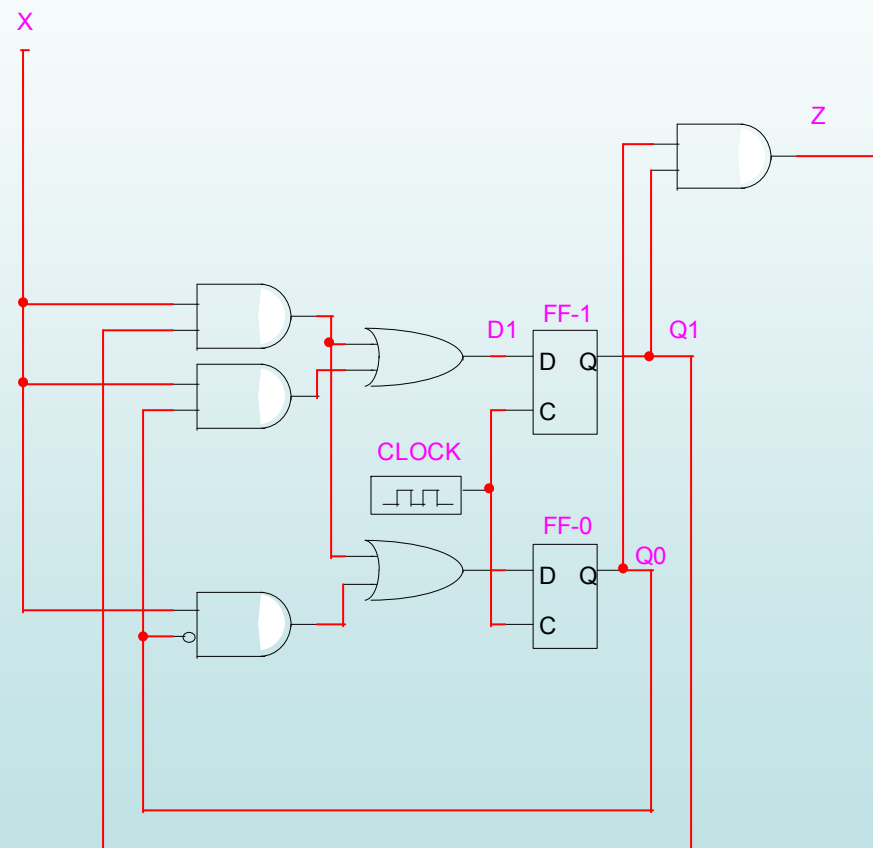
4.5 DISEÑO DE UN SISTEMA SECUENCIAL.

ETAPA 4: (Continuación). Esquema del circuito.

$$D_1(Q_1Q_0X) = (X \cdot Q_0) + (X \cdot Q_1)$$

$$D_0(Q_1Q_0X) = (X \cdot \bar{Q}_0) + (X \cdot Q_1)$$

$$Z(Q_1Q_0) = Q_1 \cdot Q_0$$



4.5 DISEÑO DE UN SISTEMA SECUENCIAL.

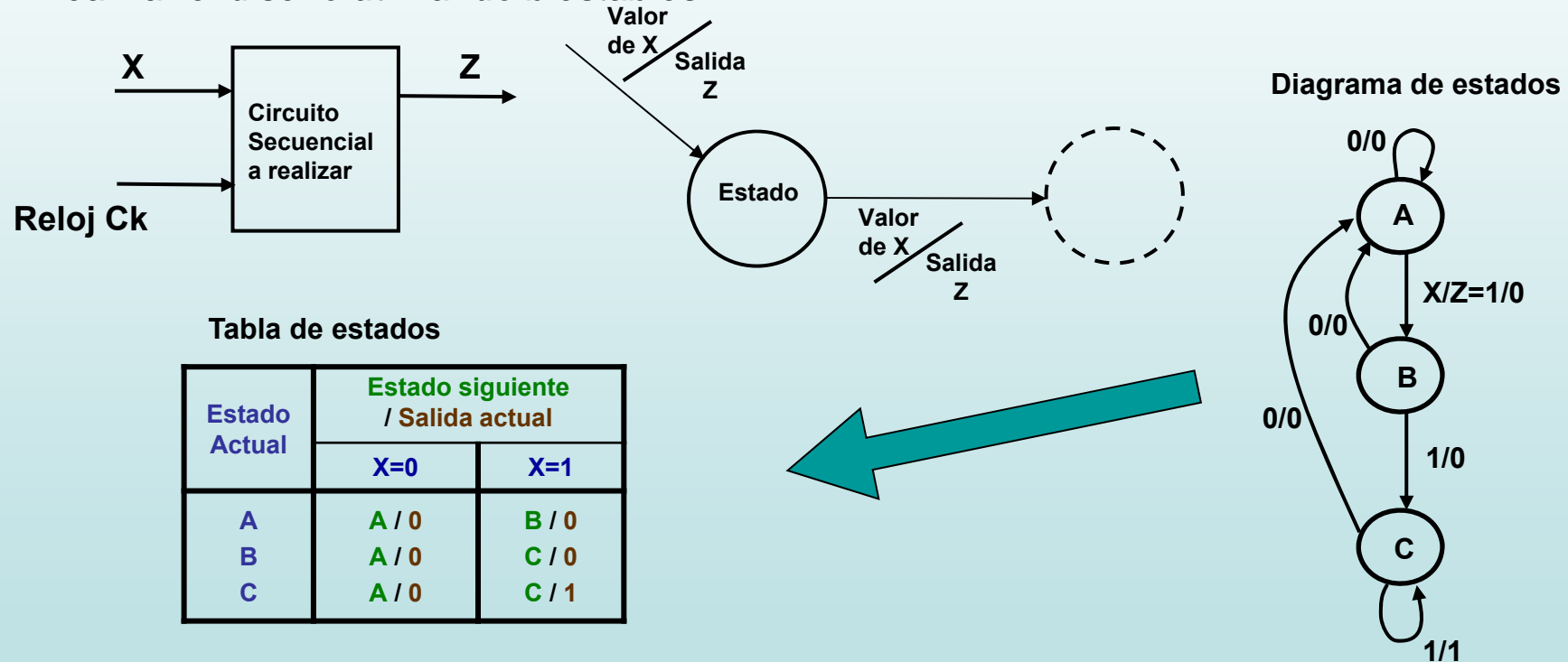
Ejemplo 2 Máquina tipo MEALY

ETAPA 1: Especificación del problema → Diagramas de estado → Tablas de estado

Enunciado:

Diseñar un circuito **TIPO MEALY** que consta de una entrada “X” y una salida “Z”, tal que $Z=1$ cuando X haya sido $X=1$ durante 3 o más ciclos consecutivos de reloj.

Realizar el diseño utilizando biestables D



4.5 DISEÑO DE UN SISTEMA SECUENCIAL.

ETAPA 2: Minimización de la tabla de estados. *Este punto no se va a aplicar. En este ejemplo, la tabla de estados de la etapa 1 ya es mínima.*

ETAPA 3: Asignación de estados. Elección del tipo de biestables a utilizar. Tabla de transiciones. *El enunciado del problema dice que se realice con biestables D.*

Tabla de estados

Estado Actual	Estado siguiente / Salida actual	
	X=0	X=1
A	A / 0	B / 0
B	A / 0	C / 0
C	A / 0	C / 1

Q ⁺	D
0	0
1	1

$$D = Q^+$$

$$D_1 (Q_1 Q_0 X) = \sum m_i(3, 5) + d(6, 7)$$

$$D_0 (Q_1 Q_0 X) = \sum m_i(1) + d(6, 7)$$

$$Z (Q_1 Q_0 X) = \sum m_i(5) + d(6, 7)$$

Tabla de transiciones

Estado actual y Asignación de estados Q ₁ Q ₀			Estado Siguiete						Funciones a realizar											
			Q ₁ ⁺ Q ₀ ⁺						D ₁				D ₀				Z			
			X=0			X=1			X=0		X=1		X=0		X=1		X=0		X=1	
A =	0	0	0	0	0	1	1	0	0	0	1	0	0	1	1	0	0	0	0	
B =	0	1	0	0	2	1	0	3	0	2	1	3	0	2	0	3	0	2	0	
C =	1	0	0	0	4	1	0	5	0	4	1	5	0	4	0	5	0	4	1	
—	1	1	—	—	6	—	—	7	—	6	—	7	—	6	—	7	—	6	—	

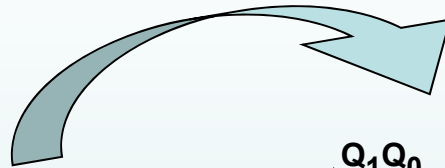
4.5 DISEÑO DE UN SISTEMA SECUENCIAL.

ETAPA 4: Minimización de las funciones, (Por Eje. Mapas de Karnaugh) y esquema del circuito.

$$D_1(Q_1 Q_0 X) = \sum m_i(3, 5) + d(6, 7)$$

$$D_0(Q_1 Q_0 X) = \sum m_i(1) + d(6, 7)$$

$$Z(Q_1 Q_0 X) = \sum m_i(5) + d(6, 7)$$



$Q_1 Q_0$ X		00	01	11	10
0		0	2	— 6	4
1		1	1 3	— 7	1 5

$$D_1(Q_1 Q_0 X) = (X \cdot Q_0) + (X \cdot Q_1)$$

$Q_1 Q_0$ X		00	01	11	10
0		0	2	— 6	4
1		1 1	3	— 7	5

$$D_0(Q_1 Q_0 X) = X \cdot \bar{Q}_1 \cdot \bar{Q}_0$$

$Q_1 Q_0$ X		00	01	11	10
0		0	2	— 6	0 4
1		1	3	— 7	1 5

$$Z(Q_1 Q_0 X) = X \cdot Q_1$$

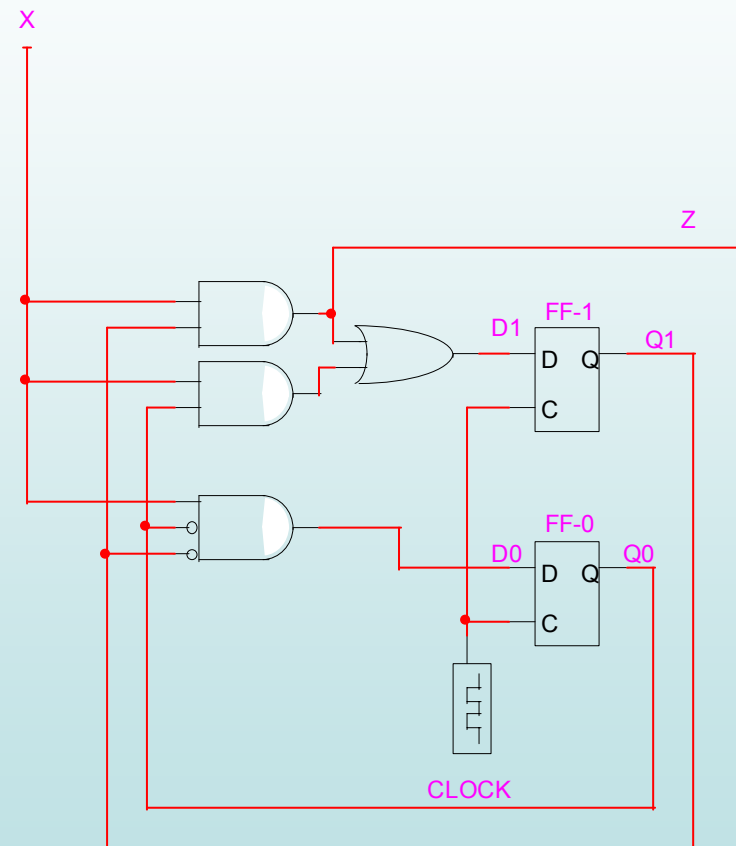
4.5 DISEÑO DE UN SISTEMA SECUENCIAL.

ETAPA 4: (Continuación). Esquema del circuito.

$$D_1(Q_1 Q_0 X) = (X \cdot Q_0) + (X \cdot Q_1)$$

$$D_0(Q_1Q_0X) = X \cdot \bar{Q}_1 \cdot \bar{Q}_0$$

$$\mathbf{Z}_1(\mathbf{Q}_1\mathbf{Q}_0\mathbf{X}) = \mathbf{X}\cdot\mathbf{Q}_1$$



CAPÍTULO 4

ANÁLISIS Y DISEÑO DE SISTEMAS SECUENCIALES

TECNOLOGÍA Y ORGANIZACIÓN DE COMPUTADORES

1º Grado en Ingeniería Informática.