



Universidad
de Granada

TECNOLOGÍA Y ORGANIZACIÓN DE COMPUTADORES
1º Grado en Ingeniería Informática
RELACIÓN DE PROBLEMAS

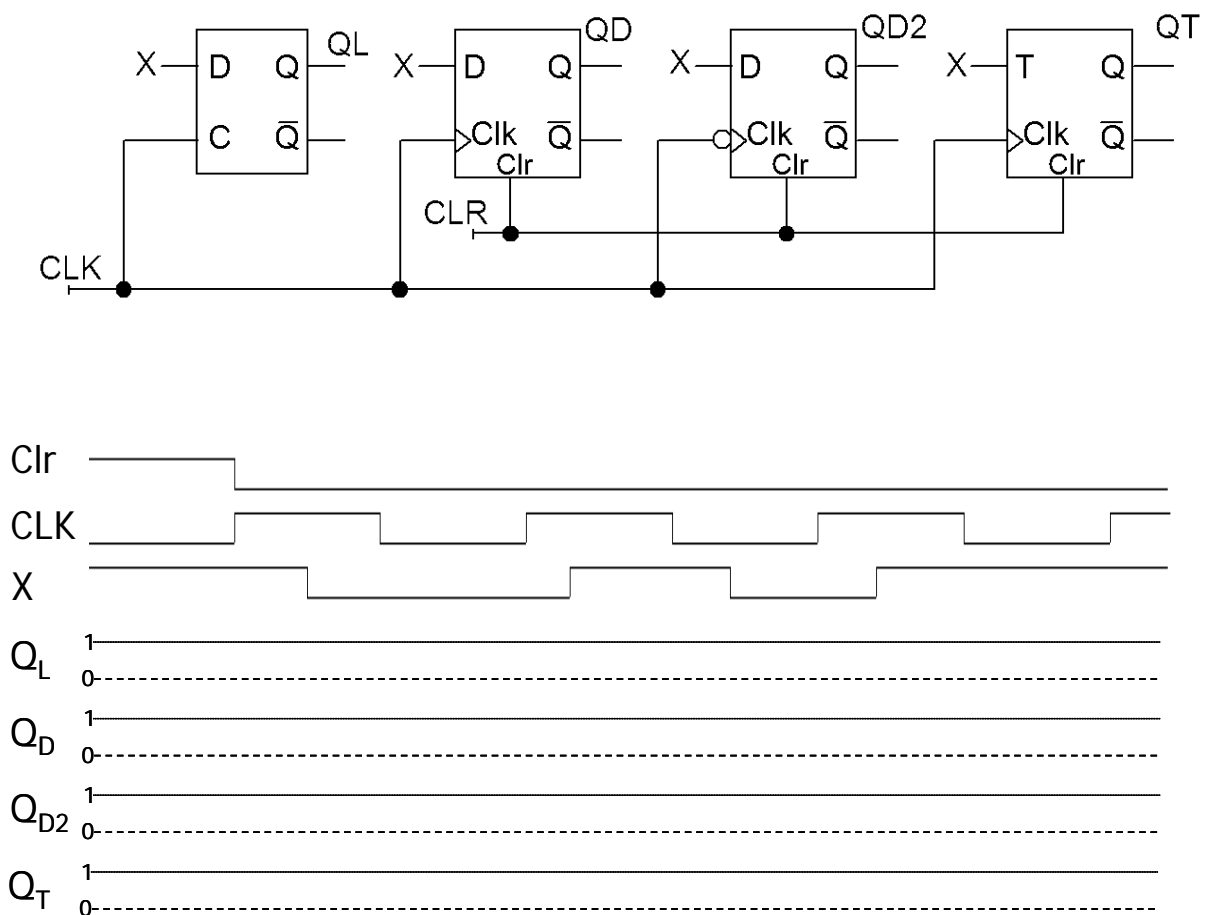


Departamento de Arquitectura y
Tecnología de Computadores

Ejercicios del Tema 4

Análisis y diseño de sistemas secuenciales.

4.1.- Complete el siguiente diagrama de tiempos para el circuito de la figura.



4.2.- Dos flip-flops tipo JK que operan sincronizadamente están interconectados del siguiente modo: $J_0 = Q_1$, $K_0 = \overline{Q_1}$, $J_1 = Q_0$ y $K_1 = \overline{Q_0}$. Dibuje el circuito y analice su comportamiento mediante un cronograma, introduciendo por la señal de reloj tantos pulsos como sean necesarios hasta averiguar la función que realiza.

4.3.- Diseñe un registro de desplazamiento de 4 bits con una señal de control “LD/R” y 4 entradas de datos “ $D_3D_2D_1D_0$ ” que tenga las características dadas por la siguiente tabla de funcionamiento simplificada:

Clk	Clr	LD/R	Q (Q_3, \dots, Q_0)
-	1	-	$Q=0$
\uparrow	0	0	ROTACIÓN DERECHA
\uparrow	0	1	CARGA SÍNCRONA EN PARALELO DE $D_3 \dots D_0$

4.4.- Diseñe un registro de desplazamiento de 4 bits que tenga las características dadas por la siguiente tabla de funcionamiento simplificada:

Clk	Clr	S_1	S_0	Q (Q_3, \dots, Q_0)
-	1	-	-	$Q_i=0$
\uparrow	0	0	0	ROTACIÓN IZQUIERDA
\uparrow	0	0	1	ROTACIÓN DERECHA
\uparrow	0	1	0	HOLD ($Q_i=Q_i$)
\uparrow	0	1	1	CARGA SÍNCRONA EN PARALELO ($Q_i=D_i$)

4.5.- Diseñe los siguientes contadores síncronos binarios:

1. Contador ascendente módulo 8.
2. Contador descendente módulo 8.
3. Contador ascendente/descendente módulo 8.

4.6.- Diseñe los siguientes contadores síncronos:

1. Contador ascendente módulo 5, que genere la secuencia **0, 1, 2, 3, 4**, 0, 1,
2. Contador descendente módulo 5, que genere la secuencia **4, 3, 2, 1, 0**, 4, 3,
3. Contador ascendente/descendente módulo 5 que reúna las características de los dos anteriores, controlado por una señal de modo de cuenta externa **UP/DOWN**.

4.7.- Diseñe los siguientes contadores síncronos:

1. Contador ascendente, que genere la secuencia **10, 11, 12, 13, 14**, 10, 11, ...
. ¿Cuál es su módulo?.
2. Contador descendente, que genere la secuencia **14, 13, 12, 11, 10**, 14, 13, ...
. ¿Cuál es su módulo?.
3. Contador ascendente/descendente que reúna las características de los dos anteriores, controlado por una señal de modo de cuenta externa **UP/DOWN**.

4.8.- Diseñe los siguientes generadores de secuencia síncronos:

1. Que genere la secuencia **10, 13, 9, 13, 7**, 10, 13, ¿Cuál es su módulo?.
2. Que genere la secuencia **7, 13, 9, 13, 10**, 7, 13, ¿Cuál es su módulo?.
3. Que genere dos secuencias que reúnan las características de las dos anteriores, controlado por una señal **M**.

4.9.- Diseñe los siguientes generadores de secuencia síncronos:

1. Que genere la secuencia **10, 13, 9, 13, 7**, 10, 13, ¿Cuál es su módulo?.
2. Que genere la secuencia **9, 3, 4, 9, 3**, ¿Cuál es su módulo?.
3. Que genere dos secuencias que reúnan las características de las dos anteriores, controlado por una señal **M**.

4.10.- Diseñe un generador de secuencia síncronos que, en función de dos entradas de modo de cuenta (M_1M_0), genere las siguientes secuencias de salidas:

1. Si $M_1M_0 = 00$ genere la secuencia **10, 13, 9, 13**, 10, 13,
2. Si $M_1M_0 = 01$ genere la secuencia **4, 3, 7, 4, 3**,
3. Si $M_1M_0 = 10$ genere la secuencia **8, 7, 4, 8, 7**,
4. Si $M_1M_0 = 11$ genere la secuencia **2, 3, 7, 6, 2, 3**,

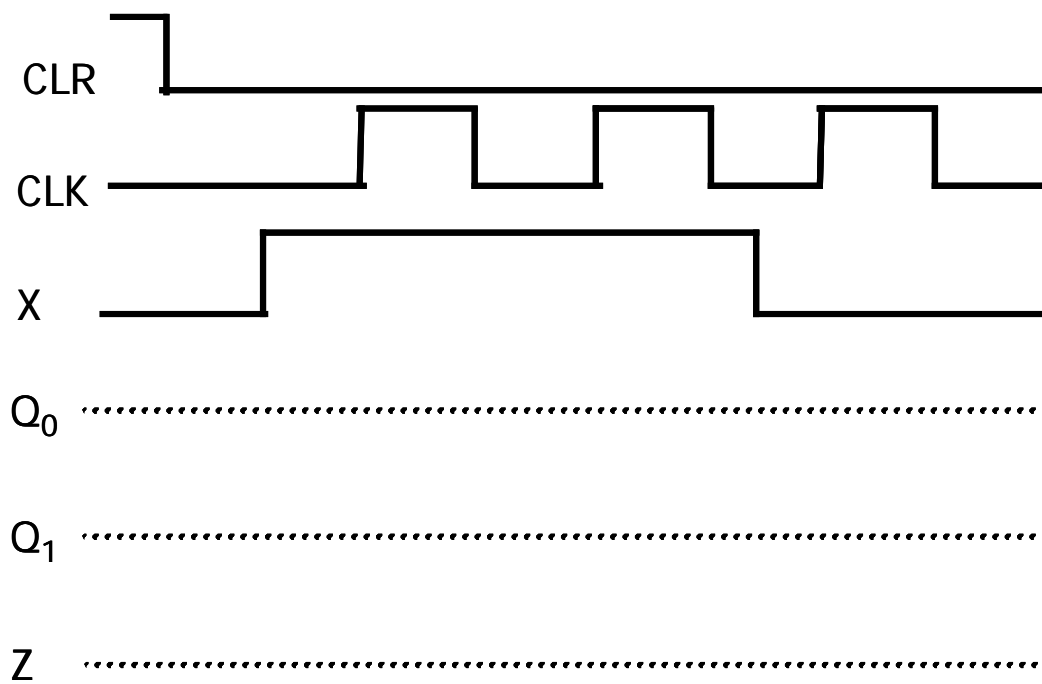
4.11.- Dibuje el diagrama de estados de un generador de secuencia síncrono que, en función de una entrada **M**, genere las siguientes secuencias de salidas:

Si $M = 0$; $Z = \dots, \mathbf{3}, \mathbf{0}, \mathbf{3}, \mathbf{4}, 3, 0, 3, 4} \dots$

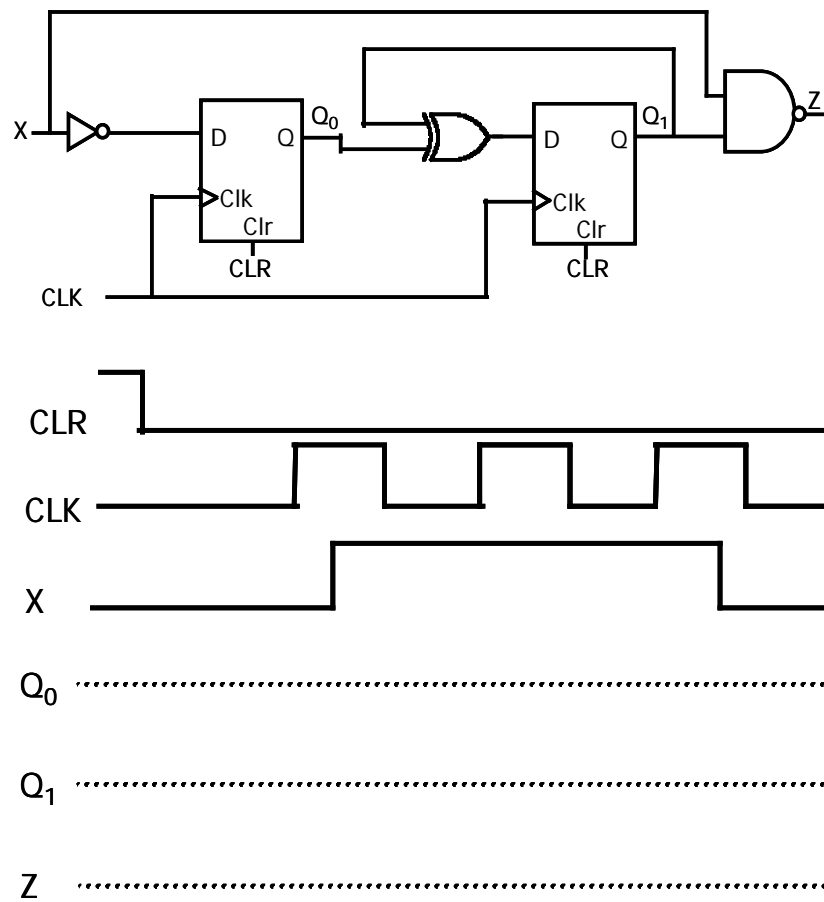
Si $M = 1$; $Z = \dots, \mathbf{0}, \mathbf{6}, \mathbf{1}, 0, 6, 1, \dots$

- ¿Cuántas salidas se requieren para implementar el sistema?
- ¿Cuántos biestables se requieren para implementar el sistema?

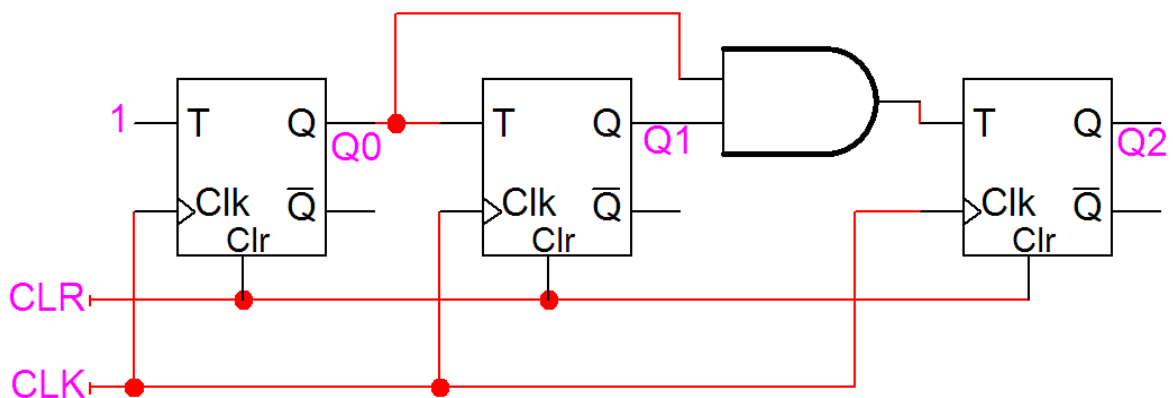
The diagram shows a 2-bit counter circuit. It consists of two D flip-flops and an XOR gate. The input X is connected to the D input of the first flip-flop. The output Q_0 of the first flip-flop is connected to the D input of the second flip-flop and also to one input of the XOR gate. The output Q_1 of the second flip-flop is connected to the other input of the XOR gate. The output of the XOR gate is connected back to the D input of the first flip-flop. Both flip-flops are clocked by the same CLK signal. The first flip-flop has a CLR input, and the second flip-flop has a CLR input. The output of the first flip-flop is labeled Q_0 and the output of the second flip-flop is labeled Q_1 . The output of the XOR gate is labeled Z .

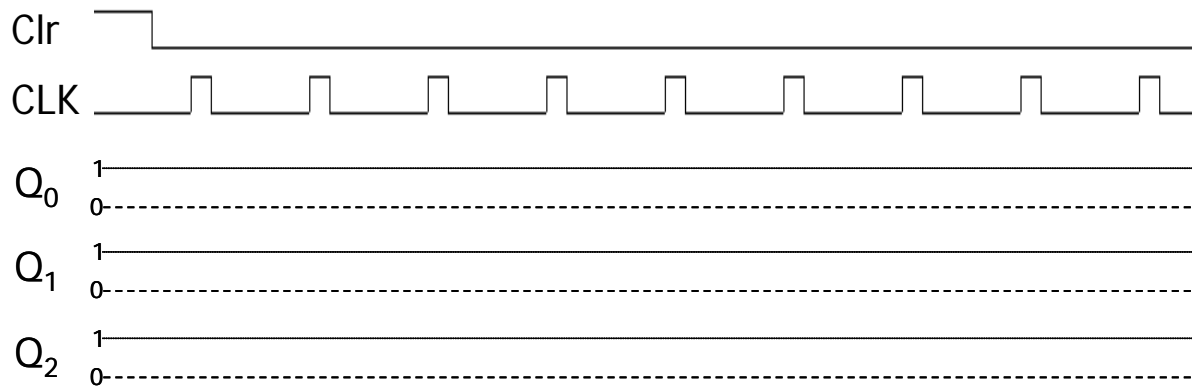


4.13.- Complete el siguiente diagrama de tiempos para el circuito de la figura.

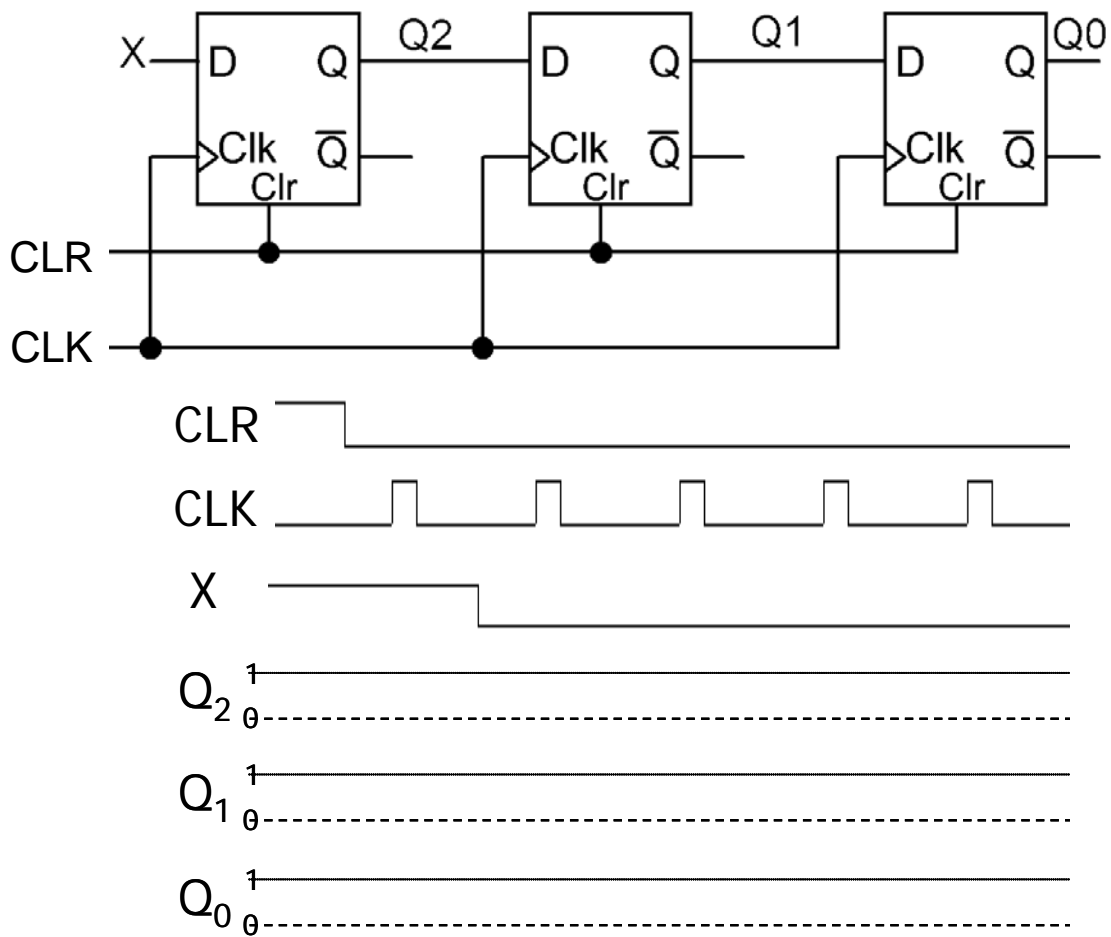


4.14.- Complete el siguiente diagrama de tiempos para el circuito de la figura. Dibuje el diagrama de estados del circuito y razone cuál puede ser su utilidad.

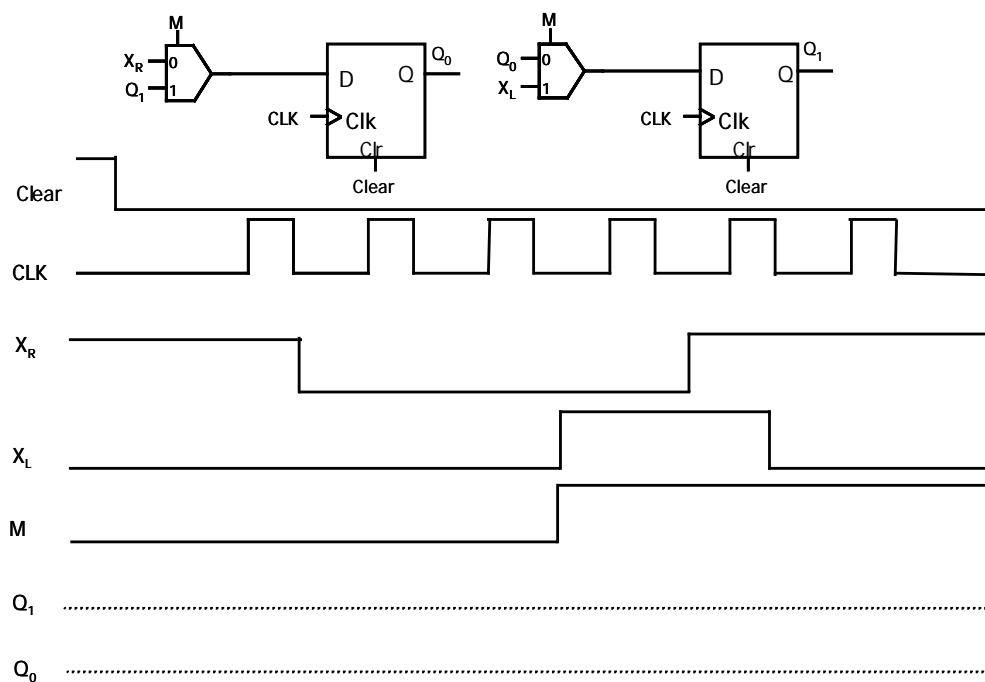




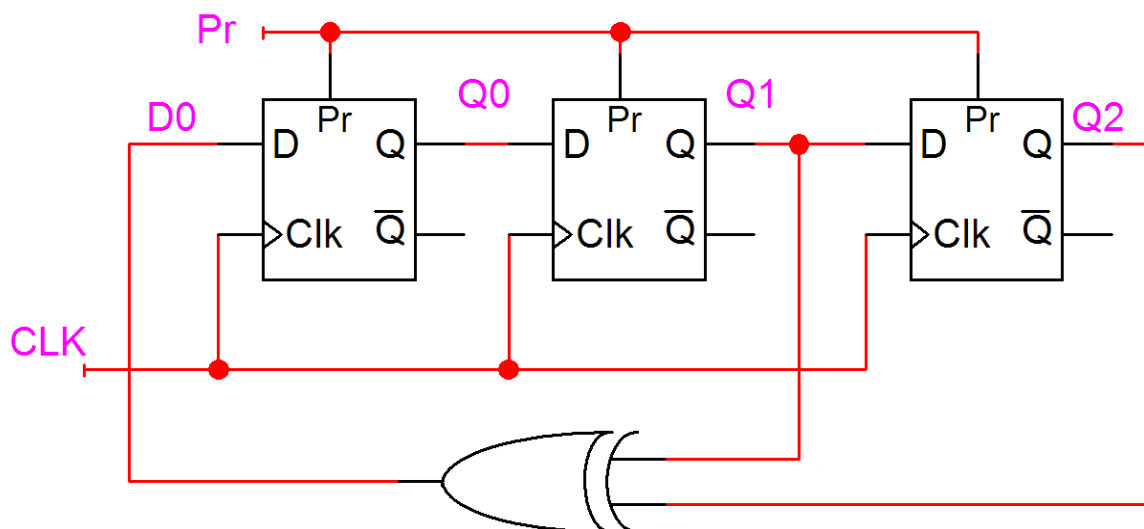
4.15.- Complete el siguiente diagrama de tiempos para el circuito de la figura. ¿Cuántos flancos de subida son necesarios para que el valor de X se propague hasta Q₀?

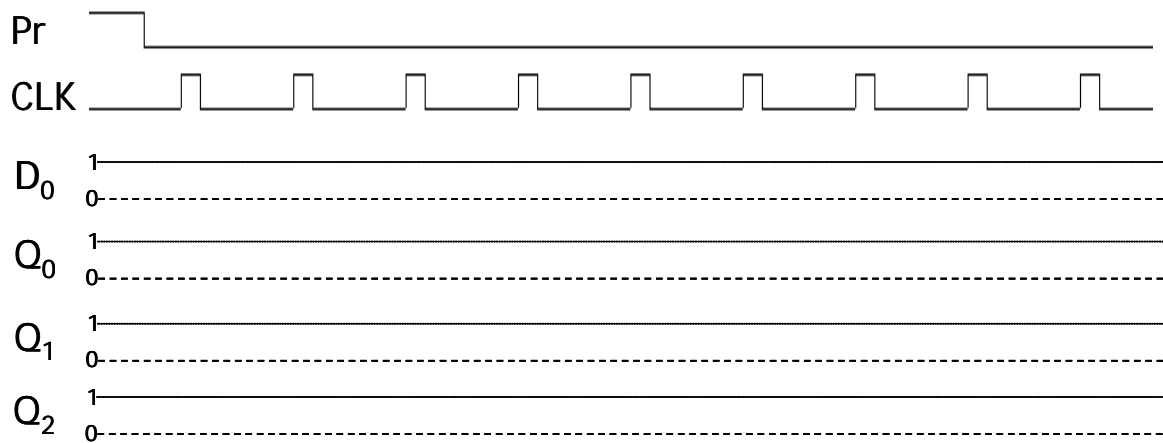


4.16.- Complete el diagrama de tiempos para el circuito de la figura. Desprecie los retardos de propagación de las señales.



4.17.- Complete el siguiente diagrama de tiempos para el circuito de la figura. Dibuje el diagrama de estados del circuito y razone cuál puede ser su utilidad.





4.18.- Diseñe un circuito secuencial síncrono con dos entradas X_1, X_0 y una salida Z . La salida debe valer 1 durante el ciclo de reloj en el que $X_1 = X_0$ si y sólo si también han sido iguales en el ciclo inmediatamente anterior. Una vez que $Z=1$, se mantiene a dicho valor hasta que X_1 sea distinto de X_0 . Emplee para el diseño flip-flops tipo T.

Ejemplo de funcionamiento (cronograma simplificado):

X_1 = 0 1 1 0 1 1 0 0 0 1 1 0 ...
 X_0 = 1 1 1 0 1 0 0 0 0 1 0 1 ...
 Z = 0 0 1 1 1 0 0 1 1 1 0 0 ...

4.19.- Obtenga una realización del circuito secuencial síncrono especificado mediante la siguiente tabla de estados empleando flip-flops tipo T:

EP	ES		Z	
	x=0	x=1	x=0	x=1
A	B	B	0	1
B	F	D	0	1
C	E	G	1	1
D	A	C	0	0
E	D	G	1	0
F	F	A	0	0
G	C	B	1	0

4.20.- Se pretende diseñar un circuito secuencial síncrono que consta de una entrada de datos X y una salida Z . El circuito debe generar $Z=1$ salvo cuando se recibe el último

bit de una secuencia de tres bits iguales, en cuyo caso $Z=0$. Realice el diseño utilizando flip-flops tipo D. El siguiente ejemplo muestra el funcionamiento del sistema:

X:	0	1	1	0	0	0	0	1	0	1	1	1	1	1	0	0	0	...
Z:	1	1	1	1	1	0	0	1	1	1	1	0	0	0	1	1	0	...

4.21.- Diseñe un sistema secuencial síncrono con una entrada x y una salida z de modo que $z = 1$ si y sólo si aparece la secuencia 10 por la entrada tras la señal de Clear (primero el 1 y luego el 0). Tras esos dos primeros pulsos el circuito debe quedarse indefinidamente en el mismo estado, es decir, con $z = 1$ si la combinación era 10 y con $z = 0$ en cualquier otro caso. Realice el diseño completo del sistema empleando flip-flops tipo D.

4.22.- Un cierto dispositivo produce una salida codificada con los bits b_1, b_0 , cuyas combinaciones binarias (00,01,10,11) codifican respectivamente cuatro niveles de la temperatura del agua de un depósito ($T_0 < T_1 < T_2 < T_3$). Con la salida de dicho dispositivo y una señal de reloj se quiere controlar una alarma que cumpla con las siguientes especificaciones:

- La alarma se hallará necesariamente en situación de ACTIVADA o DESACTIVADA.
- Si la alarma se encuentra en situación DESACTIVADA se activará cuando durante dos o más de dos flancos ascendentes de la señal de reloj, el nivel de temperatura medido sea T_2 , o cuando durante uno o más de uno, el nivel sea T_3 .
- Si la alarma se encuentra en situación de ACTIVADA se desactivará cuando durante dos o más de dos flancos ascendentes de la señal de reloj, el nivel de temperatura medido sea T_1 , o cuando durante uno o más de uno, el nivel sea T_0 .

Diseñe el circuito secuencial síncrono que cumpla con las especificaciones anteriores utilizando para el diseño flip-flops tipo D.

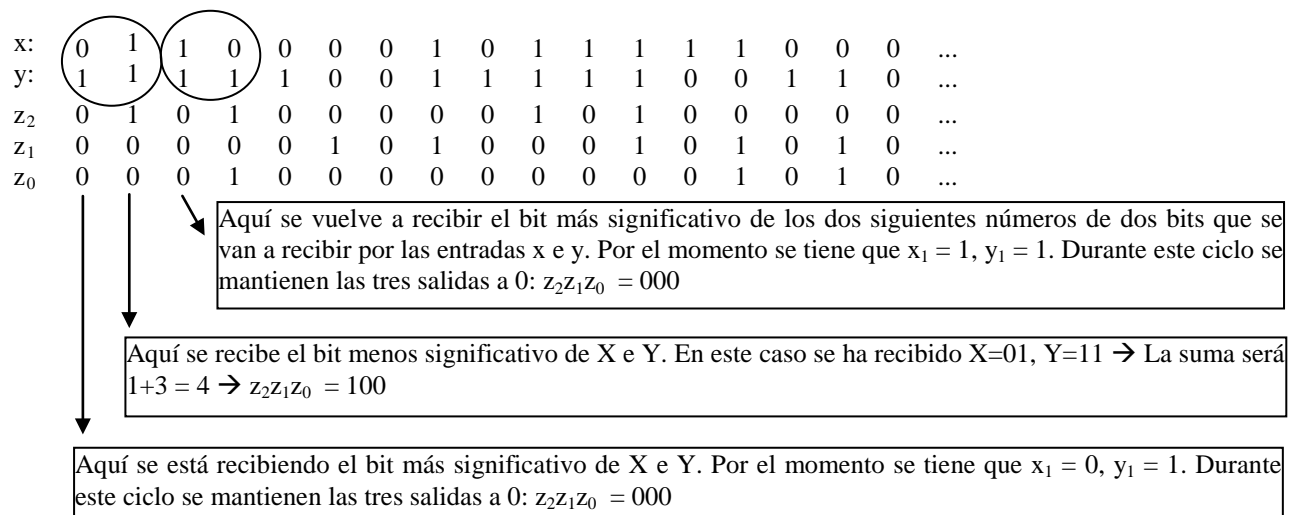
4.23.- Obtenga el *diagrama de estados*, la *tabla de estados* para un sistema secuencial síncrono con una entrada X y una salida Z , que sea capaz de detectar continuamente la secuencia 0110 que le va llegando por su única línea de entrada X , generando la salida $Z = 1$ durante la recepción del último bit de esa secuencia de entrada y $Z = 0$ en otro caso.

Ejemplo:

X = 0 0 1 1 0 1 1 0 0 1 0 1 1 0 1 1 1
 Z = 0 0 0 0 1 0 0 1 0 0 0 0 0 1 0 0 0

4.24.- Se desea diseñar un circuito secuencial síncrono con dos entradas “x” e “y” y tres salidas “ $z_2z_1z_0$ ” que funcione como un sumador serie de números de dos bits. El circuito debe operar de la siguiente forma:

- Durante la recepción del primer bit de “x” e “y” (el bit más significativo de $X \equiv x_1x_0$ e $Y \equiv y_1y_0$) las tres salidas deben estar a cero: $Z \equiv z_2z_1z_0 = 000$.
- Durante la recepción del segundo bit de “x” e “y” (el bit menos significativo de $X \equiv x_1x_0$ e $Y \equiv y_1y_0$) la salida debe expresar el resultado de sumar aritméticamente $X + Y$, es decir, $z_2z_1z_0 = x_1x_0 + y_1y_0$ (ya que se necesitan 3 bits para codificar esa suma).
- El circuito secuencial síncrono deberá repetir indefinidamente estas operaciones, es decir, después de recibir el bit menos significativo de X e Y se volverá a recibir el bit más significativo de los dos números de dos bits siguientes que se han de sumar. Un ejemplo del funcionamiento de este sistema es el siguiente:



Dibuje el diagrama de estados de este circuito secuencial síncrono. Finalmente, implemente el circuito usando flip-flops tipo D.

4.25.- A partir de la siguiente Tabla de Estados, y con la codificación de estados dada junto a dicha tabla, finalice el diseño del sistema secuencial síncrono que estaría

representado por dicha tabla e implemente el circuito secuencial síncrono utilizando flip-flops tipo D.

Tabla

EP	ES				Salida (Z)			
	$x_1x_0 =$				$x_1x_0 =$			
	00	01	10	11	00	01	10	11
A	A	B	C	A	0	1	1	0
B	C	B	A	B	0	0	1	0
C	A	C	B	A	1	0	0	0

Codificación

Estado	Q_1 Q_0
A	0 0
B	1 0
C	1 1

4.26.- Se desea diseñar un circuito secuencial síncrono con dos entradas “x” e “y” y tres salidas “M,I,N” que funcione como un comparador serie de números de dos bits. El circuito debe operar de la siguiente forma:

- Durante la recepción del primer bit de “x” e “y” (el bit más significativo de $X \equiv x_1x_0$ e $Y \equiv y_1y_0$) las tres salidas deben estar a cero: $MIN = 000$.

- Durante la recepción del segundo bit de “x” e “y” (el bit menos significativo de $X \equiv x_1x_0$ e $Y \equiv y_1y_0$) las salidas deben tomar los valores:

$$M = 1 \text{ si } X > Y$$

$$I = 1 \text{ si } X = Y$$

$$N = 1 \text{ si } X < Y$$

- El circuito secuencial síncrono deberá repetir indefinidamente estas operaciones, es decir, después de recibir el bit menos significativo de X e Y se volverá a recibir el bit más significativo de los dos números de dos bits siguientes que se han de comparar.

Un ejemplo del funcionamiento de este sistema es el siguiente:

X:	0	1	1	0	0	0	1	1	0	1	1	1	1	0	0	0	...	
y:	1	1	1	0	1	0	0	1	1	1	1	1	0	0	1	1	0	...
M	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	...
I	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	...
N	0	1	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	...

Aquí se vuelve a recibir el bit más significativo de los dos siguientes números de dos bits que se van a recibir por las entradas x e y. Por el momento se tiene que $x_1 = 1$, $y_1 = 1$. Durante este ciclo se mantienen las tres salidas a 0: $MIN = 000$

Aquí se recibe el bit menos significativo de X e Y. En este caso se han recibido $X=01$, $Y=11 \rightarrow X < Y \rightarrow MIN = 001$

Aquí se está recibiendo el bit más significativo de X e Y. Por el momento se tiene que $x_1 = 0$, $y_1 = 1$. Durante este ciclo se mantienen las tres salidas a 0: $MIN = 000$

Dibuje el diagrama de estados de este circuito secuencial síncrono. Finalmente, implemente el circuito usando flip-flops tipo D.

4.27.- A partir de la siguiente Tabla de Estados, y con la codificación de estados dada junto a dicha tabla, finalice el diseño del sistema secuencial síncrono que estaría representado por dicha tabla e implemente el circuito secuencial síncrono utilizando flip-flops tipo D.

Tabla

EP	ES				Salida (Z)			
	$x_1x_0 =$				$x_1x_0 =$			
	00	01	10	11	00	01	10	11
A	A	A	B	C	0	0	0	1
B	C	B	A	B	0	0	1	0
C	A	C	B	B	1	1	0	0

Codificación

Estado	Q_1 Q_0
A	0 0
B	0 1
C	1 1

4.28.- Un sistema secuencial síncrono tiene dos entradas (X_1 y X_0), y una salida (Z). Su función es comparar las secuencias que recibe por ambas entradas. Si $X_1=X_0$ durante **al menos** cuatro ciclos de reloj consecutivos, el circuito genera $Z=1$ a partir del cuarto ciclo (**mientras** $X_1 = X_0$); en cualquier otro caso, produce $Z = 0$, tal como se refleja en el siguiente ejemplo:

$X_1 \quad = 0\ 1\ 1\ 0\ 1\ 1\ 1\ 0\ 0\ 0\ 1\ 1\ 0\ \dots$
 $X_0 \quad = 1\ 1\ 1\ 0\ 1\ 0\ 1\ 0\ 0\ 0\ 1\ 1\ 1\ \dots$
 $Z \quad = 0\ 0\ 0\ 0\ 1\ 0\ 0\ 0\ 0\ 1\ 1\ 1\ 0\ \dots$

Obtenga el *diagrama de estados*, la *tabla de estados* del circuito secuencial síncrono. Finalmente, implemente el circuito usando flip-flops tipo D.