

ГУАП

КАФЕДРА № 42

ОТЧЕТ
ЗАЩИЩЕН С ОЦЕНКОЙ
ПРЕПОДАВАТЕЛЬ

канд. техн. наук, доцент

должность, уч. степень, звание

подпись, дата

А. В. Аграновский

инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ № 3

БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ЦВМ

по курсу:

ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ гр. № 4326

подпись, дата

Г. С. Томчук

инициалы, фамилия

Санкт-Петербург 2025

1 Цель работы

Цель работы: изучение и практическое исследование работы логических элементов.

2 Электронные модели экспериментальной установки

На рис. 1-6 изображены схемы экспериментальной установки, составленные в Micro-Cap, соответственно для пунктов задания 1-6.

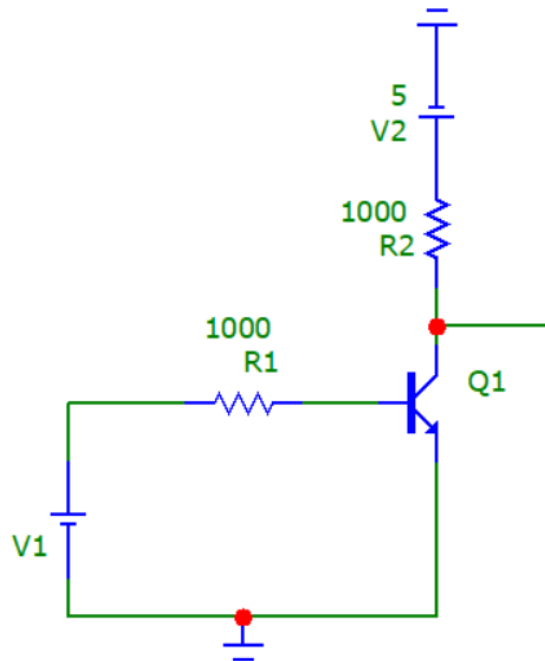


Рисунок 1 – Схема для исследования инвертора

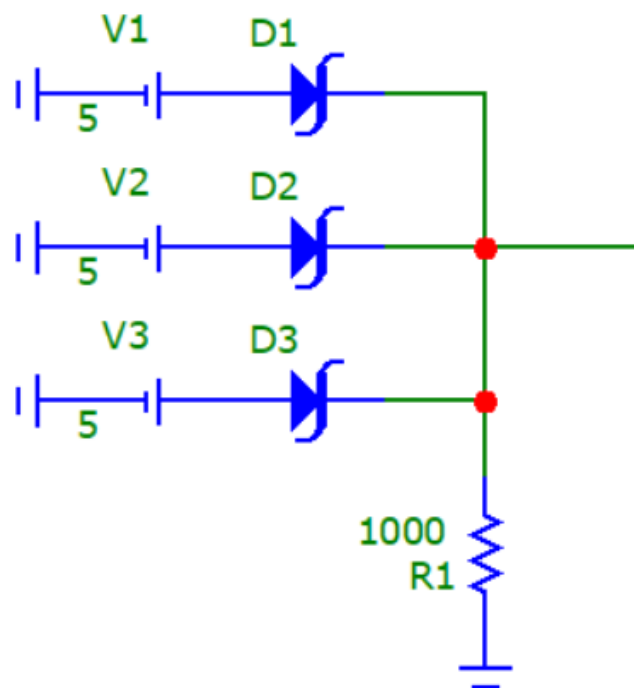


Рисунок 2 – Схема для исследования трехвходового логического сумматора

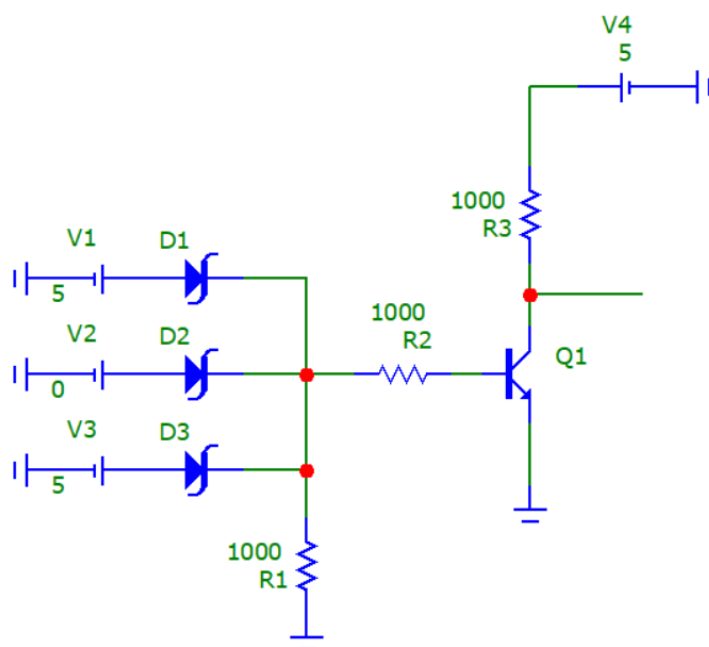


Рисунок 3 – Схема для исследования трехвходового дизъюнктора с инверсией

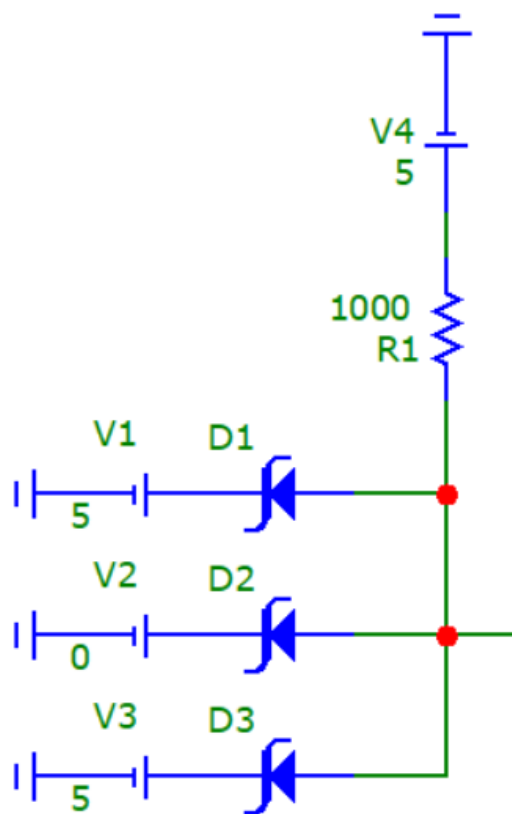


Рисунок 4 – Схема для исследования трехвходового конъюнктора

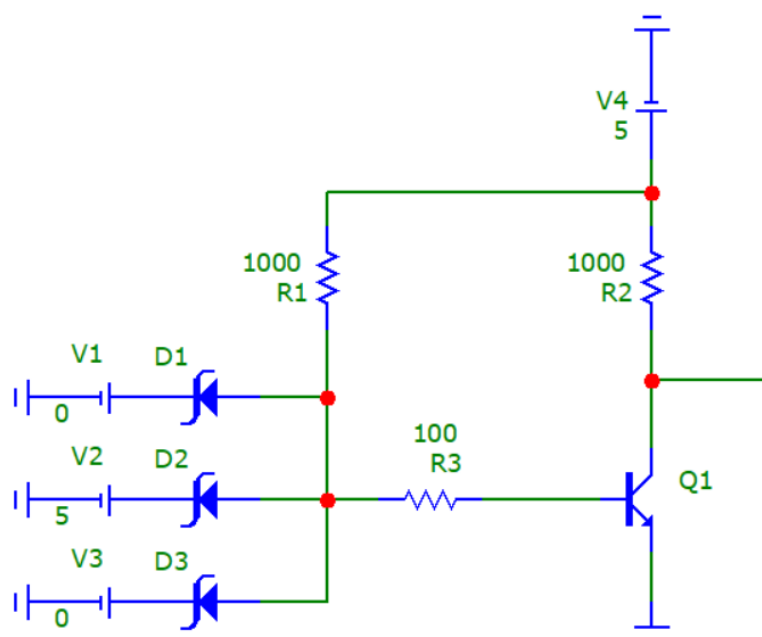


Рисунок 5 – Схема для исследования трехвходового конъюнктора с инверсией

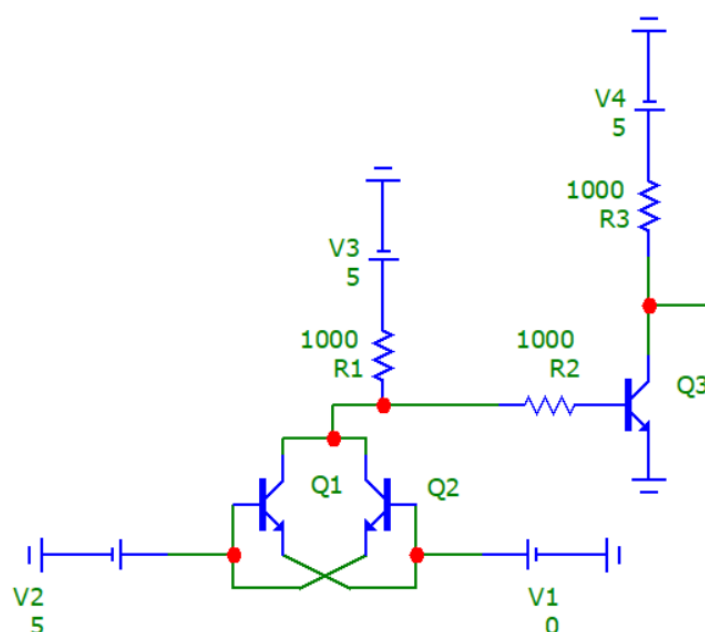


Рисунок 6 – Схема для исследования сумматора по модулю 2

3 Таблицы с результатами практических исследований

По итогу симуляции и анализа заданных схем в Micro-Cap были составлены таблицы 1-6.

Таблица 1 – Исследование схемы инвертора

$U_{\text{ВХ}}, \text{В}$	$U_{\text{ВЫХ}}, \text{В}$
0	5
5	-0.024043

Таблица 2 – Исследование схемы трехвходового логического сумматора

$U_1, \text{В}$	$U_2, \text{В}$	$U_3, \text{В}$	$U_{\text{ВЫХ}}, \text{В}$
0	0	0	0
0	0	5	4.516
0	5	0	4.516
0	5	5	4.546
5	0	0	4.516
5	0	5	4.546
5	5	0	4.546
5	5	5	4.561

Таблица 3 – Исследование схемы трехвходового дизъюнктора с инверсией

U ₁ , В	U ₂ , В	U ₃ , В	U _{вых} , В
0	0	0	5
0	0	5	-0,02234
0	5	0	-0,02234
0	5	5	-0,02245
5	0	0	-0,02234
5	0	5	-0,02245
5	5	0	-0,02245
5	5	5	-0,0225

Таблица 4 – Исследование схемы трехвходового конъюнктора

U ₁ , В	U ₂ , В	U ₃ , В	U _{вых} , В
0	0	0	0,438849
0	0	5	0,453846
0	5	0	0,453846
0	5	5	0,484234
5	0	0	0,453846
5	0	5	0,484234
5	5	0	0,484234
5	5	5	5

Таблица 5 – Исследование схемы трехвходового конъюнктора с инверсией

U ₁ , В	U ₂ , В	U ₃ , В	U _{вых} , В
0	0	0	4,987
0	0	5	4,975
0	5	0	4,975
0	5	5	4,903
5	0	0	4,975
5	0	5	4,903
5	5	0	4,903
5	5	5	-0,022671

Таблица 6 – Исследование схемы сумматора по модулю 2

U ₁ , В	U ₂ , В	U _{вых} , В
0	0	-0,015247
0	5	5
5	0	5
5	5	-0,022163

4 Выводы

Инвертор представляет собой простейший логический элемент, выполняющий операцию логического отрицания. На его выходе формируется сигнал, противоположный по уровню входному. В ходе моделирования схема показала чёткое соответствие логике: при подаче высокого уровня (5 В) на

вход, на выходе формировался низкий уровень (-0.024043 В), и наоборот. Это подтверждает корректность реализации инвертирующей логики на выбранных компонентах и демонстрирует основы логического преобразования сигнала.

Трехвходовый логический сумматор (операция ИЛИ) выдаёт высокий уровень на выходе при наличии хотя бы одного высокого уровня на входах. Исследование схемы подтвердило ожидаемое поведение: выходной ток появляется при любой комбинации входов, где хотя бы один из них равен 5 В . Такой элемент используется в схемах, где важно зафиксировать наличие хотя бы одного активного сигнала из нескольких возможных.

Трехвходовый дизъюнктор с инверсией реализует функцию NOR, то есть выдает высокий уровень только при одновременном отсутствии высокого уровня на всех входах. При моделировании было замечено, что выходной ток возникал только при нулевых входах, в остальных случаях он был равен нулю, что полностью соответствует логике работы NOR. Это демонстрирует полезность элемента в схемах, требующих подавления любых активных входов.

Трехвходовый конъюнктор (операция И) выдаёт высокий уровень только при всех высоких входах. Анализ показал, что выходной ток наблюдался только при комбинации $5\text{-}5\text{-}5\text{ В}$, во всех остальных случаях выход оставался на низком уровне. Такая логика критична в системах, где необходимо подтверждение нескольких условий одновременно.

Трехвходовый конъюнктор с инверсией (операция NAND) работает противоположно конъюнктору — он выдаёт высокий уровень всегда, кроме случая, когда все входы равны 5 В . По результатам анализа видно, что выходной ток отсутствовал только при полной активности входов, что соответствует работе NAND-логики. Это делает его полезным в схемах, где нужно реагировать на нарушение одного из условий.

Сумматор по модулю 2 (XOR) выдаёт высокий уровень, если на входах нечётное количество высоких сигналов. При исследовании схемы были зафиксированы выходные токи при одном активном входе. Отсутствует

сигнал при чётном количестве входных токов. Такая логика используется при контроле чётности и в арифметических схемах. Моделирование показало корректную работу, что подтверждает правильность построения схемы.