

《iBoard 电子学堂》 外扩接口及 FPGA 引脚网络名解析

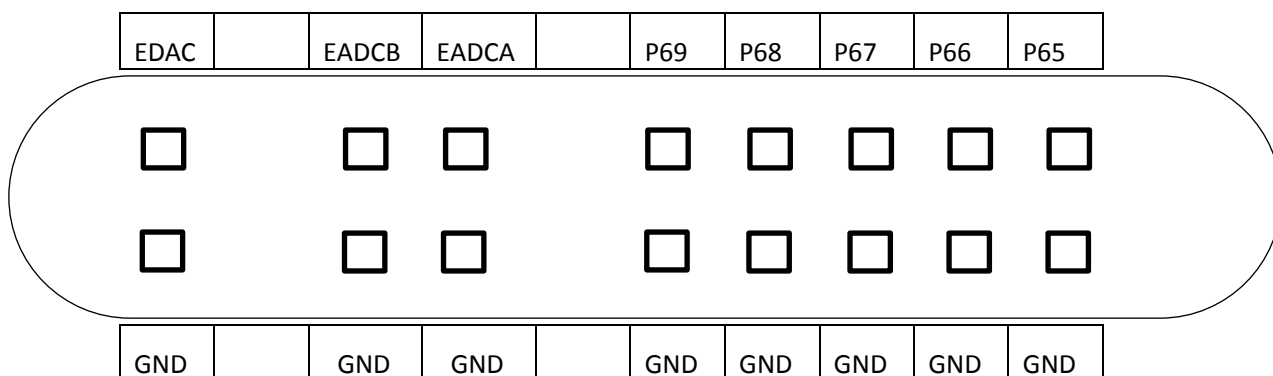
REV.0 2012.6.29 <http://i-Board.taobao.com>

一、 FPGA 实现功能简介

《iBoard 电子学堂》中，FPGA 主要实现以下功能：

- 1、任意波发生器：与 AD9708 结合，通过 FPGA 实现 DDS 逻辑，完成任意波发生器；
- 2、数字存储示波器：与 AD9280 结合，通过 FPGA 实现采样控制、FIFO 及触发功能；
- 3、CPLD 时钟供给（40MHz）；
- 4、与 STM32 通过 FSMC 总线接口，交互数据；
- 5、SDRAM 接口，实现大容量数据存取，方便 NIOSII SOPC 系统学习；
- 6、一个指示 LED；
- 7、五个外扩 FPGA 端口。

二、 外扩接口示意图



注释：

EDAC：对外 DAC 输出，12bit；

EADCA：对外 ADC 输入，12bit；

EADCB：对外 ADC 输入，12bit；

P65~P69：FPGA IO 口，对应 65~69 脚；

GND：开发板地。

三、 网络名称解析

类 别	名 称	方 向	备 注
任意波发生器 相关	ARB_CLK	输出	任意波发生器 DAC 采样时钟, 100MHz, 由 PLL 输出
	ARB_D[0: 7]	输出	任意波发生器数据线, 8 位, 由 DDS 逻辑经过查找 RAM 表产生
数字存储示波器 相关	DSO_CLK	输出	数字存储示波器采样时钟, 最高 50M, 根据不同档位会相应改变
	DSO_D[0: 7]	输入	AD9280 数据线输出到 FPGA
	TRIGIN	输出	比较器输入, 用于触发采样和测频
与 STM32 FSMC 通信相关	DB[0: 15]	双向	STM32 与 FPGA 通信总线数据线, 16 位, 由于需要读、写双向操作, 所以此 IO 组为双向口
	AB[16: 18]	输入	STM32 与 FPGA 通信总线地址线, 3 位
	WR	输入	FSMC 写使能, 低电平有效
	RD	输入	FSMC 读使能, 低电平有效
	FPGA_CS	输入	FPGA 片选, 通过译码器产生, 详见原理图, 低电平有效
	FPGA_INT	输出	FPGA 对 STM32 中断输出, 连接于 STM32 普通 IO 口, 中断事件用于通知 STM32
SDRAM 相关	SD_CLK	输出	SDRAM 采样时钟, PLL 输出
	SD_DQM[0: 1]	输出	SDRAM DQM 控制线
	SD_BA[0: 1]	输出	SDRAM bank 选择控制线
	SD_CS	输出	SDRAM 片选, 低电平有效
	SD_WE	输出	SDRAM 写使能, 低电平有效
	SD_RAS	输出	SDRAM RAS 控制线
	SD_CKE	输出	SDRAM CKE 控制线
	SD_CAS	输出	SDRAM CAS 控制线
	SD_A[0: 11]	输出	SDRAM 地址线
	SD_D[0: 16]	双向	SDRAM 数据线
IO 扩展	IO[0: 4]	可配置	外扩 5 个 IO, 方向用户配置, 可以用作 UART 接口, 测量输入、复位端口托等
AS 配置口相关	DATA0	输入	EPCS 数据输入口
	nCS0	输出	EPCS 片选输出
	DCLK	输出	EPCS 时钟输出
	ASDO	输出	EPCS 数据输出
其他	FPGA_CLK	输入	FPGA 主时钟输入, 25M 晶振
	LED_FPGA	输出	用于测试的 LED
	CPLD_CLK	输出	FPGA 为 CPLD 提供的时钟, CPLD 用作 TFT 液晶屏控制器