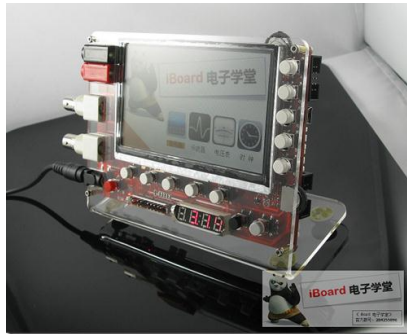


Chapter 9

FPGA / CPLD 应用指南

关于 《iBoard 电子学堂》



《iBoard 电子学堂》是一个综合型的电子研发开发平台，适合在校学生、一线工程师及电子爱好者等。

交流方式：

官方博客：XiaomaGee.cnblogs.com

官方论坛：www.oshcn.com

官方淘宝店铺：i-Board.taobao.com

QQ 群：

《iBoard 电子学堂 群【A】》：204255896 (500 人，已满)

《iBoard 电子学堂 群【B】》：165201798 (500 人超级群)

《iBoard 电子学堂 群【C】》：215053598 (200 人高级群)

《iBoard 电子学堂 群【D】》：215054675 (200 人高级群)

《iBoard 电子学堂 群【E】》：215055211 (200 人高级群)

《iBoard 电子学堂 群【F】》：78538605 (200 人高级群)

《iBoard 电子学堂 群【G】》：158560047 (500 人高级群)

王紫豪-XiaomaGee

上次课，我们讲了关于字体驱动的一些基础知识，其中包含了英文字体驱动，中文驱动；等宽字体驱动，比例字体驱动等。

这些源代码都在《iBoard 电子学堂》的 demo 代码《iBoard infinity》中，感兴趣的朋友可以去看源代码，完全开源的。

王紫豪-XiaomaGee 20:31:41

最近一段时间，我遇到的新手较多，这让我决定这节课，说一下关于 FPGA、CPLD 这方面最基本的知识。

这节课就正式开始了，由于太忙，没做太多准备，我只是把我多年的感触跟大家分享一下，如果有错的地方，请大家海涵。

王紫豪-XiaomaGee 20:33:51

首先说一下定义，FPGA 就是 Field-Programmable Gate Array,也就是现场可编程门阵列，他是在 PAL, GAL 等的基础上发展起来的

王紫豪-XiaomaGee 20:35:29

然后再说说 CPLD, Complex Programmable Logic Device, 也就是复杂可编程逻辑器件
这么说吧，发展到现在，FPGA 和 CPLD 的界限也越来越模糊，很多都互相渗透了

王紫豪-XiaomaGee 20:36:49

很多新手都问我，fpga 和 cpld 有啥区别啊，我就采用了一个很不科学的回答：cpld 就可以看做 fpga 的简单版。

王紫豪-XiaomaGee 20:38:23

我一般都把他们成为逻辑器件；在这个行业内，也就是几家做得比较大，例如 Xilinx/Altera/Lattice/Actel 等。

缥缈九哥 20:38:49

XILINX 排在第一，哈哈。

王紫豪-XiaomaGee 20:38:55

对的

Xilinx 是老大

每个厂商都有各自的特点；

缥缈九哥 20:39:39

我也是那么认为。排名与你的一样。

王紫豪-XiaomaGee 20:39:54

我们今天的主角，是 Altera 公司的 CycloneIV 和 MAXII 两个系列

王紫豪-XiaomaGee 20:41:14

先说说 CycloneIV 这个吧，Cyclone（飓风）系列，可以说是 Altera 公司在低端市场最成

功的一个系列。

王紫豪-XiaomaGee 20:42:49

Cyclone 从刚发布开始就很火，一直到现在，都出第五代产品了，我们得主角是第四代，EP4CE6E22C8N，是 09 年底发布的。

缥缈九哥 20:43:17

有没有内置 FLASH 的？外置的觉得 不好加密 。

王紫豪-XiaomaGee 20:43:34

没

我记得，我最早（2004 年）用 fpga 的时候，那时候 fpga 都死贵死贵的，很多行业用不起

缥缈九哥 20:43:49

几百块一片而已。

王紫豪-XiaomaGee 20:44:26

现在的 fpga 价格降的已经很亲民了，所以，很多原来不敢用的地方，都使用了 fpga，这也是最近几年 fpga 火的原因

缥缈九哥 20:43:48

几百块一片而已。

王紫豪-XiaomaGee(15959622) 20:44:50

2、30 块钱的 fpga 有的是，并且资源很多，用起来很爽。

缥缈九哥(14131338) 20:45:13

还是有点贵

wei20:45:16

不会用呀,爽不起来

缥缈九哥 20:45:23

最可惜是不内置 FLASH。

王紫豪-XiaomaGee 20:45:51



这就是我们的主角：长这样

缥缈九哥 20:46:10

144 脚？

王紫豪-XiaomaGee 20:46:14

对

缥缈九哥 20:46:41

加了个 SDRAM，好像没有多少脚可用了。

王紫豪-XiaomaGee 20:46:59

有的网友就说了，几十块钱的价格还是贵啊，还是用不起，那没关系，我们还有我们的方案
下一个我要说的我们得 MAXII 系列的 cpld，epm240t100c5

王紫豪-XiaomaGee 20:48:16

这个芯片，批量价格不到 10 元（确切的说，才 8 元，最近又降价了），它有 100 个引脚（80 个 IO），240 个宏单元，内部还有 flash 等等

王紫豪-XiaomaGee 20:49:28

这个在简单应用和成本敏感的领域，也是值得一试的，MAXII 这个系列，我从 2004 年一直用到现在，真的很好用。

而且还能加密，《iBoad 电子学堂》上 TFT 的驱动代码，就是使用这个 CPLD 实现的，



王紫豪-XiaomaGee 20:50:39

这些优秀的图形界面，MAXII 都有功劳

缥缈九哥 20:50:45

240 个宏？只能做 240 个 D 触发器？

王紫豪-XiaomaGee 20:50:49

对

一般用够了

缥缈九哥 20:50:57

不太爽。

王紫豪-XiaomaGee 20:51:21



这货长这个样子。

缥缈九哥 20:51:56

8 块钱还是能凑合。

王紫豪-XiaomaGee 20:52:03

7 块多

原装正品的价格，不是散货

爱河 20:52:40

可以玩玩的

王紫豪-XiaomaGee 20:52:51

使用他赚钱的

缥缈九哥 20:52:53

看来 找个小项目 玩玩了。

王紫豪-XiaomaGee 20:52:55

我这么多年用了很
多

24436741 20:53:00

零卖多少？

缥缈九哥 20:53:14

IO 只能 3.3V？

王紫豪-XiaomaGee 20:53:19

刚才花了一段时间，给大家介绍了一下 CYCLONE 四代 fpga 和 maxii CPLD，下面，我分
别跟大家介绍一下，怎么使用这玩意去开发
零卖也不到 10

缥缈九哥 20:53:42

EPM 的 IO 速度 能达到多少 ？

王紫豪-XiaomaGee 20:53:47

200 多 M

缥缈九哥 20:54:06

能做 LVDS 视频切换不？

王紫豪-XiaomaGee 20:54:27

fpga 可以

cpld 没研究过

一个一个来说吧，做研发本来就是一件繁琐的事情，大家不要烦

缥缈九哥 20:54:51

只是做切换。

王紫豪-XiaomaGee 20:55:00
应该可以吧

wei 20:55:09
200 很快了
M

缥缈九哥 20:55:15
多路调整数字信号 切换。
高速。

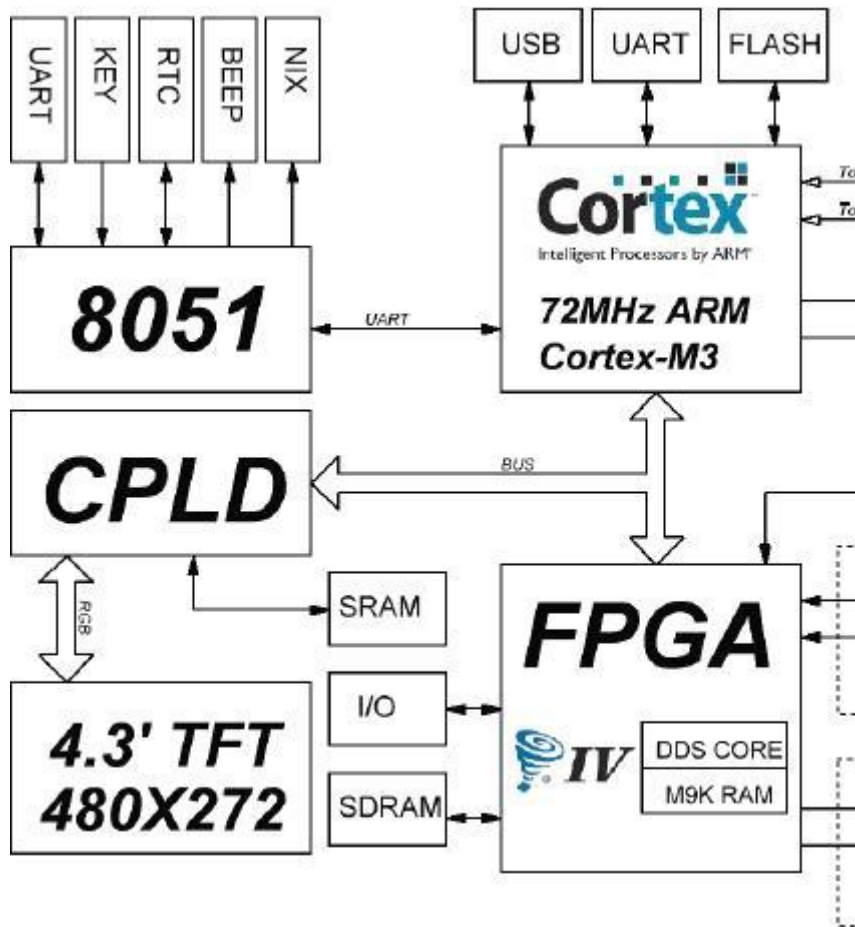
王紫豪-XiaomaGee 20:55:35
首先说下 EPM240 的硬件方面的设计，请大家打开《iBoard 电子学堂》的原理图。没有下载的网友，去下面地址去下载：

<http://files.cnblogs.com/xiaomagee/iboard.reva.pdf>

王紫豪-XiaomaGee 20:56:46
大家首先把原理图翻到最后一页，也就是框图那里

缥缈九哥 20:56:48
与 epm240t100c5 类似的 XILINX 的有没有？

王紫豪-XiaomaGee 20:56:58
有
10 几块钱
sp3 吧
做 led 屏的用的很多



王紫豪-XiaomaGee 20:58:20

我们首先看下框图，stm32 通过总线与 CPLD 相连，CPLD 分别于 SRAM（用作显存）和 4.3 寸液晶屏相连

这个就是我们的目的：驱动 4.3 寸液晶屏

下面我们往上翻一页，也就是翻到 EPM240 原理图这一页

王紫豪-XiaomaGee 20:59:31

大家可以看到，epm240，原理图符号上，被分成了三部分。

小波 20:59:37

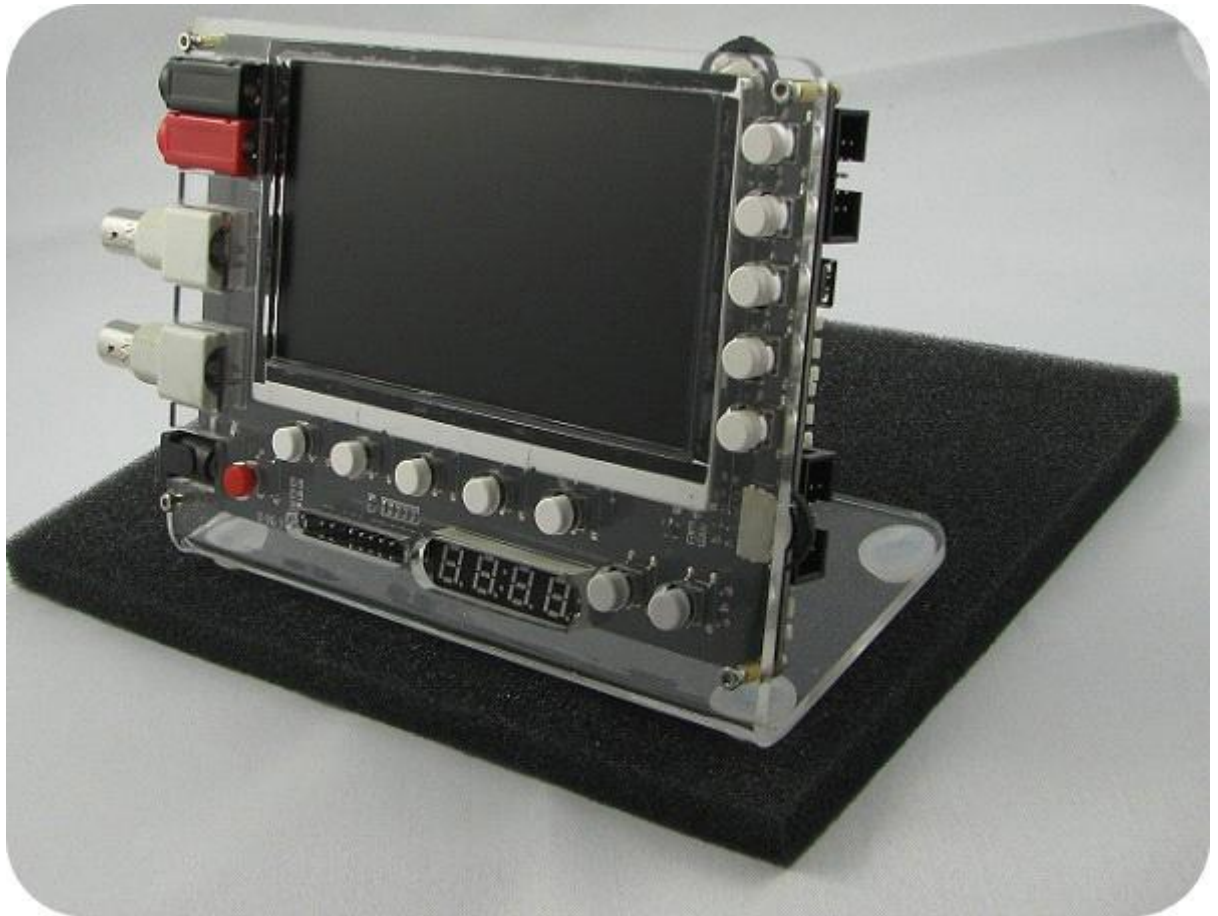
问下王老师，这个有开发板吗

小波 20:59:57

给个连接

王紫豪-XiaomaGee 21:00:03

<http://item.taobao.com/item.htm?id=15851248846>



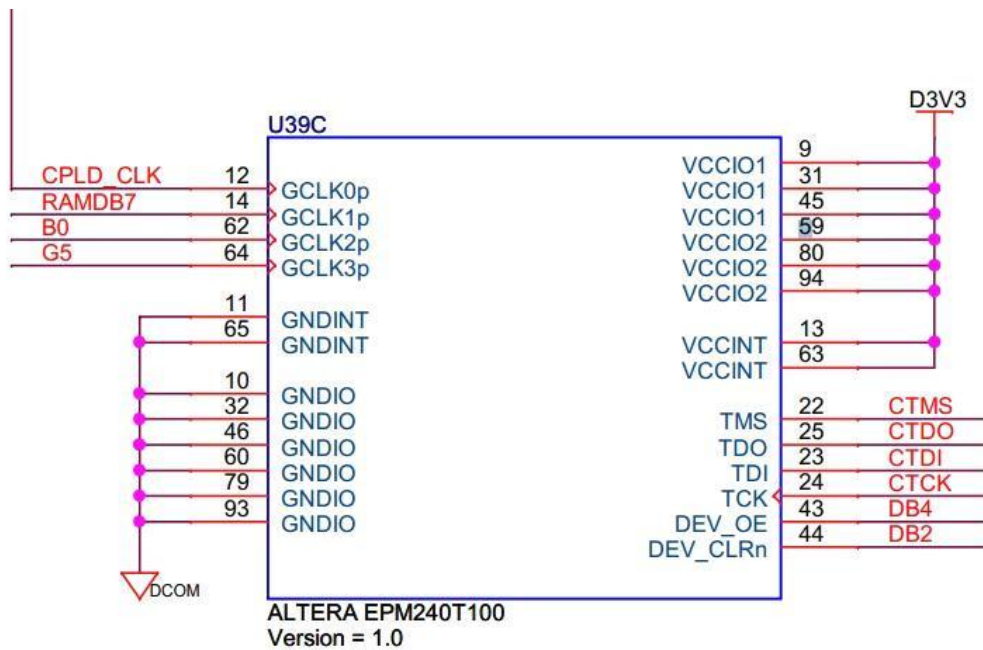
作为硬件工程师，我们拿到一个陌生的芯片后，首先考虑的是什么呢?答案是他的供电和地

王紫豪-XiaomaGee 21:01:17

不管任何芯片，我们都要首先考虑他的电源和地，这是最重要的一点

为了减低电路的复杂程度，降低成本，EPM240 这个 CPLD ， 采用了单电源供电，这里是 3.3V，当然 MAXIIIG 系列也有 1.8V 的，这个不在我们讨论范围内。

王紫豪-XiaomaGee(15959622) 21:02:31



爱河 21:03:08

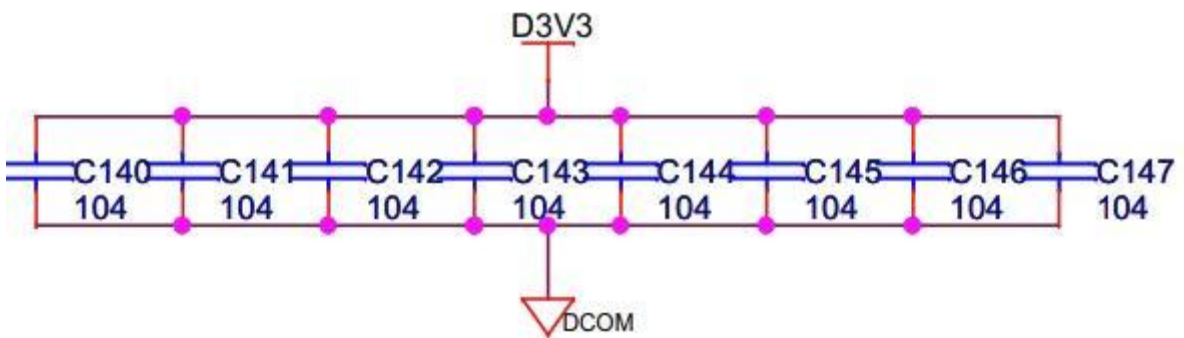
这么多

王紫豪-XiaomaGee 21:03:22

大家在这个图中可以看到，它包含了很多的电源和地；供电虽然都是 3.3V，但是目的不一样，VCCIO 是 IO 供电，VCCINT 是内核供电。

王紫豪-XiaomaGee 21:04:23

为了给系统提供一个稳定的，纯净的电源，我们需要在每个电源输入口都加一个旁路 104 电容



电源就说到这里。这个真的很简单，直接接在 3.3V 上就可以了。没那么多烦心事,也不用考虑上电顺序.

王紫豪-XiaomaGee 21:06:56

供上电了，也不是万事大吉了，我们得给他写程序啊，所以，我们需要预留一个标准的 10 脚的 JTAG 口，来下载程序用。

王紫豪-XiaomaGee 21:08:15

TMS	22	CTMS
TDO	25	CTDO
TDI	23	CTDI
TCK	24	CTCK

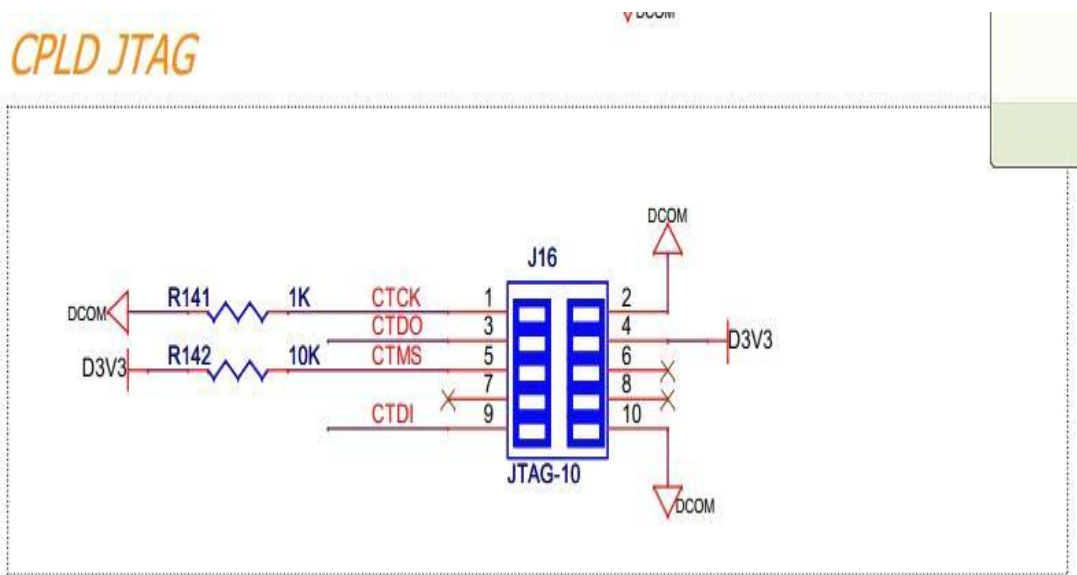
就是这几个引脚

缥缈九哥 21:08:49

不需要 RST 脚？

王紫豪-XiaomaGee 21:08:56

不需要



缥缈九哥 21:09:04

不错。

王紫豪-XiaomaGee 21:09:13

对外的引脚，就是这个，

大家注意了，原理图上只是符号，表示电气连接，不代表物理结构。

缥缈九哥 21:09:33

JTAG 能菊花链级联吧？

王紫豪-XiaomaGee 21:09:43

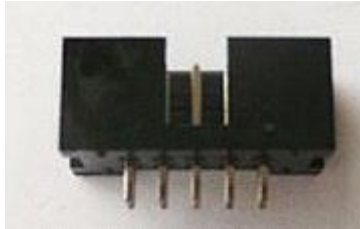
对，这是 jtag 的基本功能嘛

CountryMan 21:10:32

用啥语言编写呀

王紫豪-XiaomaGee 21:10:34

那么这东东叫什么呢，我们叫他简易牛角座。



缥缈九哥 21:10:49

HDL/VHDL/VERILOGHDL

ABEL 可能也行

王紫豪-XiaomaGee 21:11:11

嗯

有了它之后呢，我们就可以通过 `usbblaster` 去下载程序。

CountryMan 21:11:25

只有一种主流吗

缥缈九哥 21:11:32

SYSTEMC 不知道 行不行。

王紫豪-XiaomaGee 21:12:03

得益于现在盗版的 `usbblaster`，所以我们可以廉价地使用 `usbblaster`，这个虽然有点无耻，但是也没办法，官方的实在太贵了。

缥缈九哥 21:12:28

王老师，有没有这个 CPLD 的 JTAG 下载时序？或者熔丝文件的规定？

王紫豪-XiaomaGee 21:12:36

所以说，现在开发 fpga，cpld 投资小多了。

缥缈九哥 21:12:46

在中国，不盗版，什么东西也流行不起来。

王紫豪-XiaomaGee 21:12:51

时序芯片资料上有的。

对



缥缈九哥 21:13:15

好像 用并口 244 的 WIGGLE 能模拟 JTAG
我的 DZLINK 就是用这个外壳 。

王紫豪-XiaomaGee 21:13:42

可以的。很多年前用过
这个就是 usblaster，很小，很便宜

缥缈九哥 21:14:17

好像我还有一个，ARMJISHU 送我的

王紫豪-XiaomaGee 21:14:22

嗯

好了，说完下载口了，其实这个 cpld 就可以工作了。

与 ARM,51 等 cpu 不同的是，CPLD 和 fpga 不一定非要有时钟驱动。

缥缈九哥 21:15:02

盗版综合 软件 有下载连接不？

王紫豪-XiaomaGee 21:15:11

当然有哦,但是呢，为了我们的时序逻辑，我们一般也会连接一个有源晶振。

HILL 21:15:35

给个连接 谢谢

王紫豪-XiaomaGee 21:15:46

课下再说，课下找我。。。

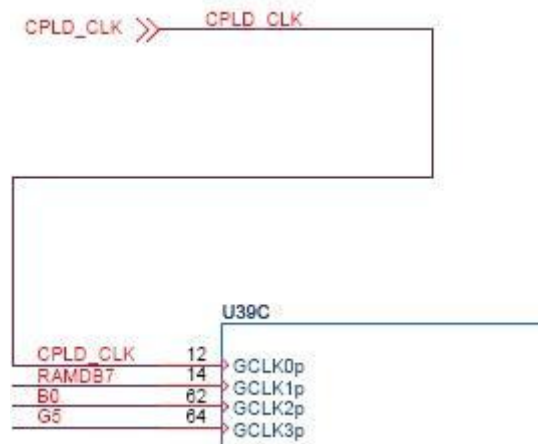
缥缈九哥 21:15:48

用 CPU 提供 时钟也行吧？

王紫豪-XiaomaGee 21:16:10

《iBoard 电子学堂》省略了一个晶振，采用 cyclone4FPGA 给 cpld 提供时钟。

这个得益于 CYCLONE4 代强大的 PLL 功能，它含有两个 PLL，每个 pll 可以输出五路时钟。



王紫豪-XiaomaGee 21:17:46

这里跟大家说一下，EPM240T100C5 包含了四个全局时钟网络，我们的时钟最好用这四个输入，来保证稳定性和等延时的性能。

当然，这四个时钟输入口，也能作为普通的 I/O。CPLD 用起来就这么简单。

王紫豪-XiaomaGee 21:18:56

除了电源、地，JTAG 引脚，剩下的都是 I/O 口，随便连，随便接，这在我们 PCB 布线的时候，真是相当爽。

缥缈九哥 21:18:58

老师还可以 讲讲 CPL 在，全局时钟。全局使能，全局复位与普通 IO 的区别。

王紫豪-XiaomaGee 21:20:39

我来提问

EPM240T100C5，有多少个 IO 口？

曹 21:20:51

80

王紫豪-XiaomaGee 21:21:00

大对了

曹

21:20 课间提问，需要提供 21ic 网名，个人资料有 qq 号。21:25 抢楼，个人资料也需要 qq 号。抢楼奖品为广州圣迪提供的 mibi51 板，提问奖为南京芯成邦提供的 25 元

缥缈九哥 21:21:40

其实 CPLD 可以 看作内部 还没有连线的一堆 D 触发器和大量的与或非门。

王紫豪-XiaomaGee 21:21:47

对对

雁塔菜农 21:22:16

谁答对了，提供 21ic 网名

缥缈九哥 21:22:19

我们编程就是把它们按一定的关系 连接 起来 。

wei 21:22:22

如何操作这上百万门的门是个大难题

爱河 21:22:32

配这个要想破脑袋的

wei，还不去抢楼

24436741 21:22:54

数字电路一这要好

一定要好

王紫豪-XiaomaGee 21:23:05

曹，提供 21ic 网名，然后资料里必须有 qq 号

曹 21:23:25

o

缥缈九哥 21:23:37

所以 CPLD 除了电源 和地，还有全局时钟。全局复位，和全局使能之类的特殊 IO

24436741 21:23:42

不然 CPLD 好像不好配，以前用过 GAL16V 8

缥缈九哥 21:23:57

差不多。与 GVL/GAL

地肆心（丹） 21:25:18

cpld 和 51 有什么不同？

然后 cpld 主要用在哪些方面？

缥缈九哥 21:26:38

51 是有 CPU 核 有 ALU，取址运行。一条条执行的。并有一部分的外设。

道可道 21:26:51

老王一会讲讲，为什么必须要用 FPGA

王紫豪-XiaomaGee 21:27:10

好的

缥缈九哥 21:27:10

CPLD 就是一堆 D 触发器。和与非或门。

道可道 21:27:20

我感觉 ARM 的外设就挺好

地肆心（丹） 21:27:21

还有 fpga 的主要用处

嗯

wei 21:27:28

综上所述，FPGA 与 DSP 优缺点十分明显，所以现在音视频处理，移动通信或者整个通信行业等大量信号处理的工程项目中，流行的解决方案都是 FPGA+DSP，FPGA 做逻辑控制，DSP 做浮点算法，如果算法不是很占资源的，也有直接用 FPGA 来做的，但两大 FPGA 厂商都最近都推出了带 DSP 平台的 FPGA 产品，以后 FPGA 与 DSP 的界限将越来越模糊，会慢慢的合二为一，总之，目前而言，由 DSP 和 FPGA 结合而成的混合式方案常常能够为高性能多处理应用提供最好的方案，让每个器件都发挥其作用。FPGA 和 DSP 是两项互补的技术，而不是互相竞争的对手。对于长远来看，我认为是个殊途同归的过程，最后的产物，到底叫 FPSP 还是叫 DSGA，那就要看各位 IC 厂商的造化了，呵呵.....

道可道 21:27:36

他能解决单片机不能解决的什么问题呢

缥缈九哥 21:27:37

所以 CPLD，FPGA 可以 并行处理。

各个 D 触发器都 能同时 工作 。

CPU 必须 指令 一条一条的解析执行。

王紫豪-XiaomaGee 21:28:20

举个例子，maxii 轻松跑 100Mdds
cpu 跑这个累死了

wei 21:28:38

一想到 FPGA 那里面的上百万千万的门,头就大了

道可道 21:28:48

cpu 就是外设丰富的优势?

龙之脉(304349777) 21:28:50

原因就是因为是并行处理么?

缥缈九哥 21:28:55

不用担心。你只要知道 HDL 编程 就好了。

王紫豪-XiaomaGee 21:28:57

一个串行，一个并行

所以，他俩结合起来天下无敌的

cpld 就是硬件逻辑，各种门的组合，74 知道吧

wei 21:29:29

老王,操作过最多的有多少个门

王紫豪-XiaomaGee 21:30:03

门这个东西，都是几十万的

New concise(675212042) 21:30:29

LD除了电源 和地，还有全局时钟。全局复位，和全局使
的特殊IO

?? 好像没有全局复位这个吧? 只有上

电复位的吧

缥缈九哥 21:30:34

再多的门，也是一部分一部分的组成的。

王紫豪-XiaomaGee 21:30:45

推销一下我的核心
板

wei 21:30:45

对比一下速度，3*3 中值滤波器，图像大小1024*768, 灰度图像

执行效果 DSP——帧延时>1帧，计算时间 未优化前 C 代码 24毫秒 算法流程，循环等优化后 7毫秒

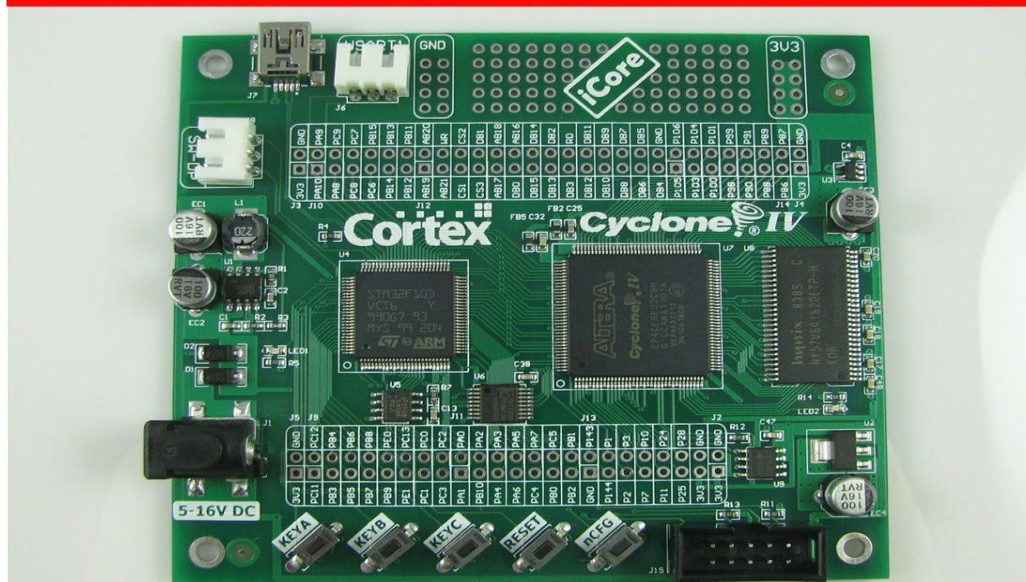


内联函数优化后 1.6毫秒 线性汇编优化后 272微秒
执行效果 FPGA——帧延时=2行像素，计算时间 由输入时钟定，如果像素时钟大于50M 整个图像处理时间不足1微秒，但是像素时钟受整个系统时序的约束，过快会使逻辑工作在不稳定状态。

现在大家估计也知道 FPGA 与 DSP 的最大区别了吧，呵呵。DSP——编程速度快，方便，适合做算法验证，如果想用好 DSP，那么大部分时间都在做算法与语言优化工作。FPGA——编程速度慢，实现麻烦，不适合做算法验证，但是一旦实现后，

王紫豪-XiaomaGee 21:31:05

iCore 核心板



ARM FPGA 强强联合

New concise 21:31:08

你把链接或者文章共享得了

缥缈九哥 21:31:10

全局复位，是指更适合做 CLR 信号的 IO。不是 CPU 那种上电复位的。

王紫豪-XiaomaGee 21:31:22

文章没写呢，都是我即兴发挥
继续开始讲课了。

爱河 21:31:56

你那个板子好像贵了点

王紫豪-XiaomaGee 21:32:08

300 元，包含 arm 和 fpga，还嫌贵。。。

雪狼 21:32:09

以前老师讲 EDA,说学好 FPGA 工作就不用愁了

王紫豪-XiaomaGee 21:32:24



PIG 21:33:24

我们同学买了个 fpga 要 500

wei 21:33:34

价 格： **999.00** 元

物流运费： 河南洛阳 | 至 广东深圳 - 快递:22.00元

00 工佳中 . 24 件

看错了

王紫豪-XiaomaGee 21:33:40

刚才讲了一下 MAXII 硬件电路，软件方面，他跟 fpga 是一样的，一会再讲。

缥缈九哥 21:33:45

上回有人嫌我的 DZLINK 贵。我 50 块卖了他空 PCB 和 IC，让他自己焊。哈哈。

lxypc 21:33:53

300 元，不错不错

New concise 21:33:55

wei 把你说的关于 FPGA 与 DSP 的区别的那个链接发下

王紫豪-XiaomaGee 21:33:57

999 的也不贵，包含 arm, fpga, cpld, 4.3 液晶，示波器，任意波发生器。。。。

缥缈九哥 21:34:14

只要有全套完整资料，都 不会贵。

爱河 21:34:18

我说的就是这个

wei 21:34:27

全套资料是啥？

王紫豪-XiaomaGee 21:34:28

arm 代码就一万多行；这些买不到的
不说这个了，开课吧

龙之脉 21:34:48

关键资料能够进行系统的学习。

王紫豪-XiaomaGee 21:34:48

买板子可以私下找
我

王紫豪-XiaomaGee 21:35:14

现在，我们说一下 cyclone4 代 fpga 的硬件电路



这一次，我们参考 《iCore 核心板》的原理图；这些原理图都是经过工程实践的，都可以放心使用。

缥缈九哥 21:35:50

多一组电源 和 SDRAM 和 FLASH?

王紫豪-XiaomaGee 21:35:58

多两组

缥缈九哥 21:36:11

1.8V 1.2V 都要?

王紫豪-XiaomaGee 21:36:13

我做的东西，再最恶劣的环境运行过
2.5

缥缈九哥 21:36:23

哥 ?

2.5 和 1.8

王紫豪-XiaomaGee 21:36:29

1.22.53.3

龙之脉 21:36:40

恶劣到什么样子?

New concise 21:36:40

最恶劣 包括那些了?

王紫豪-XiaomaGee 21:37:02

冬天零下 40，夏天 40，室外跑一年不关机
然后再几十千瓦的变压器旁边，电机。。。

王紫豪-XiaomaGee 21:37:37
稍等我找下原理图，给大家贴上。

缥缈九哥 21:38:17
我最烦的是外置 FLASH。

王紫豪-XiaomaGee
21:38:31 <http://files.cnblogs.com/xiaomagee/icore.rev0.pdf>
《iCore 双核心板》原理图
大家下载原理图

缥缈九哥 21:38:40
感觉自己做的产品 像是给脱光衣服 拉上大街一样。

爱河 21:39:01
皇帝的新装

wei 21:39:03
9G 你把数据加密后,再存到外置 Flash 呀

缥缈九哥 21:39:30
FLASH 与 FPGA 间总有通信 接口呀。

王紫豪-XiaomaGee 21:39:33
请大家打开原理图，我给大家说说，cyclone4 代的硬件电路

缥缈九哥 21:40:04
老师，我想多问一句。你的资料 是最终成熟 版本的原理 图吧？哈哈。

雪狼 21:40:06
几 K 美妙

王紫豪-XiaomaGee 21:40:15
当然是的

王紫豪-XiaomaGee 21:40:23
放心，我不忽悠的，哈哈

缥缈九哥 21:40:33

我担心 到时抄了。会出错 。哈哈。

New concise 21:40:37

看老师这是要做好几代啊

王紫豪-XiaomaGee 21:40:39

你过来揍我，哈哈

New concise 21:40:41

rev 0

王紫豪-XiaomaGee 21:40:57

这个简单，rev0 都好使了，这是我的习惯，都会标注版本

缥缈九哥 21:41:07

好的。

王紫豪-XiaomaGee 21:41:12

这个东西，是一个包含 stm32 和 arm的核心板。

缥缈九哥 21:41:16

有版本号方便 别人 。方便 自己。

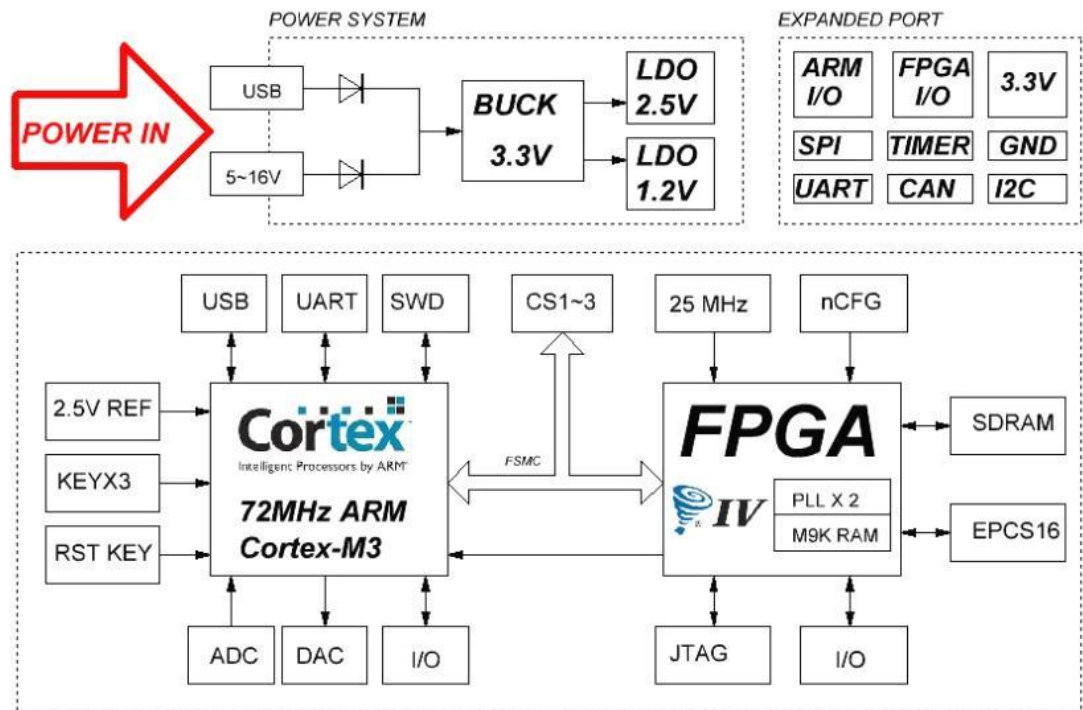
王紫豪-XiaomaGee(21:41:17

错了，fpga

New concise 21:41:17

哦 isee

王紫豪-XiaomaGee 21:41:58



缥缈九哥 21:42:00

我要在电脑上专门开个目录存放王老师的所有成果了。哈哈。

王紫豪-XiaomaGee 21:42:03

这是他的框图，

New concise 21:42:16

老师 你的 arm 和 fpga 的管教是直接相恋的啊、吗？还是是去、经过电平转换的

王紫豪-XiaomaGee 21:42:26

都是 3.3v，直连的

小道 21:42:39

王老师，你的内核电源功耗是多少？

王紫豪-XiaomaGee 21:42:55

大家看看，就明白了，这个东西主要用做新手入门，项目前期验证，和电子设计大赛啥的。

New concise 21:43:08

我想问下 5V 的和 3.3 的怎么连合适是中间接个电阻就可以课还是说

王紫豪-XiaomaGee 21:43:14
200mA,都用不到

王紫豪-XiaomaGee 21:43:26
关于 5V 和 3.3 怎么连,你可以看看我前几次的群课
专门有讲

New concise 21:43:36
好的

王紫豪-XiaomaGee 21:43:51
我们打到 fpga 那一页, 也就是最后一页。

缥缈九哥 21:44:00
配置 FLASH 是 SPI 的。

王紫豪-XiaomaGee 21:44:18
对, m25p16, 相当于 epcs16, 这个便宜, 一样用

小道 21:44:33
嗯, 貌似便宜不少吧
稳定性有区别吗?

王紫豪-XiaomaGee 21:44:49
一样

缥缈九哥 21:44:56
FPGA 和 CPLD 有没有脱机 编程器?

王紫豪-XiaomaGee 21:44:59
altera 估计就是 oemst 的
cpld 我自己做的有

小道 21:45:08
也有道理

牛逼啊

缥缈九哥 21:45:30

自己做 JTAG 协议 烧录 ？

王紫豪-XiaomaGee 21:45:40

国内第一批 usbbalster，都是我做的
一会再讨论，我先说会

缥缈九哥 21:45:46

你这个 FPGA 怎么不能 CPU 去加载？

小道 21:45:49

程序写到 cpld 里，然后刷写 EPCS？

ok

王紫豪-XiaomaGee 21:45:55

没必要的

首先看下电源

cyclone4 的电源比 cpld 可复杂多了
因为他的内部结构也复杂。

王紫豪-XiaomaGee 21:47:09

养个马喂草就行了，养个车就得喂 93 号，一样的

首先说下，CYCLONE4 需要三种电源。分别为 IO 电源， 内核电源 和 PLL 电源

缥缈九哥 21:48:22

还好电源 不大。

要不三种很郁闷的。

王紫豪-XiaomaGee 21:48:40

IO 电源，我们这里用 3.3V 的，内核电源，我们用 1.2V，PLL 模拟电源，用 2.5V 的。

也就是需要 1.2V，2.5V，3.3V 三种

不过由于 ep4ce6 是 6.2k 个宏单元，功耗不大，所以我也就用 LDO 了，如果大容量的 fpga.
需要 dc/dc 的，不然会发热。

缥缈九哥 21:51:19

CPLD 遇到有些管脚 分配 不成功。如何 处理好？

王紫豪-XiaomaGee 21:51:30

我没遇到过，一般没事的；旁路电容上，也不能少，原理图的下方用了很多，大家可以看一下。

New concise 21:52:28

一般 8 个以上是不是就可以了

王紫豪-XiaomaGee 21:52:44

每个引脚保证一个

龙之脉 21:52:47

有的时候，想不通为什么要那么多的旁路电容的？

缥缈九哥 21:53:05

为了退耦

王紫豪-XiaomaGee 21:53:10

等你做的系统，老被干扰，跑步起来的时候，就想通了
都是吃过亏的

缥缈九哥 21:53:20

内部 很多 电路的。要就近接电源 。

王紫豪-XiaomaGee 21:53:40

电源有点麻烦，不过还好；下面我们说说 下载口，JTAG

New concise 21:53:45

意思是有点远的地方就有电容

龙之脉 21:53:46

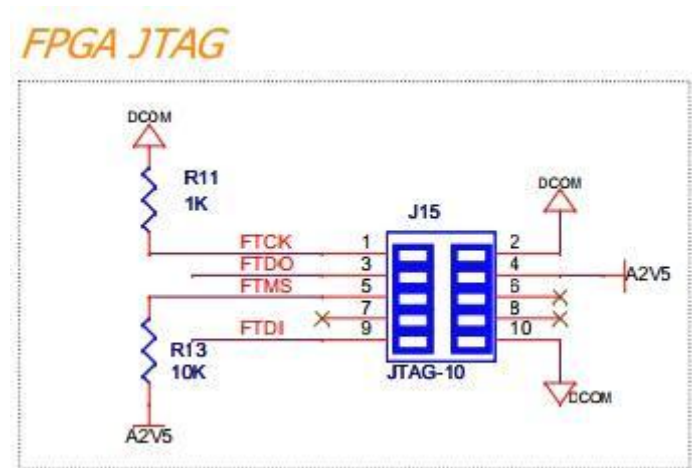
嗯。

缥缈九哥 21:53:58

里面的晶圆很小的，布的电源线也很细的。所以 很多 时候 就得就近拉一个 VCC 和 GND

出来。

王紫豪-XiaomaGee 21:54:01



这里的jtag口，跟刚才说的cpld是一样的，也就tck，tdo，tms，tdi四根线。

小道 21:54:27

王老师，FPGA/Obank 那么多电源，每个电源都加了滤波电容？布板放不下吧

缥缈九哥 21:54:35

所以，器件每个边都有了电源了。

王紫豪-XiaomaGee 21:54:36

能

必须放的

缥缈九哥 21:54:45

放背面。最近的地方放。

王紫豪-XiaomaGee 21:54:58

这里需要注意的一点是，cyclone4代的jtag第四脚，需要接2.5V电源。

小道 21:55:14

这个我要问下：为什么呢、？

王紫豪-XiaomaGee 21:55:23

官方就这样,我也不知道的

缥缈九哥 21:55:30

PLL 要工作 才能仿真？

王紫豪-XiaomaGee 21:55:40

谁知道呢

New concise 21:55:41

我想问一下 如果我是做东西只用到一部分 IO bank 那只要这部分 bank 电源有电容 可以不？

缥缈九哥 21:55:54

或者 说仿真下载时要控制检测 PLL 电源？

王紫豪-XiaomaGee 21:55:58

最好都加上，谁也不知道内部结构是咋样的

王紫豪-XiaomaGee 21:56:07

应该不是，blaster 没这个功能

缥缈九哥 21:56:41

那为什么 JTAG 接口要加多个电源呀？

应该是给仿真器用的。

王紫豪-XiaomaGee 21:56:52

另外，由于 fpga 内部没有 flash，所以需要上电配置，也就是我们的 as 电路。

i7(书呆子) 21:56:58

不是检测 PLL，是下载的时候好像要用到 PLL

王紫豪-XiaomaGee 21:57:02

嗯

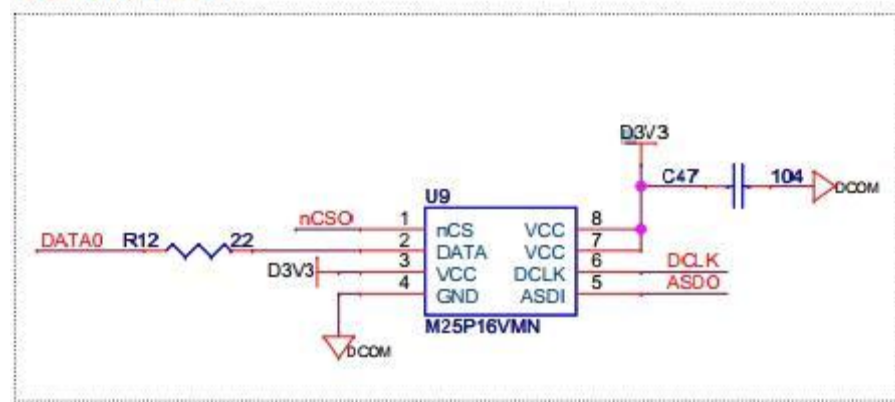
缥缈九哥 21:57:32

2.5V 是板子 上的。现在 要拉给仿真器。当然是给仿真器用了。

王紫豪-XiaomaGee 21:57:40

对

AS CONFIG



缥缈九哥 21:57:44

不可能是仿真器提供 电源出来 吧？

王紫豪-XiaomaGee 21:58:02

给仿真器供电，让仿真器出 2.5V 的逻辑

小道 21:58:07

2.5v 是给仿真器供电的。

王紫豪-XiaomaGee 21:58:29

这个是一个 2M 字节的 flash，兼容 epcs16，可以放配置信息，还有 niosii 的二进制程序。

缥缈九哥 21:58:30

JTAG 口是几 V 的逻辑 ？

小道 21:58:43

可能是因为 jtag 这几个端口没有内部钳位二极管吧

王紫豪-XiaomaGee 21:59:12

这个官方就这样，官方要求，没说原因

缥缈九哥 21:59:29

仿真器那端能分析出来 原理 吧？

王紫豪-XiaomaGee 21:59:39

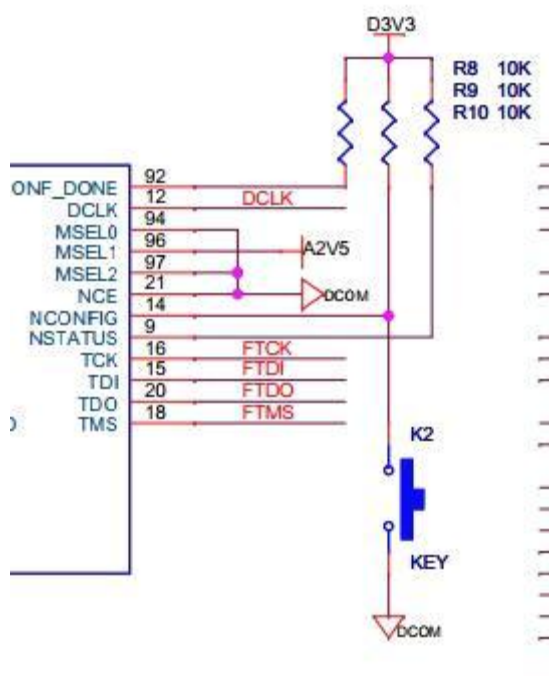
就是给仿真器 IO 供电
没别的啥

缥缈九哥 21:59:55

那么说 JTAG 是 2.5V 的逻辑 了。

王紫豪-XiaomaGee 22:00:06

下载和配置还有一点需要注意的，就是需要几个上拉电阻。



他们在这里。

这里我加了一个按键，用作重新配置 fpga（按一下，会 as 配置一下 fpga）

PIG 22:01:25

<http://bbs.21ic.com/viewthread.php?tid=225158&extra=&page=714>

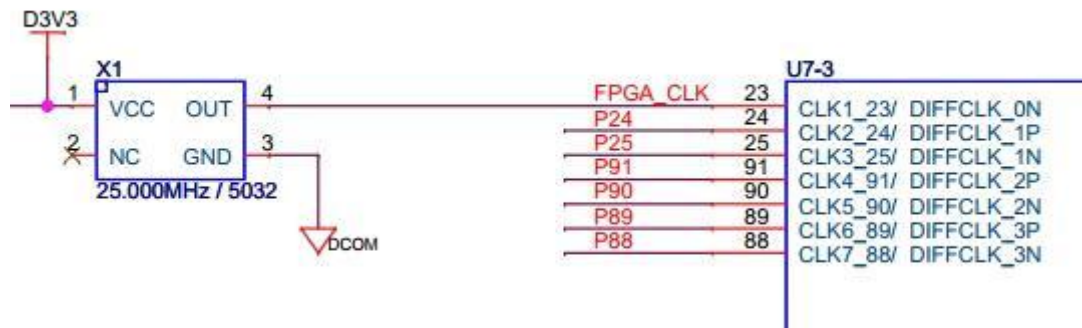
王紫豪-XiaomaGee 22:01:28

配置讲完后，我们说说 cyclone4 的时钟输入口

小道 22:01:59

王老师 altera 公司的 epcs4 可以用哪个芯片替代？

王紫豪-XiaomaGee 22:02:09
25p16



王紫豪-XiaomaGee 22:02:32
这里通过一个 25MHz 的有源晶振输入到 fpga 内的 PLL 中，
需要注意的是，这几个时钟口，只能作为输入，不能作为输出。这个一定要注意，用它点 led 是不行的。很多新手犯过这样的错误。

王紫豪-XiaomaGee 22:04:08
说到了时钟，我提一下 cyclone4 的锁相环，ep4ce6 包含了两个 PLL
每路 PLL 可以输出五路时钟，而且可以级联。

王紫豪-XiaomaGee 22:05:16
这个，基本上我是没用完过，除非非主流应用，一般够用了。

王紫豪-XiaomaGee 22:06:27
其实还有一个 as 下载口，跟 jtag 长得一样，他是专门用来下载 epcs16 配置器件的，不过由于我们可以通过 jtag 下载 jic 格式文件的形式，变通的下载配置信息到 epcs 里，所以我省略了，没多大用。

王紫豪-XiaomaGee 22:07:37
硬件电路就说到这里，还剩几分钟，我说下开发软件。

不管是 MAXIIcpld，还是 cyclone4fpga，统一的都是用一个开发软件：QuartusII

缥缈九哥 22:08:35
下载 连接 及破解 。这时候 能提供了吧？
这个是最关键的。

爱河 22:08:44
太大了

王紫豪-XiaomaGee 22:08:46
哈哈，
不好下啊

New concise 22:08:55

软件自己可以下载吧

王紫豪-XiaomaGee 22:08:55



New concise 22:09:09

稳定？

缥缈九哥 22:09:11

这个如果 没有。前面说的只能 纸上谈兵，没有意义。

New concise 22:09:14

9.0 还行吧

王紫豪-XiaomaGee 22:09:19

这个就是现在最新版的 Quartusii

当然有，网上一搜一大堆的

11.1 sp2

小道 22:09:44

去官网下 web 版本

免费的。

New concise 22:10:09

web 版本和其它的区别是什么？

王紫豪-XiaomaGee 22:10:09

这软件有点胖大，好几个 G，大家可以去网上下载。

小道 22:10:20

貌似有些功能不全

爱河 22:10:22

太大了，没信心安装。

New concise 22:10:27

哦

不是说新版本的不稳定吗

王紫豪-XiaomaGee 22:10:56

通过它，我们可以使用 verilog、VHDL 等语言开发，当然，也可以通过数字逻辑去开发，这个更简单。

jutyy 22:11:23

<http://www.ourdev.cn/forum.php?mod=viewthread&tid=4952799>

爱河 22:11:28

能不能用 AD 来开发？

缥缈九哥 22:11:43

能，你用 ABEL 语言。哈哈。

王紫豪-XiaomaGee 22:11:59

为啥非要用新版的软件呢，因为老板的不支持新的器件；作为新手，学习的时候最好学习新器件。

24436741 22:12:16

同意

缥缈九哥 22:12:23

点击此处下载 [ourdev_666215MTZ2QY.rar\(文件大小:14K\)](#) (原文件名:Quartus_11.0_x86破_解器(内部版).rar)

不能下载。

24436741 22:12:28

要学肯定用最新的

爱河 22:12:29

支持

New concise 22:12:31

对了 老师你是用 AD 还是那个画图的?

王紫豪-XiaomaGee 22:13:01

新的器件，再市场上的生命周期长，性价比高。。。

orcad画的图

小道 22:13:10

功耗低

王紫豪-XiaomaGee 22:13:16

对

New concise 22:13:37

我注意到 9.0 之后的 CIV 支持了

王紫豪-XiaomaGee 22:13:41

关于 fpga 相关的学习内容，大家可以去我们的论坛去下载资料，很多很多，视频，例程，书籍等。

New concise 22:13:52

<https://www.altera.com/cn/download/dnl-index.jsp> 官方下载链接额

王紫豪-XiaomaGee 22:13:55

www.oshcn.com

如果大家需要刚才看的原理图的别的资料，也可以去下载

New concise 22:15:08

数字信号处理里面纹波是指什么?

小道 22:15:33

王老师你说 niosII 在工业现场应用稳定性如何?

王紫豪-XiaomaGee 22:15:58

稳定性没关系的

跟硬件有关，下节课，会讲 arm 与 fpga 的接口技术。

小道(569198569) 22:17:00

毕竟是软核，可能会存在跑飞的情况吧

谢谢

王紫豪-XiaomaGee 22:17:08

讲完了

谢谢大家

New concise 22:17:41

下节课什么时候了?

老师太好了

雁塔菜农 22:17:55

王紫豪-XiaomaGee 22:18:25

下周同一时间

New concise 22:18:55

好的数字信号处理里面纹波是指什么?

缥缈九哥 22:20:05

下周讲 QII 的应用了吧?

New concise 22:20:33

我期待老师将相互之间接口技术啊 下周赶紧来吧

王紫豪-XiaomaGee 22:20:46

下周讲 stm32 与 fpga 接口技术

涉及到 qii

New concise 22:21:10

每周群科都有记录 很好啊

缥缈九哥(14131338) 22:21:15

总线 呀?

王紫豪-XiaomaGee 22:21:33

总线，spi。。。