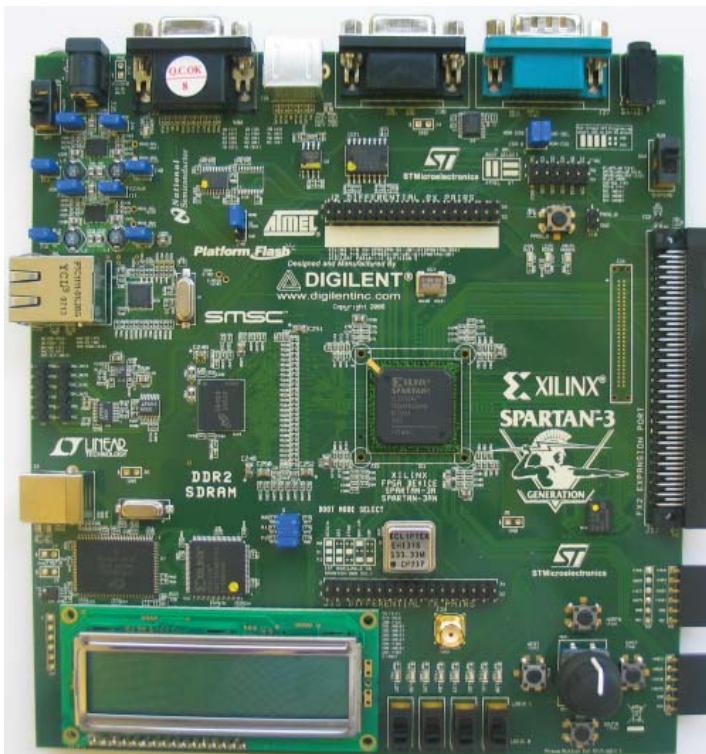


Spartan-3A/3AN

スタート キット ボード

ユーザー ガイド

UG334 (v1.0) 2007 年 5 月 28 日



XILINX®



Xilinx (以下「ザイリンクス」といいます) では、ザイリンクス FPGA におけるデザインの開発目的のみにこの文書を開示します。この文書に明記されている場合を除き、電子、機械、複写、録音を含め、いかなる形態または手段においても、ザイリンクスの書面による事前の許可なく資料をコピー、複製、配布、再発行、ダウンロード、表示、掲載、転送することはできません。

ザイリンクスでは、この文書の適用および使用により生じる損害の責任を一切負いません。また、ここに明記されている場合を除き、この法定通知のいずれの部分も、默示、禁反言、その他の法律論理による特許、商標、著作権、その他の知的財産権のライセンスや権利の付与とは見なされません。この文書の内容の使用および実施に必要いかなる権利の取得もユーザー個人の責任となります。文書中のエラーの訂正や、ユーザーに提供されるエンジニアリングのソフトウェアサポートおよびヘルプの正確性や正当性については責任を負いかねます。また、文書をアップデートする確約もいたしません。ザイリンクスはこれらの条件および条項を独自の判断によって変更する権利を有します。

この文書は「現状のまま」で提供され、ユーザーは自己責任でこの文書を使用することに同意したものとみなされます。ザイリンクス、ザイリンクスの従業員、およびザイリンクスの販売特約店の従業員によるその他の口頭または書面によるいかなる情報、アドバイス等によっても、新たな内容の保証が創設されたり上記の制限保証の範囲を拡大させたりするものではありません。ザイリンクスでは、特許や著作権その他の知的財産権の不侵害、商品性、および特定目的への適合性は明示默示を問わず保証いたしません。

ザイリンクスでは、文書の使用または使用不能の結果生じた間接的、懲罰的、特別、または付随的ないかなる損害（利益の損失、業務の中止、交換品の費用、情報の消失や破損を含む）については、その可能性を事前に通告されていた場合でも一切責任を負いません。ユーザーに対するザイリンクスの損害賠償責任総額は、いかなる場合にもユーザーがザイリンクスに支払った文書の代金を上限とします。たとえいかなる救済手段もその実質的目的を達せない場合でも、上記の制限責任および免責条項が法律上最大限認められる限度で適用されます。

この文書は、安全装置が必要となるような危険な環境でのオンライン制御装置としての使用を目的にしたものではありません。原子力施設、航空機操縦・通信システム、航空管制、生命維持装置、武器の作動・運転等（以下高リスク行為とします）、安全装置が必要となるような危険な環境でのオンライン制御装置としての使用、再販売を意図しての設計・製造または停止・誤作動対策措置がなされたものではありません。ザイリンクスは、高リスク行為用途への適性に関する明示的・默示的を問わざり一切の保証を、ここに明確に排除します。ザイリンクスは、高リスク行為用途への適性に関する明示的・默示的を問わざり一切の保証を、ここに明確に排除します。

© 2006-2007 Xilinx, Inc. All rights reserved. 本文書に記載されている「Xilinx」、ザイリンクスのロゴ、およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。PCI EXPRESS は、PCI-SIG の登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2007年5月28日	1.0	初期リリース

このマニュアルについて

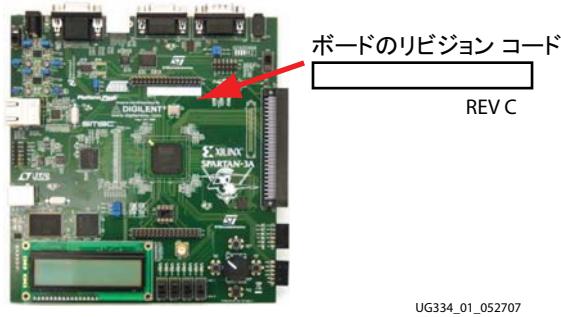
このユーザー ガイドでは、Spartan™-3A/3AN FPGA スタータ キット ボードの機能およびデザインの基本的な情報について説明します。ボードに含まれたペリフェラルの機能の使用法についても説明します。VHDL および Verilog のソース コードを含むリファレンス デザインの詳細は、次のサイトを参照してください。

- Spartan-3A/3AN スタータ キット ボードの Web ページ
<http://japan.xilinx.com/s3astarter>

Spartan-3A/3AN スタータ キットには、複数のバージョンがあります。このユーザー ガイドでは、リビジョン C の Spartan-3A スタータ キット ボードのアップグレード バージョンであるリビジョン D の Spartan-3A/3AN スタータ キット ボードを含む 3 つのキットを説明します。次の表に、キットの一覧を示します。

デバイス	Spartan-3AN スタータ キット	Spartan-3A DDR2 SDRAM インターフェイス開発キット	Spartan-3A スタータ キット、リビジョン D	Spartan-3A スタータ キット、リビジョン C
パート番号	HW-SPAR3AN-SK-UNI-G	HW-SPAR3ADDR2-DK- UNI-G		HW-SPAR3A-SK-UNI-G
デバイス	XC3S700AN	XC3S700A		
ボードの リビジョン	リビジョン D			リビジョン C
DDR2 メモリ	補助ソケットの 133MHz クリスタル オシレータによるサポート			ボードに変更を加えてパ フォーマンスを向上させ る必要あり
ユーザー ガイド	UG334 (本マニュアル)			UG330
Web ページ	japan.xilinx.com/s3anstarter	japan.xilinx.com/s3addr2		japan.xilinx.com/s3astarter

リビジョン C とリビジョン D のボードの機能は、ほぼ同一ですがシルクスクリーンが異なります。このマニュアルで使用されている画像は、リビジョン D ボードのものです。リビジョン C のボードを使用している場合は、[ユーザー ガイド UG330](#)を参照してください。次の図に、リビジョン C ボードでのボード リビジョン コードの確認位置を示します。



謝辞

Spartan-3A/3AN スタータ キット ボードのサポートに対し、次の各社のご協力を得ています。

- ST マイクロエレクトロニクス社製 32Mb パラレル NOR フラッシュおよび 16Mb SPI シリアル フラッシュ メモリ
- Atmel 社製 16Mb SPI シリアル DataFlash メモリ
- Linear Technology 社製 SPI 互換 A/D および D/A コンバータおよびプログラマブル プリアンプ
- SMSC 社製 10/100 イーサネット PHY
- ナショナル セミコンダクター社製 4 レール電圧レギュレータ (FPGA およびすべてのペリフェラル コンポーネントへの電源)
- ザイリンクス、コンフィギュレーション ソリューション部門 (XCF04S プラットフォーム フラッシュ PROM およびエンベデッド USB プログラマ サポート)

マニュアルの内容

このマニュアルには、次の章が含まれています。

- 第 1 章「概要」では、Spartan-3A/3AN スタータ キット ボードの主な機能の概要を説明します。
- 第 2 章「スイッチ、ボタン、ロータリー ノブ」では、Spartan-3A/3AN スタータ キット ボードのスイッチ、ボタン、ノブについて説明します。
- 第 3 章「クロック ソース」では、Spartan-3A/3AN スタータ キット ボードで使用できるさまざまなクロック ソースについて説明します。
- 第 4 章「FPGA コンフィギュレーション オプション」では、Spartan-3A/3AN スタータ キット ボードで使用できる FPGA のコンフィギュレーション オプションについて説明します。
- 第 5 章「キャラクタ LCD」では、キャラクタ LCD の機能を説明します。
- 第 6 章「VGA ディスプレイ ポート」では VGA の機能を説明します。
- 第 7 章「RS-232 シリアル ポート」では、RS-232 シリアル ポートの機能を説明します。
- 第 8 章「PS/2 マウス/キーボードのポート」では、PS/2 マウスおよびキーボード ポートの機能を説明します。
- 第 10 章「DA コンバータ (DAC)」では D/A コンバータの機能を説明します。
- 第 9 章「アナログ キャプチャ回路」では、増幅率設定可能なプリアンプを備えた A/D コンバータについて説明します。

- 第 11 章「パラレル NOR フラッシュ PROM」では、ST マイクロエレクトロニクス社製パラレル NOR PROM の機能について説明します。
- 第 12 章「SPI シリアル フラッシュ」では、SPI シリアル フラッシュ メモリ インターフェイスの機能を説明します。
- 第 13 章「DDR2 SDRAM」では、DDR2 SDRAM メモリ インターフェイスの機能について説明します。
- 第 14 章「10/100 イーサネット物理レイヤ インターフェイス」では、10/100Base-T イーサネット物理レイヤ インターフェイスの機能を説明します。
- 第 15 章「拡張コネクタ」では、Spartan-3A/3AN スタータ キット ボードで使用できるさまざまなコネクタについて説明します。
- 第 16 章「小型ステレオ オーディオ ジャック」では、オーディオ インターフェイスを説明します。
- 第 17 章「電源供給」では、ボードの電力分配システムについて説明します。

関連情報

その他の資料については、次の Web サイトから参照してください。

<http://japan.xilinx.com/literature>.

シリコン、ソフトウェア、IP に関する質問および解答をアンサー データベースで検索したり、テクニカル サポートのウェブ ケースを開くには、次のザイリンクス Web サイトを参照してください。

<http://japan.xilinx.com/support>.

目次

このマニュアルについて

謝辞	4
マニュアルの内容	4
関連情報	5

第 1 章：概要

入門	13
デフォルトのサンプルデザインの動作	15
VGA ディスプレイ	15
ロータリー ノブ/プッシュボタン メニュー システム	15
マルチポート コンフィギュレーション イメージの選択	16
Scroll or Rotate Graphic モード	17
Scroll or Scale Graphic モード	17
Restart AutoPilot、Speaker Volume Control モード	17
LCD 画面の制御オプション	18
省電力一時停止モード	19
RS-232 シリアルポート制御オプション	19
主要なコンポーネントおよび機能	19
システムレベルでの変更	21
多様なコンフィギュレーション方法	21
アプリケーションで使用する電圧	21
Spartan-3A/3AN スターターキットのデザイン例	21
Spartan-3 ジェネレーションスターターキットボードの選択	22
Spartan-3A/3AN FPGA の機能とエンベデッド プロセッsing機能	22
他の Spartan-3 ジェネレーション開発ボード	23
Spartan-3A および Spartan-3AN FPGA	23
関連情報	24

第 2 章：スイッチ、ボタン、ロータリー ノブ

スライド スイッチ	27
配置場所およびラベル	27
動作	27
UCF ロケーション制約	27
SUSPEND スイッチ	28
プッシュボタンスイッチ	29
配置場所およびラベル	29
動作	29
PROG_B プッシュボタンスイッチ	30
UCF ロケーション制約	30
ロータリープッシュボタンスイッチ	30
配置場所およびラベル	30
動作	30
プッシュボタンスイッチ	30
ロータリー軸エンコーダ	31
UCF ロケーション制約	32
個別の LED	32

配置場所およびラベル	32
動作	33
UCF ロケーション制約	33
オプションの LED	33
AWAKE LED	34
INIT_B LED	34
UCF ロケーション制約	35
第 3 章 : クロック ソース	
概要	37
クロック接続	38
オンボードの 50MHz オシレータ	38
補助クロック オシレータ ソケット	38
SMA クロック入力(出力コネクタ)	38
UCF 制約	38
ロケーション制約	38
PERIOD 制約	39
関連情報	39
第 4 章 : FPGA コンフィギュレーション オプション	
コンフィギュレーション モード ジャンパ	43
ザイリンクス プラットフォーム フラッシュ コンフィギュレーション PROM	44
PROM プッシュ ボタン スイッチ	45
DONE ピン LED	45
USB を使用した FPGA または プラットフォーム フラッシュ PROM のプログラム	45
USB ケーブルの接続	45
『Spartan-3 Generation Configuration User Guide』に含まれる プラットフォーム フラッシュ のプログラム 例	46
第 5 章 : キャラクタ LCD	
概要	47
キャラクタ LCD のインターフェイス信号	48
電圧の互換性	48
UCF ロケーション制約	49
LCD コントローラ	49
メモリ マップ	49
DD RAM	49
CG ROM	50
CG RAM	51
コマンド セット	52
コマンドのディスエーブル	53
Clear Display	53
Return Cursor Home	53
Entry Mode Set	54
Display On/Off	54
Cursor and Display Shift	55
Function Set	55
Set CG RAM Address	55
Set DD RAM Address	55
Read Busy Flag and Address	55
Write Data to CG RAM or DD RAM	56
Read Data from CG RAM or DD RAM	56

動作	56
4 ビット データ インターフェイス	56
4 ビット インターフェイスへの 8 ビット データの転送	57
ディスプレイの初期化	57
電源投入時の初期化	58
ディスプレイのコンフィギュレーション	58
ディスプレイへのデータの書き込み	58
使用されていない LCD のディスエーブル	59
関連情報	59
第 6 章 : VGA ディスプレイ ポート	
60Hz、640 X 480 VGA ディスプレイの信号のタイミング	62
VGA 信号のタイミング	64
UCF ロケーション制約	65
関連情報	65
第 7 章 : RS-232シリアルポート	
概要	67
UCF ロケーション制約	68
第 8 章 : PS/2 マウス/キーボードのポート	
キー ボード	70
マウス	72
電源	73
Y 字型スプリッタ ケーブルを使用したセカンド PS/2 ポートの追加	73
UCF ロケーション制約	74
関連情報	74
第 9 章 : アナログ キャプチャ回路	
アナログ入力からデジタル出力への変換	76
プログラマブルプリアンプ	77
インターフェイス	77
増幅率	77
SPI 制御インターフェイス	78
UCF ロケーション制約	79
AD コンバータ (ADC)	79
インターフェイス	79
SPI 制御インターフェイス	80
UCF ロケーション制約	81
アナログ入力の接続	81
関連情報	81
第 10 章 : DA コンバータ (DAC)	
SPI 通信	83
インターフェイス信号	84
SPI 通信の詳細	84
通信プロトコル	85
DAC 出力電圧の指定	86
UCF ロケーション制約	86
関連情報	86

第 11 章 : パラレル NOR フラッシュ PROM

フラッシュの接続	88
SPI フラッシュおよびプラットフォーム フラッシュのデータ ラインの共有	90
UCF ロケーション制約	91
アドレス	91
データ	92
制御	92
FPGA モード セレクト ピンの設定	92
パラレル フラッシュのコンフィギュレーション イメージの作成およびプログラム	93
関連情報	93

第 12 章 : SPI シリアル フラッシュ

SPI フラッシュ PROM のセレクト ジャンパ (J1)	97
SPI フラッシュおよびプラットフォーム フラッシュのデータ ラインの共有	98
選択した SPI フラッシュ PROM から FPGA をコンフィギュレーションするためのジャンパ設定	99
UCF ロケーション制約	100
SPI シリアル フラッシュのコンフィギュレーション イメージの作成およびプログラム	100
SPI フラッシュ PROM のプログラム オプション	100
直接プログラムする場合	101
エンベデッド USB JTAG プログラマの使用	101
別個の JTAG パラレル プログラム ケーブルの使用 (オプション)	102
iMPACT を使用した SPI フラッシュの直接プログラム	104
間接的にプログラムする場合	106
ジャンパ設定	107
iMPACT を使用した SPI フラッシュの間接的プログラム	107
関連情報	111

第 13 章 : DDR2 SDRAM

DDR2 SDRAM の接続	114
UCF ロケーション制約	116
アドレス	116
データ	116
制御	117
FPGA の V _{REF} ピン	117
レイアウトに関する推薦事項	117
関連情報	118

第 14 章 : 10/100 イーサネット物理レイヤ インターフェイス

イーサネット PHY の接続	120
MicroBlaze イーサネット IP コア	121
UCF ロケーション制約	122
関連情報	122

第 15 章 : 拡張コネクタ

ヒロセ電機社製 100 ピン FX2 エッジ コネクタ (J17)	124
拡張コネクタの機能	124
コネクタへの電源供給	124
コネクタのピン配置と FPGA の接続	125
FX2 コネクタ互換ボード	126
レセプタクル コネクタの接続	126

UCF ロケーション制約	127
差動 I/O コネクタ	128
差動入力の使用	129
差動出力の使用	130
差動トレース レイアウトでの考慮事項	130
34 導体ケーブル アセンブリ (2 X 17)	132
UCF ロケーション制約	132
6 ピン アクセサリ ヘッダ	133
J18 ヘッダ	133
J19 ヘッダ	133
J20 ヘッダ	134
Digilent 社ペリフェラル モジュール	134
UCF ロケーション制約	135
コネクタレス デバッグ ポート ランディング パッド (J34)	135

第 16 章：小型ステレオ オーディオ ジャック

サポートされるオーディオ デバイス	137
FPGA 接続	138
UCF ロケーション制約	138
関連情報	139

第 17 章：電源供給

電圧供給ジャンパ間の電力の測定	143
I ² C 電圧調整インターフェイス	144
変更可能な電圧	144
デフォルト電圧の復元	145
UCF ロケーション制約	145
関連情報	145

概要

ザイリンクス Spartan™-3A/3AN スタータ キットをお買い上げいただきありがとうございます。この開発ボードを活用して、Spartan-3A または Spartan-3AN FPGA アプリケーションの開発にお役立てください。

入門

Spartan-3A/3AN スタータ キット ボードは、すぐに使用できる状態で出荷されています。フラッシュに格納されているデザインでは、VGA ディスプレイやシリアル ポートなどの多様な I/O デバイスを実行したり、選択可能なマルチポート モード および消費電力を節約する一時停止 (SUSPEND) モードなどの FPGA の新機能を実現できます。

このボードを使用するには、図 1-1 に示す手順に従います。

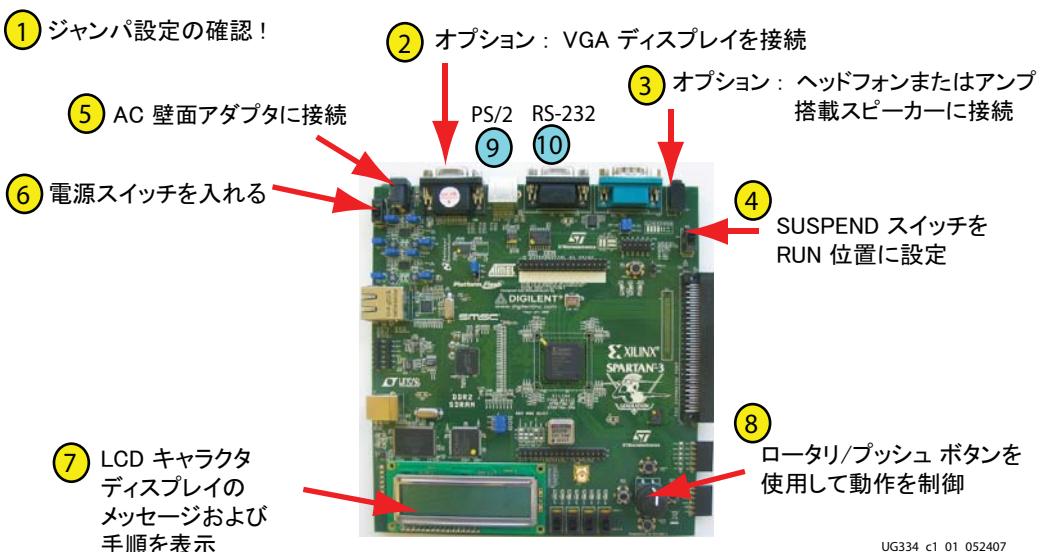


図 1-1 : スタータ キット ボードの使用開始手順

1. 14 ページの図 1-2 に示すように、ボードのジャンパ位置を確認します。これらは、サンプル デザインを正しくコンフィギュレーションするために設定する必要があります。
2. VGA ディスプレイ デバイスを接続します (オプション)。ディスプレイ デバイスには、CRT、フラット パネル、またはプロジェクタを使用することもできます。
3. ヘッドフォンまたはアンプ搭載スピーカーをオーディオ ジャックに接続します (オプション)。
4. SUSPEND スイッチを RUN に設定します。

5. 付属の AC アダプタを壁面コンセントおよびボードに接続します。この AC アダプタには、世界各地の壁面コンセントに接続するための付属品も含まれています。
6. 電源を入れます。
7. キャラクタ LCD および VGA ディスプレイが接続されている場合は、情報メッセージおよび手順が表示されます。オーディオ デバイスが接続されている場合は、多様な言語による歓迎の言葉が再生されます。
8. 回転/パッシュボタン スイッチを使用して、ボードの機能を切り替えます。
9. サンプル デザインの 1 つをサポートするために、オプションで PS/2 型のキーボードを接続します。
10. 標準の 9 ピン シリアル ケーブルを使用して、PC とボードを直接接続します(オプション)。

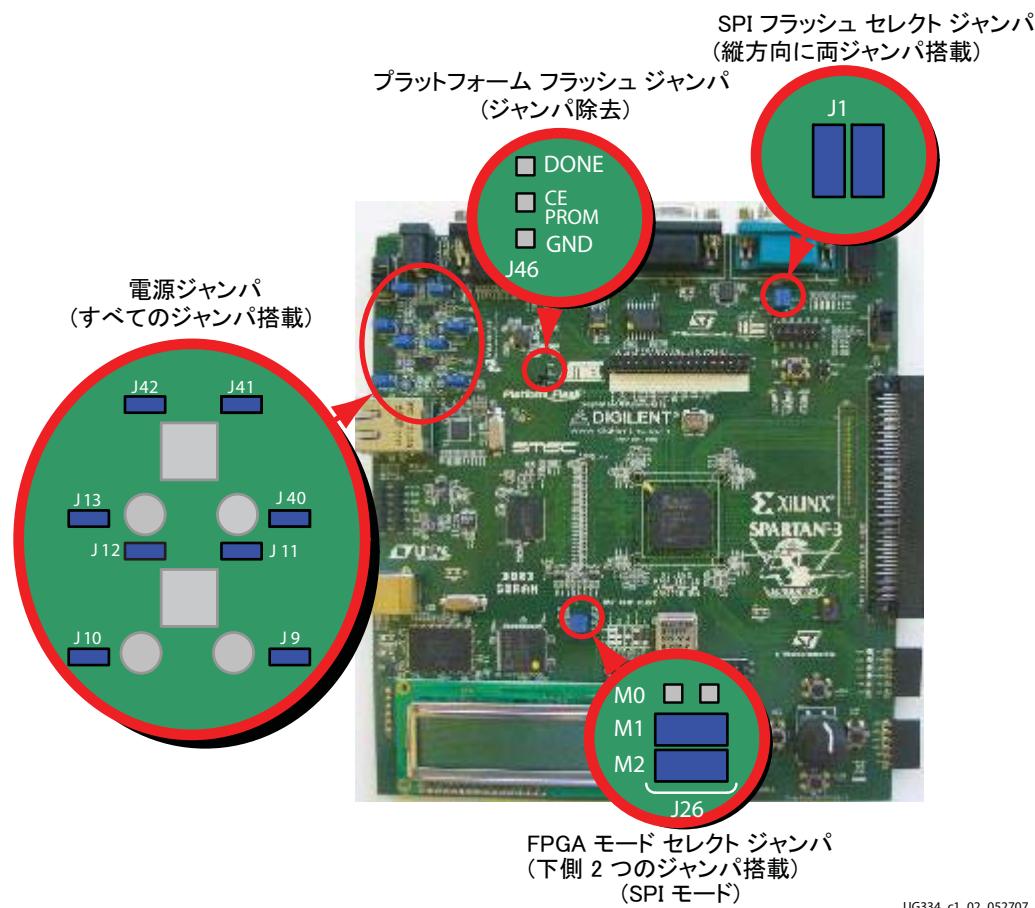


図 1-2: スタータ キット ボード用のデフォルトのジャンパ設定

サンプル デザインの詳細は、次の Web ページを参照してください。

- Spartan-3A/3AN スタータ キットのサンプル デザインの概要
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#demo
- 初期設定のフラッシュ プログラムの復元
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#out

デフォルトのサンプル デザインの動作

Spartan-3A/3AN スタータ キット ボード にプログラムされているサンプル デザインでは、接続されている I/O やディスプレイ デバイスに対応してさまざまな出力情報が提供されます。VGA およびオーディオ ポートからは、さまざまな操作を実行できます。

VGA ディスプレイ

VGA ディスプレイをボードに接続した場合、スタータ キット ボードにより 図 1-3 に示すようなグラフィックが表示されます。

ロータリー ノブの周りにある 4 つのプッシュ ボタン (29 ページの図 2-5) の 1 つが押されるまで、ディスプレイ上ではグラフィック画像が自動的に回転し、縮小/拡大表示されます。これは、AutoPilot と呼ばれるモードです。ボードの概要は画面左側に表示され、メニュー システムは画面下部に青色で表示されます。

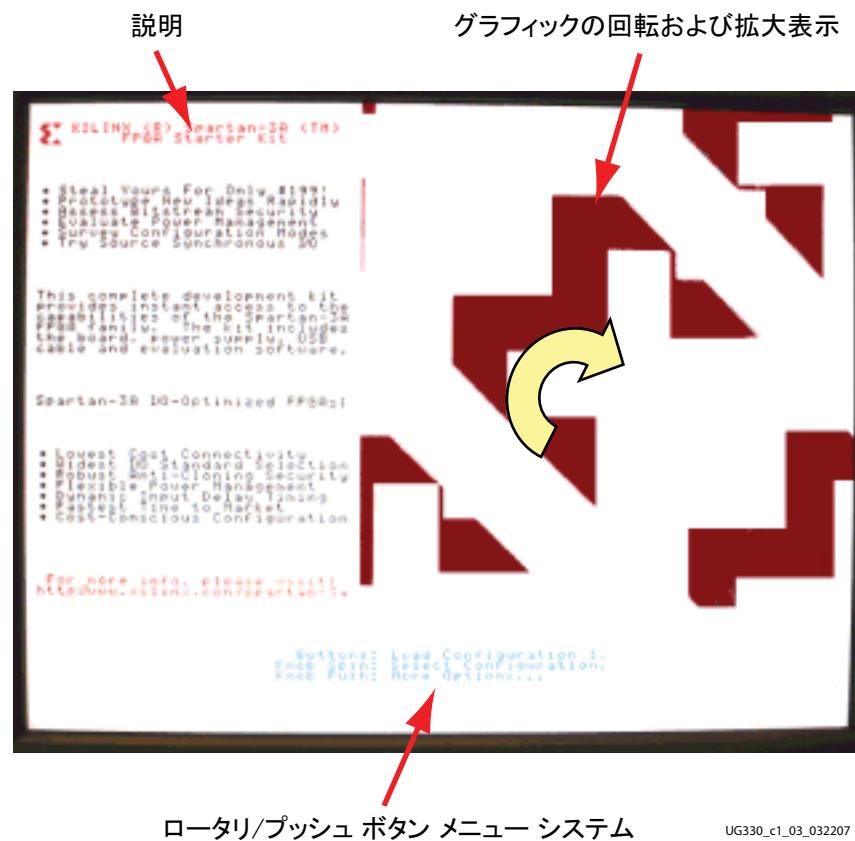


図 1-3 : VGA 画面上のグラフィックの回転/拡大表示およびメニュー システムの表示

ロータリー ノブ/プッシュ ボタン メニュー システム

Spartan-3A/3AN スタータ キット ボードのサンプル デザインでは、ロータリー ノブとその周囲のプッシュ ボタン (29 ページの図 2-5) を使用してメニュー システムがインプリメントされます。このメニュー表示は、VGA 出力画面の下部に青色の文字で表示されます。このメニューの機能は、表 1-1 および図 1-4 に示されています。

表 1-1：メニュー制御の機能

ノブを押す	ノブを回す	プッシュ ボタンを押す
次のメニュー選択、次のモードに移動します。	現在のモードによって異なります。 図 1-4 を参照してください。	現在のモードによって異なります。 図 1-4 を参照してください。

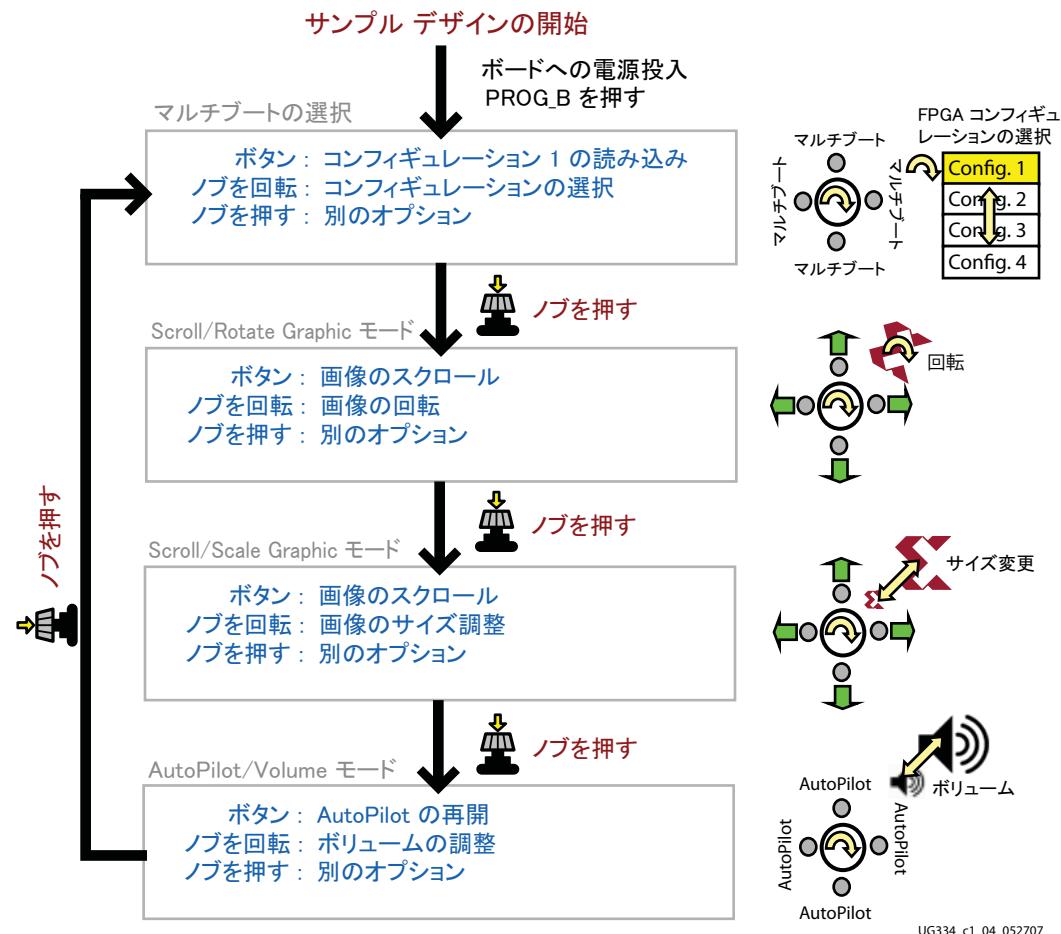


図 1-4：ロータリー ノブ/プッシュ ボタン メニュー システム

マルチブート コンフィギュレーション イメージの選択

Spartan-3A/3AN FPGA では、選択可能なマルチブート コンフィギュレーション インターフェイスがサポートされています。FPGA でマスタ コンフィギュレーション モードの 1 つがコンフィギュレーションされる場合、電源投入時または PROG_B ボタンが押されたときに、常にフラッシュのアドレス 0 に格納されているイメージが FPGA に読み込まれます。

ロータリー ノブを回して新しい FPGA のコンフィギュレーション イメージを選択します。ディスプレイ下部の青色の文字列は、ロータリー ノブをクリックするたびに更新されます。たとえば、アプリケーションで「Buttons Load Configuration x」と示されます。x は、[表 1-2](#) に示すビットストリーム イメージを指します。[表 1-2](#) に、ボードにあらかじめ読み込まれているビットストリームの説明を示します。

イメージを選択して、ロータリー ノブの周囲にある 4 つのプッシュ ボタンの 1 つを押します。これで、選択したイメージが外部フラッシュ メモリから FPGA に読み込まれます。

「Scroll or Rotate Graphic モード」に切り替える場合は、ロータリー ノブを押します。

表1-2：スタート キット ボードであらかじめプログラムされている FPGA コンフィギュレーション ビット

FPGA コンフィギュレーション ビットストリーム	FPGA アプリケーション/リファレンス デザイン例
0 (デフォルト)	スタート キット ボードのサンプル デザイン：電源投入時に読み込まれます。 japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#demo
1	Device DNA リーダー：FPGA の固有のデバイス ID の値を読み出し、キャラクタ LCD の画面に表示します。 japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#dna_reader
2	Fractal Generator：フラクタル画像をリアルタイムで算出して、VGA ポートに表示します。Mattias Alles 氏により提供されたユーザー デザインです。ノブを回転させてフラクタル画像を拡大表示し、プッシュ ボタンを押して画像をスクロールします。 www-user.rhrk.uni-kl.de/~alles/fpga/files.htm
3	ASCII ターミナル：接続されている VGA ディスプレイと PS/2 キーボードを使用して、テキスト ターミナルをインプリメントし、RS-232 シリアル接続を介して PC のハイパーテーミナルと通信します。 japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#out
4	ST マイクロエレクトロニクス社製 M29DW323DT パラレル フラッシュ プログラマ：RS-232 シリアル接続を介してハイパーテーミナルから PC に通信します。スタート キット ボード上の ST マイクロエレクトロニクス社製 M29DW323DT パラレル フラッシュ PROM のプログラム、消去、読み出しを実行します。 japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#parallel_flash_programmer
Spartan-3AN FPGA	内部 フラッシュペイント アプリケーション：マウスを使用して描画し、インシステム フラッシュから読み出すかまたは書き込みます。Spartan-3AN スタータ キット ボードの内部 SPI フラッシュから読み出されます。43 ページの表4-1 に示すように、モード ピンを内部マスタ SPI モードに設定する必要があります。Spartan-3AN スタータ キット ボードのみで使用できます。 japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#paint

Scroll or Rotate Graphic モード

このモードでは、ノブを回してグラフィック画像を右回りまたは左回りに回転させます。

4つのプッシュ ボタンスイッチを使用すると、グラフィック画像を上向き、下向き、左向き、右向きにスクロールできます。

ロータリー ノブを押して 「Scroll or Scale Graphic モード」 モードに切り替えます。

Scroll or Scale Graphic モード

このモードでは、ノブを回してグラフィック画像のサイズを変更(拡大/縮小)します。

4つのプッシュ ボタンスイッチを使用すると、グラフィック画像を上向き、下向き、左向き、右向きにスクロールできます。

ロータリー ノブを押して 「Restart AutoPilot、Speaker Volume Control モード」 モードに切り替えます。

Restart AutoPilot、Speaker Volume Control モード

このモードでは、ノブを回してスピーカーの出力ボリュームを調整します。

いずれかのプッシュ ボタンスイッチを押して、AutoPilot 機能を再起動します。

ロータリー ノブを押して 「マルチポート コンフィギュレーション イメージの選択」 モードに切り替えます。

LCD 画面の制御オプション

サンプル デザインは、接続されている VGA ディスプレイ上で最適に動作しますが、図 1-5 に示すようにオンボードの LCD 画面でも動作します。VGA ディスプレイが接続されていない場合は、「Scroll or Rotate Graphic モード」、「Scroll or Scale Graphic モード」、および「Restart AutoPilot、Speaker Volume Control モード」の機能は、スピーカーとオーディオ ジャックの接続時のボリューム調整を除いて、ほとんど使用できません。

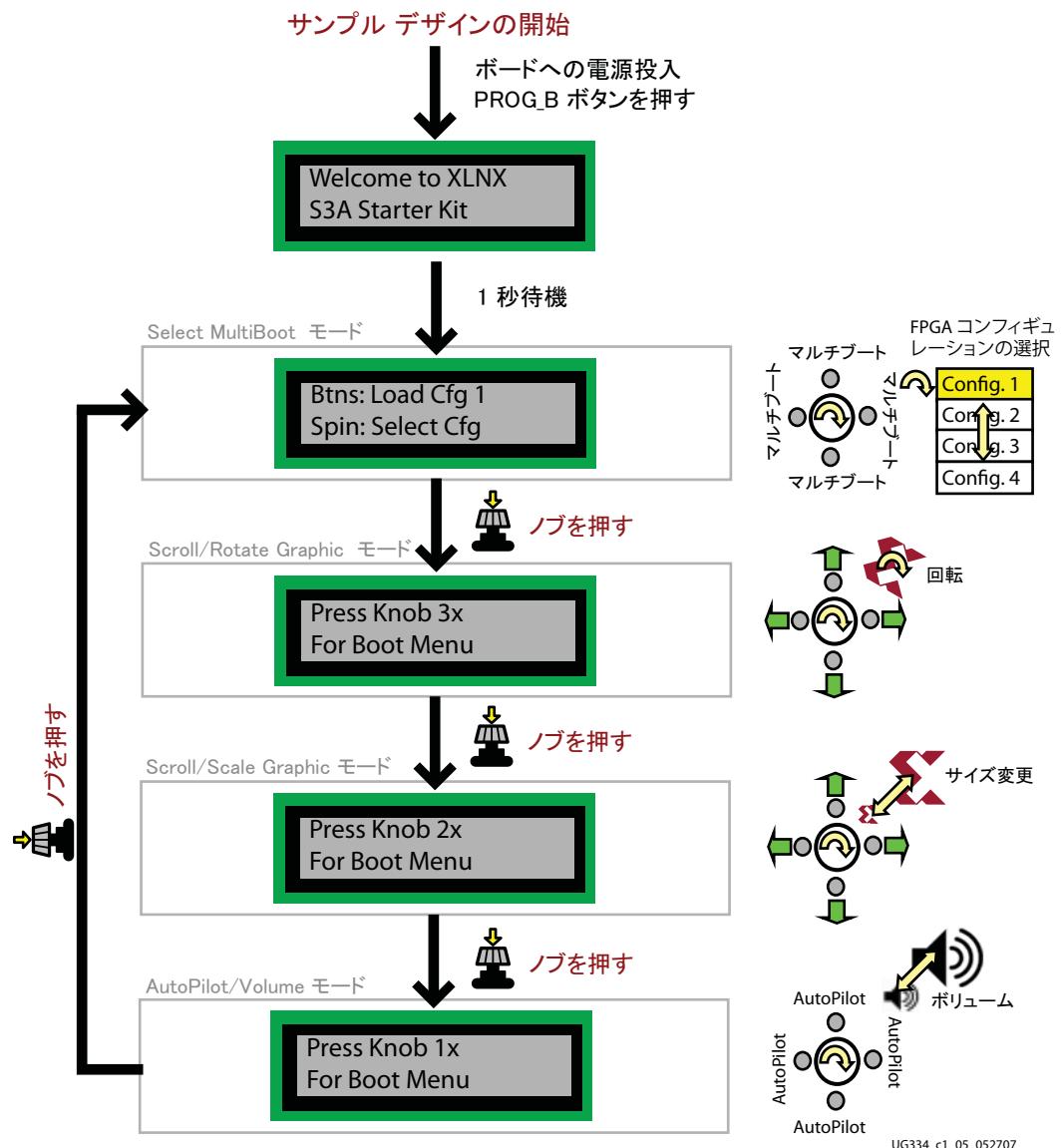


図 1-5：メニュー システムを使用した LCD 画面出力

省電力一時停止モード

あらかじめ読み込まれている FPGA コンフィギュレーション ビットストリームでは、すべて省電力一時停止 (SUSPEND) モードがイネーブルにされています。一時停止モードでは、FPGA アプリケーションの現在の状態および FPGA のコンフィギュレーションデータを保持しながら、FPGA の消費電力が節約されます。[28 ページの「SUSPEND スイッチ」](#)に示すように、SUSPEND スイッチを RUN または SUSPEND に設定します。

[143 ページの「電圧供給ジャンパ間の電力の測定」](#)に示すように、外部マルチメータを 1 つまたは 2 つ使用して、消費電流を計測します。

注意 : 表 1-2 に示されているコンフィギュレーション ビットストリーム #4 を使用したパラレル NOA フラッシュ PROM のプログラム中には、SUSPEND スイッチを SUSPEND に設定しないでください。

RS-232 シリアルポート制御オプション

オプションでシリアルポートから PC またはワークステーションに接続して、サンプルデザインを制御します。PC では、[図 1-6](#) に示すように、ハイパーテーミナルプログラムを使用して FPGA アプリケーションと通信します。[67 ページの図 7-1](#) に示すように、標準の 9 ピンシリアルケーブルを使用して、PC の 9 ピン RS-232 ポートとボードの DCE コネクタを接続します。

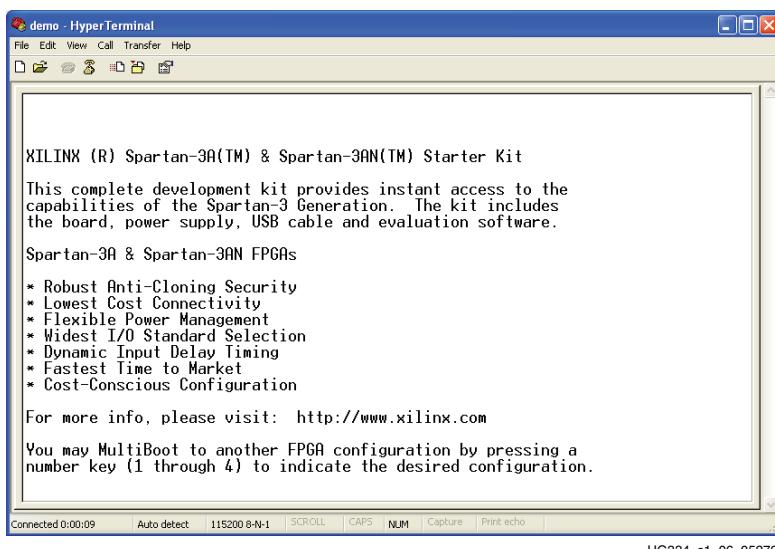


図 1-6 : ハイパーテーミナルおよび標準のシリアルケーブルを使用したボードへの接続
サンプルデザインの動作が開始すると、シリアルポートを使用してメッセージが伝送されます。
PC で表 1-2 に示されているマルチブート ビットストリームの番号と一致する番号キーを押します。

主要なコンポーネントおよび機能

次に、Spartan-3A スターターキット ボードまたは Spartan-3AN スターターキット ボードの主な機能を示します。

- Spartan-3A スターターキット ボード : 鉛フリー 484 ボール BGA パッケージ (FGG484)、70 万ゲートの XC3S700A [Spartan-3A FPGA](#)

- Spartan-3AN スタータ キット ボード：鉛フリー 484 ボール BGA パッケージ (FGG484)、70 万ゲートの XC3S700AN [Spartan-3AN 不揮発性 FPGA](#)
 - ◆ 内部 8Mb インシステム フラッシュ メモリ
 - ◆ FPGA コンフィギュレーション ビットストリームまたは不揮発性データの格納
- 4Mb [プラットフォーム フラッシュ コンフィギュレーション PROM](#)
- 64MB (512Mb) の DDR2 SDRAM、32M X 16 データ インターフェイス
- 4MB (32Mb) の パラレル NOR フラッシュ
 - ◆ FPGA コンフィギュレーション格納
 - ◆ [MicroBlaze™](#) コード格納/シャドウ化
 - ◆ コンフィギュレーション後の x8 または x16 データ インターフェイス
- 2 つの 16MB SPI シリアル フラッシュ
 - ◆ ST マイクロエレクトロニクスおよび Atmel DataFlash シリアル アーキテクチャ
 - ◆ FPGA コンフィギュレーション格納
 - 1 つのコンフィギュレーション ビットストリームまたは複数のマルチブート コンフィギュレーション ビットストリームのサポート
 - ◆ 不揮発性データの格納
 - ◆ MicroBlaze コード シャドウイング
- 2 行 X 16 桁 LCD 画面
- PS/2 ポート
 - ◆ PS/2 互換のマウスまたはキーボードのサポート
 - ◆ Y スプリッタ ケーブル (キットには含まれていません) を使用したマウスとキーボードの両方のサポート
- VGA ディスプレイ ポート、12 ビット カラー
- 10/100 イーサネット PHY (FPGA では イーサネット MAC が必要)
- 9 ピン RS-232 ポート 2 つ (DTE および DCE)
- オンボード USB ベース プログラム ソリューション
 - ◆ FPGA ダウンロード/デバッグ
 - ◆ SPI シリアル フラッシュ インシステム ダイレクト プログラム
- 50MHz クロック オシレータ
- 補助クロック オシレータ用の 8 ピン DIP ソケット
- クロック入力またはクロック出力用 SMA コネクタ
- 最大 43 個の FPGA ユーザー I/O を持つ 100 ピン ヒロセ電機社製 FX2 拡張コネクタ
 - ◆ [Digilent FX2 アドオン カード](#) との互換性
- 高速差動 I/O コネクタ
 - ◆ レシーバ：データ チャネル 6 個またはクロックが付いたデータ チャネル 5 個
 - ◆ トランスマッタ：データ チャネル 6 個またはクロックが付いたデータ チャネル 5 個
 - ◆ LVDS、RSDDS、mini-LVDS を含む複数の差動 I/O 規格のサポート
 - ◆ 最大 24 個のシングルエンド I/O のサポート
 - ◆ 34 コンダクタ ケーブルの使用

- Digilent 社ペリフェラル モジュール用 6 ピン拡張コネクタ 2 つ
- SPI ベース 4 出力 DA コンバータ (DAC)
- SPI ベース 2 入力 AD コンバータ (ADC) (プログラマブルプリアンプ付き)
- デジタル I/O ピンを使用したステレオオーディオジャック
- ChipScope™ SoftTouch デバッグ ポート
- プッシュボタン軸付きロータリー エンコーダ
- LED 8 個
- スライドスイッチ 4 個
- プッシュボタンスイッチ 4 個

システム レベルでの変更

Spartan-3A/3AN スタータ キット ボードの機能を提供するため、システム レベルでの変更が加えられています。

多様なコンフィギュレーション方法

通常、FPGA アプリケーションではコンフィギュレーション イメージの格納に不揮発性メモリを 1 つだけ使用します。典型的な Spartan-3AN 不揮発性 FPGA アプリケーションでは、外部メモリは不要です。スタータ キット ボードでは、Spartan-3A および Spartan-3AN FPGA の新しい機能を紹介するために、コンフィギュレーション メモリ ソースを 4 つ使用しています。これらのメモリ ソースは同時に動作します。コンフィギュレーション ファンクションが余分にあるため、スタータ キット ボードは通常の FPGA アプリケーションよりも複雑です。

スタータ キット ボードには、USB ベースのオンボード JTAG プログラム インターフェイスも含まれています。オンチップ回路であるため、デバイスのプログラムは簡略化されます。典型的なアプリケーションでは、JTAG プログラムのハードウェアは、オフボードまたはザイリンクス プラットフォーム ケーブル USB のような別個のプログラミング モジュールに存在します。

アプリケーションで使用する電圧

Spartan-3A/3AN FPGA は、通常 1.2V および 3.3V の 2 つの電力供給レールを使用して動作します。Spartan-3A/3AN スタータ キット ボードには、National Semiconductor 社のトリプル出力レギュレータが搭載されています。これは、Spartan-3 ジェネレーション FPGA 用に開発されたものです。このレギュレータは、ほとんどのスタンダードアロンの FPGA アプリケーションに使用できます。

Spartan-3A/3AN スタータ キットのデザイン例

Spartan-3A/3AN スタータ キットのデザイン例を示す Web ページにアクセスして、スタータ キット ボード用に開発された最新のアプリケーションをダウンロードして使用してください。

- Spartan-3A スタータ キットのデザイン例の Web ページ
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm

このページには、継続的にデザインが追加されています。また最新のソフトウェア リリースに合わせてアプリケーションもアップデートされています。次に、デザイン例の一部を示します。

- Spartan-3A/3AN スタータ キットのサンプル デザインの概要
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#demo

ボードと共に提供されるサンプル デザインについて説明します。設定方法や動作方法、マルチポートおよび一時停止モードの評価、および手法の詳細も含まれています。

- 初期設定のフラッシュ プログラムの復元
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#out

スタータ キット ボードの概要および初期状態への復元方法が説明されています。ZIP ファイルには、ボードが配布される前にフラッシュ メモリにあらかじめプログラムされている MCS ファイルも含まれています。PDF ファイルには、通常の使用中にコンフィギュレーション メモリが上書きされてしまったような場合に、これらの MCS ファイルを使用してボードを初期設定に復元する方法が示されています。
- Spartan-3A/3AN スタータ キット ボード検証デザイン
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#test

このサンプルには、ボードのテスト仕様およびテスト デザインが含まれています。このデザインは、初期ボードの検証中に使用されたもので、ファンクションの一部は製品テスト中に使用されます。ボードが予期どおりに動作しない場合は、このサンプルを使用して検証します。デザイン ファイルは、この目的以外でも一般的に使用できます。この ZIP ファイルには、デザイン ソース、実行スクリプト、その結果コンパイルされたファイルが含まれています。
- ST マイクロエレクトロニクス社製 M29DW323DT パラレル NOA フラッシュのプログラマ
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#parallel_flash_programmer

このデザインでは、Spartan-3A または Spartan-3AN FPGA を 32Mb の ST マイクロエレクトロニクス社製 M29DW323DT パラレル NOR フラッシュ メモリのプログラマに変換します。このメモリは、オプションで FPGA のコンフィギュレーション イメージを格納し、また FPGA にインプリメントされているその他のアプリケーションに対して汎用の不揮発性ストレージを提供します。このアプリケーションでは、単純なターミナル プログラムを使用して次の機能を提供します。

 - ◆ メモリの一部または全部消去
 - ◆ 内容検証のためのメモリの読み出し
 - ◆ 標準の MCS ファイルを使用した完全コンフィギュレーション イメージのダウンロード
 - ◆ 個別バイトの手動プログラム
 - ◆ デバイス識別子および 64 ビットの固有デバイス番号
- Spartan-3A/3AN Device DNA リーダー
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#dna_reader

このデザインでは、PicoBlaze™ プロセッサを使用して各 Spartan-3A/3AN に埋め込まれている固有の Device DNA 識別子を読み出して、LCD 画面に表示します。

Spartan-3 ジェネレーション スタータ キット ボードの選択

Spartan-3A および Spartan-3AN スタータ キット ボードは、Spartan-3A/3AN FPGA アプリケーションのプロトタイプに最適です。ただし、要件が特殊な場合は、ザイリンクスおよびサードパーティでその要件に最適な開発ボードを提供します。

Spartan-3A/3AN FPGA の機能とエンベデッド プロセッシング機能

Spartan-3A/3AN スタータ キット ボードは、Spartan-3A および Spartan-3AN FPGA ファミリ特有の機能を備えた、エンベデッド プロセッシングのアプリケーションの開発に便利な開発ボードです。このボードは、次の機能を備えています。

- Spartan-3AN 特有の機能
 - ◆ 内部 SPI フラッシュによる不揮発性コンフィギュレーション
- Spartan-3A/3AN 特有の機能
 - ◆ パラレル NOR フラッシュ コンフィギュレーション
 - ◆ ST マイクロエレクトロニクス社または Atmel 社の DataFlash アーキテクチャを使用した SPI シリアルフラッシュ コンフィギュレーション
 - ◆ パラレル NOR および SPI シリアル フラッシュ PROM からのマルチポート FPGA コンフィギュレーション
- エンベデッド開発
 - ◆ [MicroBlaze](#) 32ビット エンベデッド RISC プロセッサ
 - ◆ [PicoBlaze](#) 8ビット エンベデッド コントローラ
- 一時停止モード (SUSPEND モード) を使用した消費電力管理
- DDR2 SDRAM メモリ インターフェイス

その他の Spartan-3 ジェネレーション開発ボード

Spartan-3A/3AN スタータキットボードでは、Spartan-3A および Spartan-3AN FPGA ファミリおよびザイリンクス ISE™ 開発ソフトウェアの完全機能が示されます。

Spartan-3E FPGA ファミリ特定の開発ボードには、Spartan-3E のスタータキットボードを使用してください。電源を含めるかどうかによって、注文コードが異なります。

- Spartan-3E スタータキットボード (HS-SPAR3E-SK_xx)
japan.xilinx.com/s3estarter

MicroBlaze の開発には、XC3S1600E エンベデッド開発ボードを使用してください。

- XC3S1600E エンベデッド開発ボード (DO-SP3E1600E-DK-UNI-G)
japan.xilinx.com/sp3e1600e

PCI Express™ アプリケーションには、Spartan-3 PCI Express スタータキットを使用してください。

- Spartan-3 PCI Express スタータキット (HW-S3PCIE-DK)
japan.xilinx.com/s3pcie

Spartan-3 FPGA の単純なアプリケーションには、基本的な Spartan-3 スタータキットボードを使用してください。

- Spartan-3 スタータキット (DO-SPAR3-DK)
japan.xilinx.com/s3starter

また、ザイリンクスパートナーの開発ボードも使用できます。

- Spartan-3 および Spartan-3E ボードの検索
japan.xilinx.com/products/devboards/index.htm

Spartan-3A および Spartan-3AN FPGA

Spartan-3AN FPGA プラットフォームは、Spartan-3A FPGA プラットフォームとピンの互換性を持つ不揮発性バージョンです。Spartan-3AN FPGA では、Spartan-3A FPGA などの同じ外部プログラムソースがサポートされますが、内部 SPI フラッシュプログラム モードが追加されています。内部 SPI フラッシュは、ユーザー データの格納にも使用できます。Spartan-3A/3AN スタータキット

ト ボードでは、外部と Spartan-3AN 内部の両方のコンフィギュレーション オプションがサポートされています。

Spartan-3A FPGA では V_{CCAUX} に 2.5V または 3.3V のいずれかを使用できますが、Spartan-3AN では 3.3V にする必要があります。Spartan-3A/3AN スタータ キット ボードでは、デフォルトの 3.3V が使用されています。

Spartan-3A および Spartan-3AN FPGA には、それぞれマニュアルがあります。ザイリンクスの Web ページにて、最新のバージョンを確認してください。

- Spartan-3A FPGA
 - ◆ Web ページ
japan.xilinx.com/spartan3a
 - ◆ データシート
japan.xilinx.com/bvdocs/publications/ds529.pdf
 - ◆ エラッタ
japan.xilinx.com/xlnx/xweb/xil_publications_display.jsp?category=-1212251
 - ◆ その他のマニュアル
japan.xilinx.com/xlnx/xweb/xil_publications_display.jsp?category=-1212246
- Spartan-3AN FPGA
 - ◆ Web ページ
japan.xilinx.com/spartan3an
 - ◆ データシート
japan.xilinx.com/bvdocs/publications/ds557.pdf
 - ◆ エラッタ
japan.xilinx.com/xlnx/xweb/xil_publications_display.jsp?category=-1212871
 - ◆ その他のマニュアル
japan.xilinx.com/xlnx/xweb/xil_publications_display.jsp?category=-1212828

関連情報

詳細については、次のリンク先を参照してください。

- Spartan-3A/3AN スタータ キット ボード
japan.xilinx.com/s3astarter
 - ◆ Spartan-3A/3AN リビジョン D スタータ キット ユーザー ガイド
japan.xilinx.com/bvdocs/userguides/j_ug334.pdf
 - ◆ Spartan-3A リビジョン C スタータ キット ユーザー ガイド
japan.xilinx.com/bvdocs/userguides/j_ug330.pdf
 - ◆ ユーザー制約ファイル (UCF) の例
japan.xilinx.com/products/boards/s3astarter/files/s3astarter.ucf
 - ◆ ボードの回路図 (注釈付き)
japan.xilinx.com/products/boards/s3astarter/s3astarter_schematic.pdf
 - ◆ BOM (部品表) リスト
japan.xilinx.com/products/boards/s3astarter/s3astarter_bom.xls
 - ◆ デザイン例へのリンク
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm

- ザイリンクス MicroBlaze ソフト プロセッサ
japan.xilinx.com/microblaze
- ザイリンクス PicoBlaze ソフト プロセッサ
japan.xilinx.com/picoblaze
- ザイリンクス エンベデッド開発キット
japan.xilinx.com/ise/embedded_design_prod/platform_studio.htm
- ザイリンクス ソフトウェア チュートリアル
japan.xilinx.com/support/techsup/tutorials/
- テクニカル サポート
japan.xilinx.com/support

スイッチ、ボタン、ロータリーノブ

スライドスイッチ

配置場所およびラベル

Spartan™-3A/3AN スタータ キット ボードには、図 2-1 に示すように、4 つのスライドスイッチがあります。配置場所はボードの右下隅で、SW3 から SW0 のラベルが付いています。一番左が SW3 で、一番右が SW0 です。

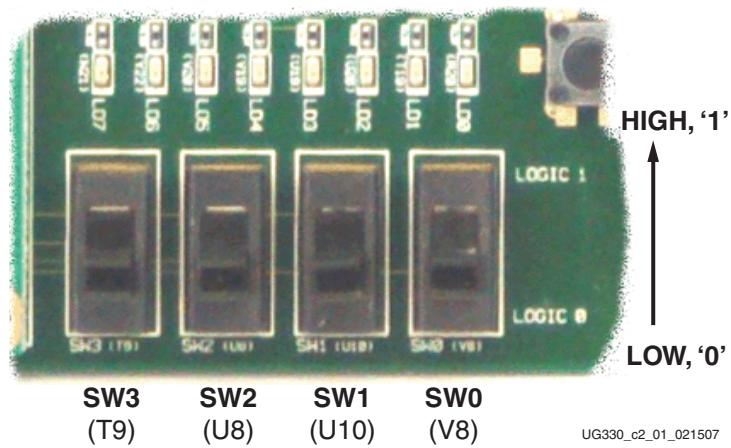


図 2-1 : 4 つのスライドスイッチ

動作

スイッチがオン(上)のときは、FPGA ピンは 3.3V のロジック High に接続され、オフ(下)のときはグランドのロジック Low に接続されます。これらのスイッチでは、通常 2ms ほどの機械的なバウンスが発生します。アクティブなデバウンス回路はありませんが、ボードでプログラムされている FPGA デザインに容易に追加できます。

UCF ロケーション制約

図 2-2 に、各スライドスイッチの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。PULLUP 抵抗は必要ありませんが、使用するとスイッチの遷移中に入力値が定義されます。

```

NET "SW<0>" LOC = "V8" | IOSTANDARD = LVTTL | PULLUP ;
NET "SW<1>" LOC = "U10" | IOSTANDARD = LVTTL | PULLUP ;
NET "SW<2>" LOC = "U8" | IOSTANDARD = LVTTL | PULLUP ;
NET "SW<3>" LOC = "T9" | IOSTANDARD = LVTTL | PULLUP ;

```

図 2-2 : スライド スイッチの UCF 制約

SUSPEND スイッチ

SUSPEND スライド スイッチ (図 2-3) は、FPGA の SUSPEND 入力ピンに直接接続されます。一時停止 (SUSPEND) モードを FPGA アプリケーションでイネーブルにした場合に、このスイッチを SUSPEND に設定すると FPGA でこのモードがイネーブルにされます。このスイッチを RUN に戻すと、FPGA では一時停止モードになる前の状態の動作に戻ります。一時停止モードをイネーブルにすると、FPGA がこのモードであることを示すために AWAKE ピンが保持されます。詳細は、34 ページの「AWAKE LED」を参照してください。

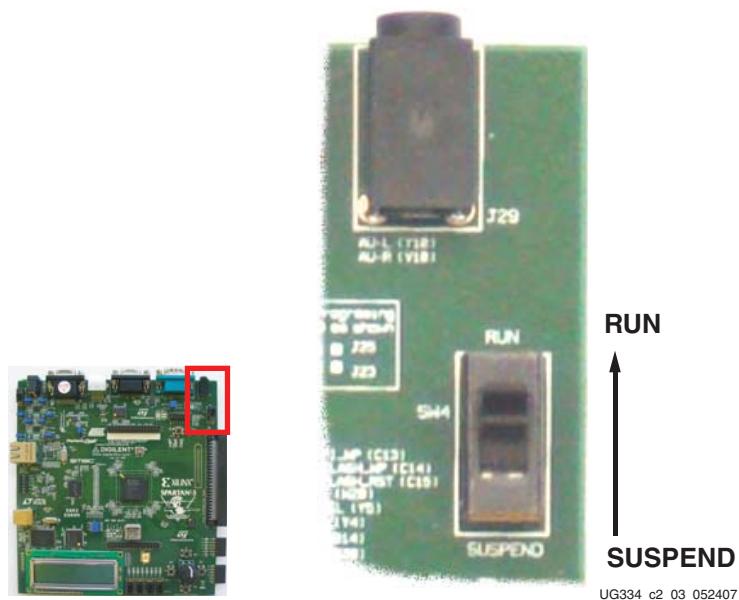


図 2-3 : SUSPEND スイッチ

一時停止モードをイネーブルにするには、図 2-4 に示すコンフィギュレーション文字列をユーザー制約ファイル (UCF) に追加します。アプリケーションでこのモードをイネーブルにしない場合は、SUSPEND スイッチによるデザインへの影響はなく、AWAKE ピンは汎用 I/O として使用できます。

```
CONFIG ENABLE_SUSPEND = "FILTERED" ;
```

図 2-4 : 一時停止モードをイネーブルにする UCF 制約

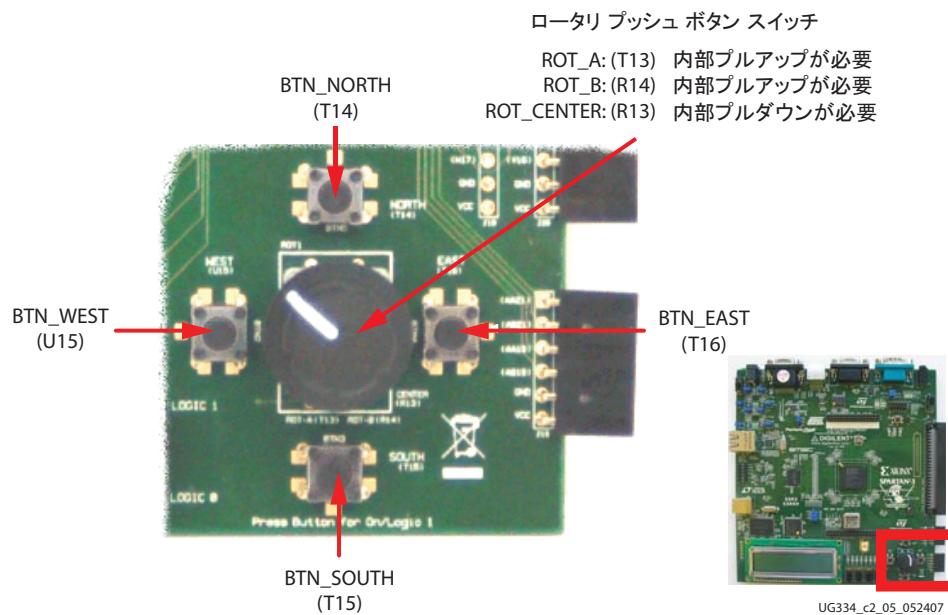
一時停止モードの詳細は、次のアプリケーション ノートを参照してください。

- アプリケーション ノート XAPP480 : 『Using Suspend Mode in Spartan-3 Generation FPGAs』
japan.xilinx.com/bvdocs/appnotes/xapp480.pdf

プッシュボタンスイッチ

配置場所およびラベル

Spartan-3A/3AN スタータキットボードには、図 2-5 に示すように、4つのモーメンタリ動作型プッシュボタンスイッチがあります。ボードの右下隅に配置されており、それぞれ BTN_NORTH、BTN_EAST、BTN_SOUTH、BTN_WEST のラベルが付いています。プッシュボタンに接続した FPGA ピンを図 2-5 のかっこ内に、UCF を図 2-7 に示します。



メモ :

1. ラベルが BTN_ で始まるプッシュボタン入力にはすべて、内部プルダウン抵抗が必要です。

図 2-5 : ロータリープッシュボタンスイッチの周囲に配置された 4 つのプッシュボタンスイッチ

動作

プッシュボタンを押すと、図 2-6 に示すように、対応する FPGA ピンが 3.3V に接続されます。ボタンを押さない場合は、FPGA ピン内のプルダウン抵抗を使用して、ロジック Low が生成されます。図 2-7 に、UCF でプルダウン抵抗を指定する方法を示します。プッシュボタンには、アクティブなデバウンス回路はありません。

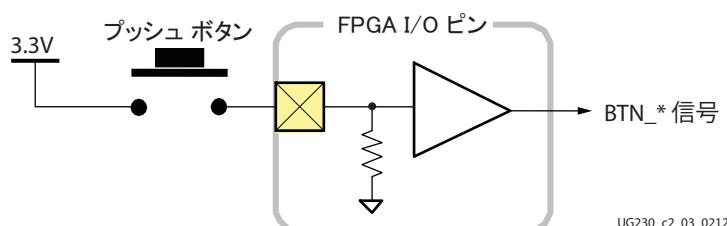


図 2-6 : FPGA 入力ピン内のプルダウン抵抗を必要とするプッシュボタンスイッチ

PROG_B プッシュ ボタン スイッチ

34 ページの図 2-14 に示すように、PROG_B プッシュ ボタン スイッチは FPGA のコンフィギュレーション回路の一部です。詳細は、45 ページの「PROM プッシュ ボタン スイッチ」を参照してください。

UCF ロケーション制約

図 2-7 に、4 つのプッシュ ボタン スイッチの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "BTN_EAST" LOC = "T16" | IOSTANDARD = LVTTL | PULLDOWN ;  
NET "BTN_NORTH" LOC = "T14" | IOSTANDARD = LVTTL | PULLDOWN ;  
NET "BTN_SOUTH" LOC = "T15" | IOSTANDARD = LVTTL | PULLDOWN ;  
NET "BTN_WEST" LOC = "U15" | IOSTANDARD = LVTTL | PULLDOWN ;
```

図 2-7: プッシュ ボタン スイッチの UCF 制約

ロータリー プッシュ ボタン スイッチ

配置場所およびラベル

ロータリープッシュ ボタン スイッチは、29 ページの図 2-5 に示すように、4 つのプッシュ ボタン スイッチの中央に配置されています。このスイッチからは出力が 3 つ生成されます。生成されるのは、軸エンコーダ出力である ROT_A および ROT_B と中央のプッシュ ボタン スイッチ ROT_CENTER です。

動作

ロータリープッシュ ボタン スイッチは、2 つの異なる機能を合わせ持っています。スイッチ軸を回転すると、回転時に値が出力されます。また、プッシュ ボタン スイッチのように押すこともあります。

プッシュ ボタン スイッチ

ロータリープッシュ ボタン スイッチのノブを押すと、図 2-8 に示すように、対応する FPGA ピンが 3.3V に接続されます。FPGA ピン内の内部プルダウン抵抗を使用して、ロジック Low を生成します。図 2-11 に、UCF でプルダウン抵抗を指定する方法を示します。プッシュ ボタンには、アクティブなデバウンス回路はありません。

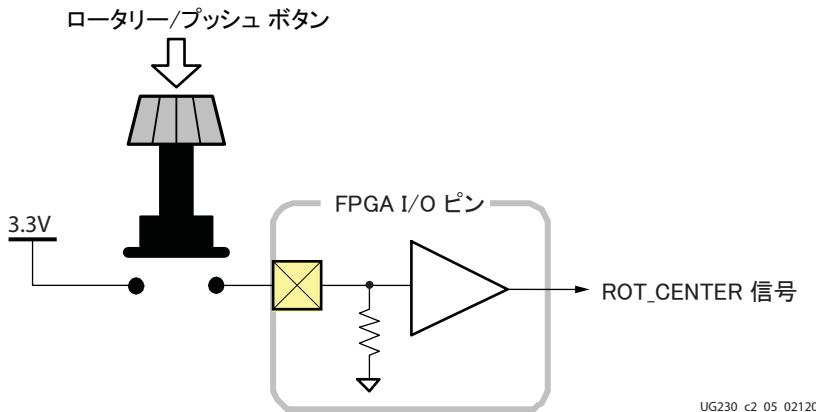


図 2-8 : FPGA 入力ピン内のプルアップ抵抗を必要とするプッシュボタンスイッチ

ロータリーアクションエンコーダ

ロータリーアクションエンコーダは中央の軸に接続したカムのような働きをします。軸が回転して、図 2-9 に示すように、2 つのプッシュボタンスイッチを操作します。軸の回転方向により、どちらのスイッチが先にオープンするかが決まります。同様に、回転し続けると、開いていたスイッチが先にクローズします。軸が静止した状態(デテント位置)では、どちらのスイッチも閉じます。

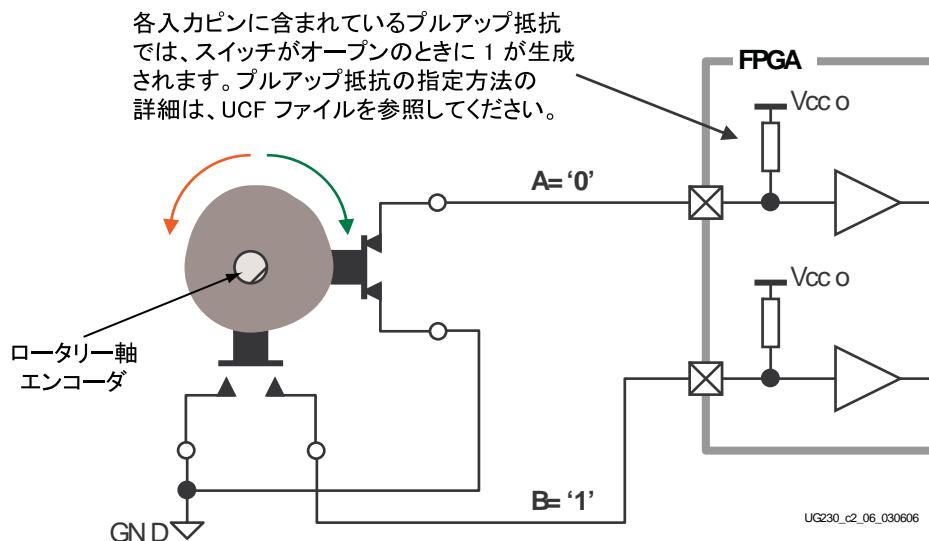


図 2-9 : 基本的なロータリーアクションエンコーダ回路の例

スイッチはクローズするとグランドに接続され、ロジック Low が生成されます。スイッチがオープンのときは、FPGA ピン内のプルアップ抵抗により信号がロジック High にプルアップされます。図 2-11 の UCF 制約に、プルアップ抵抗の定義方法を示します。

「A」および「B」入力をデコードする FPGA 回路は単純ですが、入力への機械的なスイッチノイズ(チャタリング)を考慮に入れる必要があります。図 2-10 に示すように、チャタリングは回転数や、回転方向の誤認を引き起こします。

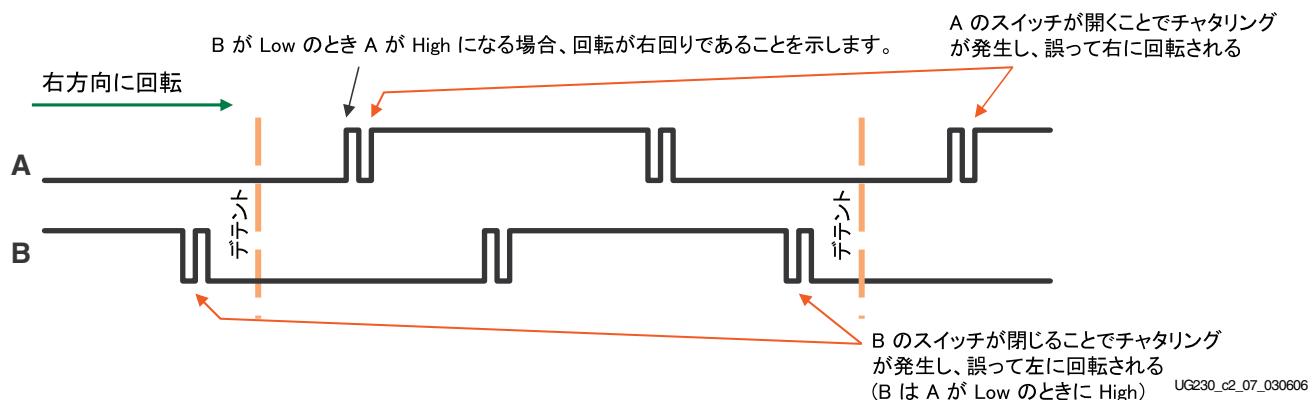


図 2-10：ロータリ軸エンコーダの出力で発生する機械的チャタリング

UCF ロケーション制約

図 2-11 に、ロータリー エンコーダおよびプッシュ ボタン スイッチの I/O ピン割り当て、I/O 規格、およびプルアップ/プルダウン抵抗を指定する UCF 制約を示します。

```
NET "ROT_A"      LOC = "T13" | IOSTANDARD = LVTTL | PULLUP ;  
NET "ROT_B"      LOC = "R14" | IOSTANDARD = LVTTL | PULLUP ;  
NET "ROT_CENTER" LOC = "R13" | IOSTANDARD = LVTTL | PULLDOWN ;
```

図 2-11：ロータリー プッシュ ボタン スイッチの UCF 制約

個別の LED

配置場所およびラベル

Spartan-3A/3AN スタータ キット ボードには、図 2-12 に示すように、表面実装された LED が 8 個あり、スライド スイッチの上に配置されています。左から順に、LED7 から LED0 のラベルが付いています。

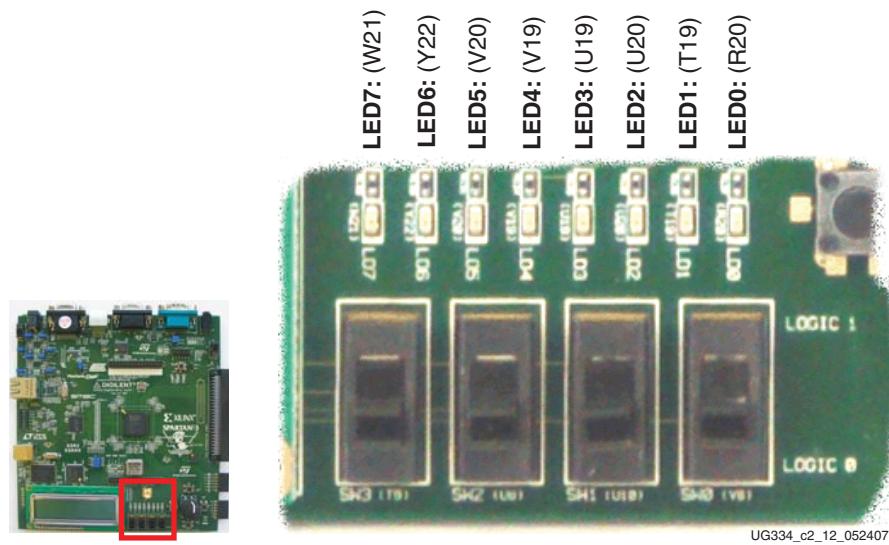


図 2-12: 8 個の LED

動作

各 LED は、一端がグランドに、もう一端が 390Ω 電流制限抵抗を介して デバイスのピンに接続されています。それぞれの LED を点灯させるには、対応する FPGA の制御信号を High に駆動します。

FPGA をまだコンフィギュレーションしていない場合は、コンフィギュレーション中にプルアップ抵抗をイネーブルにするために LED の点灯が暗くなる可能性があります。FPGA の PUDC_B ピンは、ボードのグランドに接続されます。

UCF ロケーション制約

図 2-13 に、4 つのプッシュ ボタン スイッチの I/O ピン割り当て、I/O 規格、出力スルーレート、および出力駆動電流を指定する UCF 制約を示します。

```

NET "LED<7>" LOC = "W21" | IOSTANDARD = LVTTL | SLEW = QUIETIO | DRIVE = 4 ;
NET "LED<6>" LOC = "Y22" | IOSTANDARD = LVTTL | SLEW = QUIETIO | DRIVE = 4 ;
NET "LED<5>" LOC = "V20" | IOSTANDARD = LVTTL | SLEW = QUIETIO | DRIVE = 4 ;
NET "LED<4>" LOC = "V19" | IOSTANDARD = LVTTL | SLEW = QUIETIO | DRIVE = 4 ;
NET "LED<3>" LOC = "U19" | IOSTANDARD = LVTTL | SLEW = QUIETIO | DRIVE = 4 ;
NET "LED<2>" LOC = "U20" | IOSTANDARD = LVTTL | SLEW = QUIETIO | DRIVE = 4 ;
NET "LED<1>" LOC = "T19" | IOSTANDARD = LVTTL | SLEW = QUIETIO | DRIVE = 4 ;
NET "LED<0>" LOC = "R20" | IOSTANDARD = LVTTL | SLEW = QUIETIO | DRIVE = 4 ;

```

図 2-13: 8 個の LED の UCF 制約

オプションの LED

Spartan-3A/3AN スタータ キット ボードでは、図 2-14 に示すようにオプションの LED が 2 つ提供されています。アプリケーションで使用する機能によっては、これらの LED 接続はユーザー I/O ピンとしても使用できます。

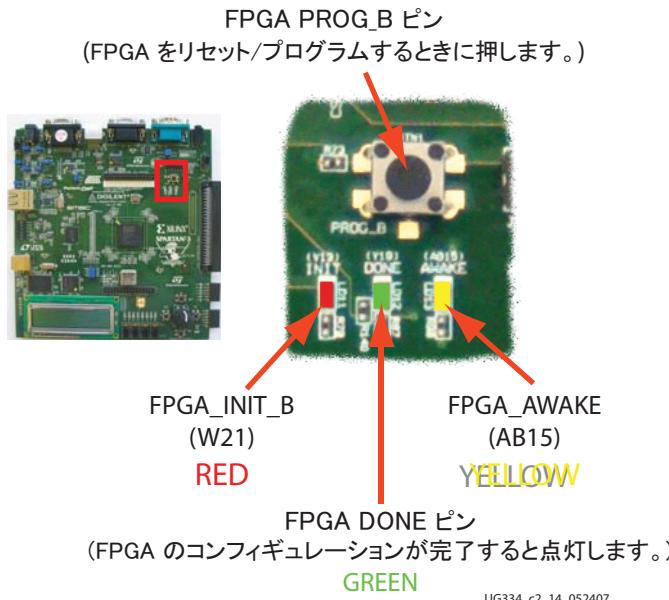


図 2-14 : AWAKE および INIT_B LED

AWAKE LED

黄色の AWAKE LED は、FPGA の AWAKE ピンに接続され、ビットストリームで FPGA の一時停止モードがイネーブルにされた場合に使用されます。このモードを使用しない場合は、このピンはユーザー I/O として使用できます。

FPGA をまだコンフィギュレーションしていない場合は、コンフィギュレーション中にプルアップ抵抗がイネーブルにされるため、このピンの点灯が暗くなる可能性があります。FPGA の PUDC_B ピンは、ボードのグランドに接続されます。

アプリケーションで AWAKE_LED を点灯するには、AWAKE ピンを High に駆動します。

INIT_B LED

赤色の INIT_B LED は、次のように動作します。

- 電源投入時または PROG_B ボタンを押したときに、FPGA でコンフィギュレーションメモリが消去されている間点滅します。
- コンフィギュレーションでエラーが発生した場合に、FPGA の DONE LED は点灯せずに INIT_B LED が点灯します。これにより、FPGA でコンフィギュレーションが正しく完了しなかつたことが示されます。
- FPGA でコンフィギュレーションが完了すると、INIT_B ピンは汎用のユーザー I/O ピンとして使用できます。INIT_B を駆動する信号がない場合は、プルダウン抵抗が付いた入力ピンとして定義されます。この場合、LED がわずかに点灯する場合があります。LED は、INIT_B ピンを High に駆動するとオフになり、Low に駆動すると点灯します。
- リードバック CRC 機能を使用する場合、INIT_B ピンは保持されてコンフィギュレーション後に CRC エラーを示します。このようなエラーが発生する場合、FPGA で INIT_B が Low に駆動され、LED が点灯します。

コンフィギュレーション後に INIT_B ピンをユーザー I/O ピンとして使用する場合は、ピンを Low に駆動して LED を点灯させるか、High に駆動してオフにします。[44 ページの表 4-2](#) に示すジャン

パ J46 は、「ディスエーブル」または「コンフィギュレーション中イネーブル」のいずれかのモードに設定する必要があります。

ジャンパ J46 に「常にイネーブル」モードを設定すると、[ザイリンクス アプリケーション ノート XAPP694 『Reading User Data from Configuration PROMs』](#)に示すように、コンフィギュレーション後に FPGA でプラットフォーム フラッシュ PROM のデータが読み出されます。

注意：FPGA の INIT_B ピンは、プラットフォーム フラッシュ PROM の OE/RESET ピンにも接続されます。ジャンパでプラットフォーム フラッシュ PROM が制御される場合に、44 ページの表 4-2 のジャンパ J46 が「常にイネーブル」に設定されていると、INIT_B 信号により PROM のアクティブ Low 出力イネーブル (OE) 入力またはアクティブ High の RESET 入力が制御されます。

- アプリケーション ノート XAPP694 : 『Reading User Data from Configuration PROMs』
japan.xilinx.com/bvdocs/appnotes/xapp694.pdf

UCF ロケーション制約

図 2-15 に、オプション LED の I/O ピン割り当て、I/O 規格、出力スルーレート、および出力駆動電流を指定する UCF 制約を示します。ENABLE_SUSPEND 制約は、FPGA_AWAKE LED を使用するために NO に設定する必要があります。

```
NET "FPGA_INIT_B" LOC = "V13" | IOSTANDARD = LVTTL | SLEW = QUIETIO | DRIVE = 4 ;

# The AWAKE LED is only available if Suspend mode is disabled
CONFIG ENABLE_SUSPEND = NO ;
NET "FPGA_AWAKE" LOC = "AB15" | IOSTANDARD = LVTTL | SLEW = QUIETIO | DRIVE = 4 ;
```

図 2-15 : オプション LED の UCF 制約

クロック ソース

概要

図3-1に示すように、Spartan™-3A/3AN スタータ キット ボードでは3つの主要クロック入力ソースがサポートされています。

- オンボードの 50MHz クロック オシレータ
- SMA コネクタを介したオフボードからのクロック供給。または、FPGA でクロック信号または高速信号を生成して、SMA コネクタから供給することも可能。
- CLK_AUX ソケットに挿入された 133MHz オシレータ。オプションで別個の 8 ピン DIP クロック オシレータをソケットに挿入可能。

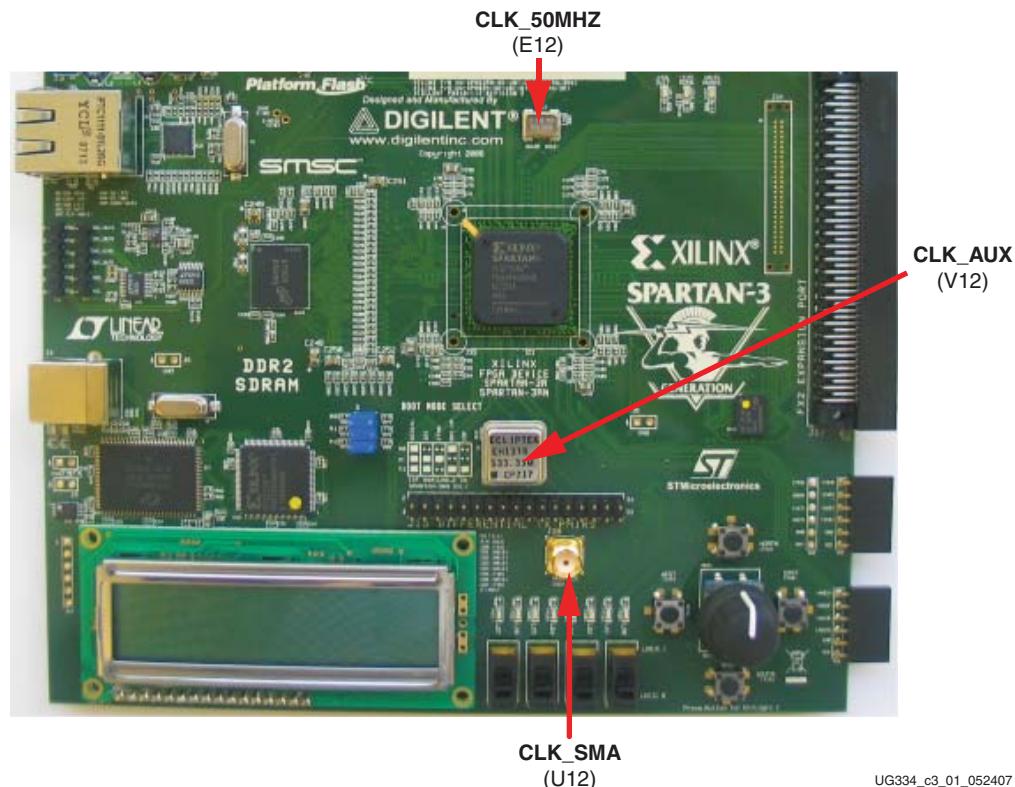


図3-1：スタータ キット ボードのクロック ソース

クロック接続

各クロック入力は、それぞれグローバル バッファ入力に直接接続されます。表 3-1 に示すように、DCM にも接続されています。

この DCM を常に使用できるのは、CLK_AUX または CLK_SMA 入力のみです。ただし、これらの入力は両方ともクロック入力として使用できます。

表 3-1：クロック入力と接続されているグローバル バッファおよび DCM

クロック入力	FPGA ピン	I/O バンク	グローバル バッファ	DCM	LOC
CLK_50MHz	E12	0	GCLK5	上辺、右	DCM_X2Y3
CLK_AUX	V12	2	GCLK2	下辺、右	DCM_X2Y0
CLK_SMA	U12	2	GCLK3		

オンボードの 50MHz オシレータ

ボードには、デューティサイクル 40% ~ 60% の 50MHz オシレータが搭載されています。このオシレータは、±2500Hz または ±50ppm で動作します。

補助クロック オシレータ ソケット

補助クロック オシレータ ソケット(CLK_AUX)には、133MHz オシレータが挿入されています。8 ピン ソケットには、8 ピン DIP (8DIP) フットプリントがフィットするクロック オシレータを挿入できます。FPGA アプリケーションで 50MHz または 133MHz 以外の周波数が必要な場合は、このソケットに別のオシレータを挿入できます。または、FPGA のデジタル クロック マネージャ (DCM) を使用しても、50MHz または 133MHz 以外のクロックを生成できます。

注意：クリスタル オシレータをソケットに挿入するときには、ピン 1 の方向に気を付けてください。

SMA クロック入力 (出力コネクタ)

クロックを外部ソースから供給するには、入力クロック信号を SMA コネクタに接続します。また、FPGA によりクロック信号または高速信号を生成して SMA コネクタから外部デバイスに供給することも可能です。

UCF 制約

クロック入力ソースには、2 種類の制約が必要です。ロケーション制約では、I/O ピンの割り当てと I/O 規格を定義します。PERIOD 制約では、クロック周期と入力クロック信号のデューティサイクルを定義します。

ロケーション制約

図 3-2 に、3 つのクロック入力ソースに I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "CLK_50MHZ" LOC = "E12" | IOSTANDARD = LVCMOS33 ;
NET "CLK_AUX" LOC = "V12" | IOSTANDARD = LVCMOS33 ;
NET "CLK_SMA" LOC = "U12" | IOSTANDARD = LVCMOS33 ;
```

図 3-2：クロック ソースの UCF ロケーション制約の例

PERIOD 制約

ザイリンクス ISE 開発ソフトウェアでは、タイミング ドリブンの配置配線が実行されます。クロックに適切な PERIOD 制約を設定してください。図 3-3 に、オンボードの 50MHz クロック オシレータの制約例を示します。この例では、CLK_50MHZ の周波数は 50MHz (周期 20ns) に設定されています。オシレータの出力デューティ サイクルの範囲は、40 ~ 60% です。

```
# Define clock period for 50 MHz oscillator
NET "CLK_50MHZ" PERIOD = 20.0ns HIGH 40%;
```

図 3-3：クロックの PERIOD 制約の例

関連情報

詳細については、次のリンク先を参照してください。

- Epson SG-8002JF シリーズ オシレータのデータシート
<http://www.eea.epson.com/portal/pls/portal/docs/1/539472.PDF>

FPGA コンフィギュレーション オプション

Spartan™-3A/3AN スタータ キット ボードでは、さまざまな FPGA コンフィギュレーション オプションがサポートされています。

- Spartan-3AN の内部 SPI フラッシュ メモリをプログラムしてから、電源投入時に FPGA をコンフィギュレーションします。このオプションは、Spartan-3A スタータ キットにはありません。
- オンボードの USB インターフェイスを使用し、JTAG を介して Spartan-3A/3AN FPGA に FPGA デザインを直接ダウンロードします。オンボードの USB-JTAG ロジックを使用すると、オンボードのプラットフォーム フラッシュ PROM をインシステムでプログラムすることも可能です。SPI シリアル フラッシュと StrataFlash は、別々にプログラムされます。
- オンボードの 4Mb ザイリンクス XCF04S シリアル プラットフォーム フラッシュ PROM をプログラミし、このプラットフォーム フラッシュ PROM に格納したイメージを使用してマスター シリアル モードで FPGA をコンフィギュレーションします。
- オンボードの 16Mb ST マイクロエレクトロニクス社製 SPI シリアル フラッシュ PROM または 16Mb Atmel 社製 SPI ベース DataFlash PROM をプログラミし、この SPI シリアル フラッシュ PROM に格納したイメージを使用して SPI モードで FPGA をコンフィギュレーションします。また、1 つの FPGA アプリケーションで、FPGA マルチブート モードを使用して別の FPGA コンフィギュレーションを読み込むことができます。マルチブート機能の詳細は、ユーザー ガイド [UG332 『Spartan-3 Generation Configuration User Guide』](#) を参照してください。SPI シリアル フラッシュ メモリの使用方法に関する詳細は、第 12 章「[SPI シリアル フラッシュ](#)」を参照してください。
- オンボードの 32Mb ST マイクロエレクトロニクス社製パラレル NOR フラッシュ PROM をプログラミし、このフラッシュ PROM に格納されているイメージを BPI Up コンフィギュレーション モードで FPGA にコンフィギュレーションします。また、1 つの FPGA アプリケーションで、FPGA マルチブート モードを使用して別の FPGA コンフィギュレーションを読み込むことができます。マルチブート機能の詳細は、ユーザー ガイド [UG332 『Spartan-3 Generation Configuration User Guide』](#) を参照してください。パラレル フラッシュ メモリの使用方法に関する詳細は、第 11 章「[パラレル NOR フラッシュ PROM](#)」を参照してください。

図 4-1 に、USB ダウンロード/プログラム インターフェイスおよび FPGA コンフィギュレーションを格納できるオンボードの不揮発性メモリの位置を示します。

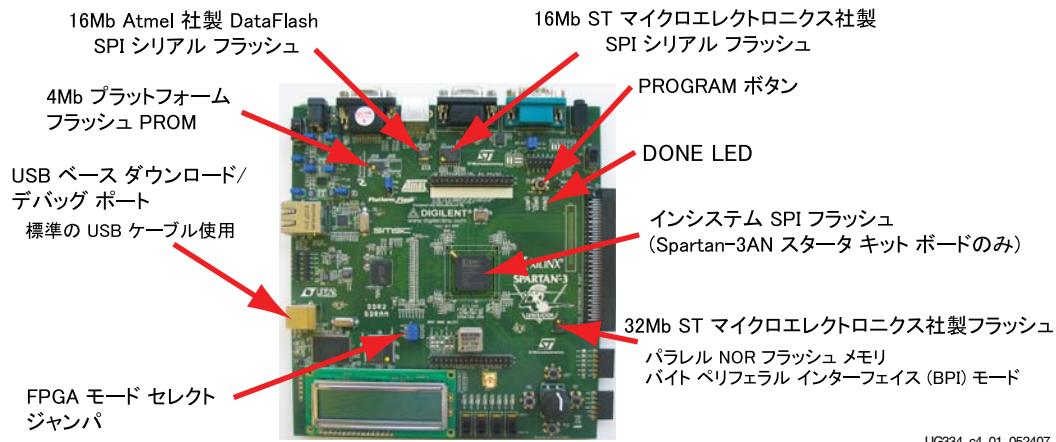


図 4-1 : スタータ キットの FPGA コンフィギュレーション オプション

電源投入時または PROG ボタンを押したときのコンフィギュレーション モードは、コンフィギュレーション モード ジャンパによって決定されます。

FPGA が正常にコンフィギュレーションされると、DONE ピン LED が点灯します。

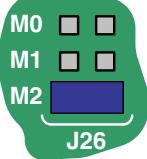
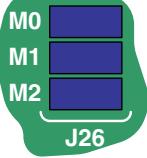
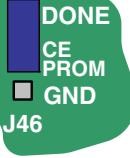
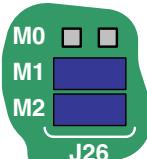
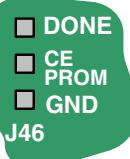
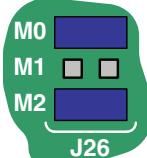
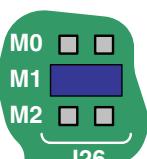
PROG ボタンを押すと、FPGA のコンフィギュレーション プロセスを強制的に開始できます。

ザイリンクス プラットフォーム フラッシュ PROM は、FPGA の JTAG プログラマブル コンフィギュレーションの簡単なストレージとして機能します。プラットフォーム フラッシュからの FPGA のコンフィギュレーションには、マスタ シリアル モードを使用します。

コンフィギュレーションモード ジャンパ

表4-1に示すように、FPGAコンフィギュレーションモードはJ26ジャンパブロック設定により制御します。ジャンパを挿入すると、関連するモードピンがグランドに接続されます。個々のジャンパを挿入または取り外して、FPGAのコンフィギュレーションモードとコンフィギュレーションメモリソースを選択します。図4-1に、J26ジャンパブロックを示します。

表4-1:コンフィギュレーションモードのジャンパ設定

コンフィギュレーションモード	モード ピン M2:M1:M0	FPGAコンフィギュレーション イメージのソース	J26 ジャンパ設定	J46 ジャンパ設定
内部マスタ SPI	0:1:1	Spartan-3ANスタートアキットボードのみ! このモードでは、内部インシステムフラッシュメモリを使用してSpartan-3AN FPGAをコンフィギュレーションします。このモードは、Spartan-3Aスタートアキットボードではサポートされていません。		
マスタシリアル	0:0:0	プラットフォームフラッシュPROM J46ジャンパを設定(表4-2を参照)		
マスタSPI (第12章の「SPIシリアルフラッシュPROM」を参照)	0:0:1	SPIシリアルフラッシュPROM(アドレス0で開始)を選択 ジャンパJ1(97ページの表12-2)を使用して特定SPIフラッシュPROMを選択 J46ジャンパを介してプラットフォームフラッシュPROMをディスエーブル(表4-2を参照)		ディスエーブル 
マスタBPI Up (第11章の「パラレルNORフラッシュPROM」を参照)	0:1:0	パラレルNORフラッシュPROM(アドレス0で開始、アドレス空間の上限まで増分) J46ジャンパを介してプラットフォームフラッシュPROMをディスエーブル(表4-2を参照)		
JTAG	1:0:1	USB-JTAGポートを使用してホストからダウンロードします。		

ザイリンクス プラットフォーム フラッシュコンフィギュレーション PROM

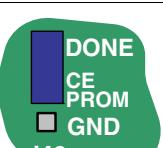
Spartan-3A/3AN スタータ キット ボードには、ザイリンクス プラットフォーム フラッシュコンフィギュレーション インターフェイスが含まれています。4Mb の XCF04S プラットフォーム フラッシュ PROM 1 つが FPGA と接続されている JTAG チェーンに含まれています。

注意 : J46 ジャンパ (44 ページの表 4-2) では、ボード上の プラットフォーム フラッシュ PROM をイネーブルまたはディスエーブルにします。現在の FPGA の「コンフィギュレーションモード ジャンパ」(表 4-1) の設定によっては、SPI シリアル フラッシュとパラレル NOR フラッシュの D0 ラインでデータの競合が発生する可能性があることに注意してください。

注意 : 44 ページの表 4-2 に示されている J46 ジャンパが「常にイネーブル」に設定されている場合は、FPGA の INIT_B ピンで プラットフォーム フラッシュ PROM の $\overline{OE}/\overline{RESET}$ 入力が制御されます。INIT_B ピンで プラットフォーム フラッシュ PROM 以外のデータを読み出す場合は、High にする必要があります。

プラットフォーム フラッシュ PROM を使用して FPGA をコンフィギュレーションするときは、表 4-2 に示すように、コンフィギュレーションモード ジャンパをマスタシリアルモードにする必要があります。その他のコンフィギュレーションモードを使用する場合は、プラットフォーム フラッシュ PROM はディスエーブルにする必要があります。

表 4-2: プラットフォーム フラッシュ イネーブル ジャンパ (J46)

プラットフォーム フラッシュ モード	プラットフォーム フラッシュ イネーブル (J46)	許容される FPGA コンフィギュレーションモード	注意事項/競合
ディスエーブル (ジャンパなし)		任意 (表 4-1 を参照)	なし。プラットフォーム フラッシュはディスエーブルされています。FPGA アプリケーションは、コンフィギュレーション完了後に SPI シリアル フラッシュおよびパラレル NOR フラッシュ PROM に完全にアクセスできます。
FPGA コンフィギュレーション中イネーブル		マスタシリアル または JTAG	なし。プラットフォーム フラッシュは、コンフィギュレーション中イネーブルにされ、コンフィギュレーション後にディスエーブルにされます。FPGA アプリケーションは、コンフィギュレーション完了後に SPI シリアル フラッシュおよびパラレル NOR フラッシュ PROM に完全にアクセスできます。
常にイネーブル		マスタシリアル または JTAG	プラットフォーム フラッシュは、常にイネーブルです。FPGA アプリケーションは、アプリケーションノート XAPP694 『Reading User Data from Configuration PROMs』 に示すように、コンフィギュレーション後に追加のデータを読み出すことができます。FPGA アプリケーションでは、SPI フラッシュまたはパラレル NOR フラッシュを読み出すことはできません。

PROM プッシュ ボタン スイッチ

PROG プッシュ ボタン スイッチ (図 4-1 を参照) は、43 ページの「コンフィギュレーション モード ディヤンパ」で選択されたコンフィギュレーション メモリ ソースから FPGA を強制的に再コンフィギュレーションします。このボタンを押して放すことにより、FPGA のコンフィギュレーション プロセスをいつでも開始できます。

DONE ピン LED

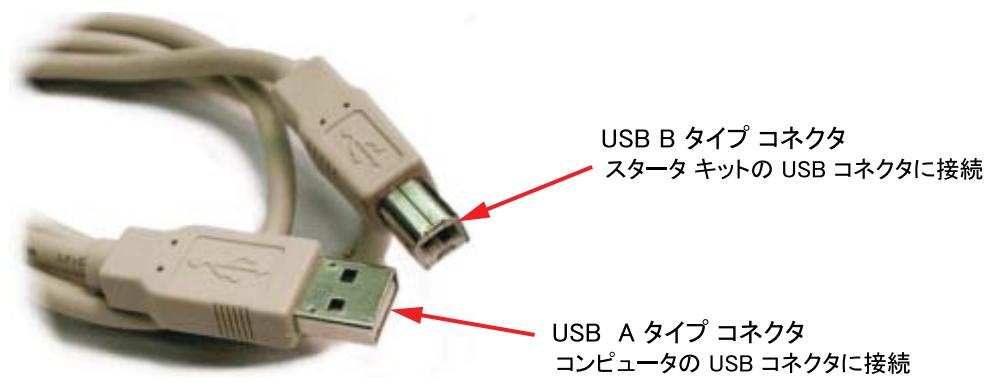
DONE ピン LED (図 4-1 を参照) は、FPGA のコンフィギュレーションが完了すると点灯します。この LED が点灯しない場合、FPGA はコンフィギュレーションされていません。

USB を使用した FPGA またはプラットフォーム フラッシュ PROM のプログラム

Spartan-3A/3AN スタータ キットには、エンベデッド USB ベース プログラム ロジックおよび USB コネクタ (B タイプ) が含まれています。USB ケーブルを介してホスト PC と接続すると、iMPACT プログラム ソフトウェアを使用して、FPGA、プラットフォーム フラッシュ PROM、およびオン ボードの CPLD を直接プログラムできます。パラレルまたはシリアル フラッシュ PROM の直接 プログラムは、現在のところサポートされていません。

USB ケーブルの接続

このスタータ キットには、図 4-2 に示すような標準 USB A タイプ/B タイプのケーブルが含まれています。実際の色は、写真と異なる場合があります。



UG230_c4_04_030306

図 4-2 : 標準 USB タイプ A/タイプ B ケーブル

A タイプのコネクタは、コンピュータの USB コネクタに差し込むことができます。

ザイリンクス ソフトウェアをインストールした後、図 4-3 に示すように、B タイプのコネクタを Spartan-3A/3AN スタータ キット ボードに接続します。USB コネクタは、ボードの左側、イーサネット コネクタのすぐ横にあります。ボードの電源をオンになると、Windows によりボードが自動的に認識され、必要なドライバ ソフトウェアがインストールされます。



UG334_c4_03_052407

図 4-3 : USB B タイプ コネクタをスタータ キット ボードのコネクタに接続

USB ケーブル ドライバが正常にインストールされ、ボードが正しく PC と接続されていると、緑色の LED が点灯し、プログラム ケーブルの使用準備が完了したことが示されます。この USB 接続には、赤色 LED もあり、ザイリンクス ソフトウェアで USB インターフェイスのファームウェア アップデートが実行されている場合のみ点灯します。

『Spartan-3 Generation Configuration User Guide』に含まれるプラットフォーム フラッシュのプログラム例

このユーザー ガイドには、FPGA のビットストリームを用意して FPGA または PROM にダウンロードする方法がステップごとに、スクリーン ショットも含めて説明されています。

- ユーザー ガイド UG332 : 『Spartan-3 Generation Configuration User Guide』
japan.xilinx.com/bvdocs/userguides/ug332.pdf

プラットフォーム フラッシュ PROM のフォーマットおよびプログラムの詳細は、第 3 章「Master Serial Mode」を参照してください。

キャラクタ LCD

概要

Spartan™-3A/3AN スタータ キット ボードには、2 行 X 16 桁の液晶ディスプレイ (LCD) が搭載されています。FPGA は、図 5-1 に示すように、8 ビットデータインターフェイスを介して LCD を制御します。Spartan-3A/3AN スタータ キット ボードでは、その他のザイリンクス開発ボードと互換性を持たせるため、4 ビットデータインターフェイスもサポートされています。

注意 : 4 ビット モードを使用する場合は、FPGA で `LCD_DB<3:0>` 信号を High に駆動する必要があります。

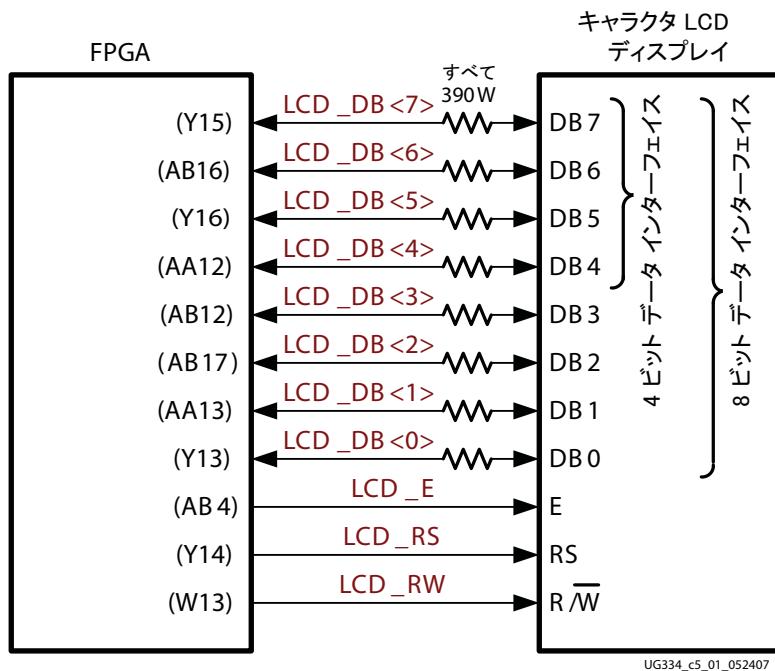


図 5-1 : キャラクタ LCD のインターフェイス

LCD は、使用法を習得してしまえば、標準の ASCII 文字や、ユーザー定義文字を使用した情報の表示に実用的です。ただし、表示速度は速くありません。ディスプレイのスクロールは 0.5 秒間隔なので、画像の鮮明さに欠けます。表示速度は、ボード上の 50MHz クロックよりも遅くなります。PicoBlaze プロセッサを使用すると、表示タイミングおよび表示内容を効果的に制御できます。

キャラクタ LCD のインターフェイス信号

表 5-1 に、キャラクタ LCD のインターフェイス信号を示します。

表 5-1 : キャラクタ LCD のインターフェイス

信号名	FPGA ピン	デバイス	
LCD_DB<7>	Y15	データ ビット DB7	
LCD_DB<6>	AB16	データ ビット DB6	
LCD_DB<5>	Y16	データ ビット DB5	
LCD_DB<4>	AA12	データ ビット DB4	
LCD_DB<3>	AB12	データ ビット DB3	4 ビット インターフェイスを使用する場合は、これらの信号を High に駆動する必要があります。
LCD_DB<2>	AB17	データ ビット DB2	
LCD_DB<1>	AB18	データ ビット DB1	
LCD_DB<0>	Y13	データ ビット DB0	
LCD_E	AB4	読み出し/書き込みイネーブル パルス 0: ディスエーブル 1: 読み出し/書き込みイネーブル	
LCD_RS	Y14	レジスタの選択 0: 書き込み中は命令レジスタ、読み出し中は Busy Flash。 1: 読み出しありは書き込み動作のデータ	
LCD_RW	W13	読み出し/書き込み制御 0: 書き込み - LCD がデータを受信 1: 読み出し - LCD がデータを表示	

電圧の互換性

キャラクタ LCD の電圧は、+5V、FPGA I/O 信号の電圧は 3.3V です。ただし、FPGA の出力レベルは、LCD により有効なロジック レベル Low または High として認識されます。LCD コントローラは 5V TTL 信号レベルを受信し、FPGA が供給する 3.3V LVC MOS 出力は 5V TTL 電圧レベルの条件を満たします。

データ ライン上の 390Ω の直列抵抗は、キャラクタ LCD がロジック High を駆動している場合に、FPGA および StrataFlash の I/O ピンに過度の負荷がかかるのを防ぎます。キャラクタ LCD は、LCD_RW が High のときにデータ ラインを駆動します。LCD は、ほとんどのアプリケーションで書き込みのみのペリフェラルと見なされ、ディスプレイから読み出されることはありません。

UCF ロケーション制約

図5-2に、キャラクタLCDにI/Oピン割り当てとI/O規格を指定するUCF制約を示します。

```

NET "LCD_E" LOC = "AB4" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = QUIETIO ;
NET "LCD_RS" LOC = "Y14" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = QUIETIO ;
NET "LCD_RW" LOC = "W13" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = QUIETIO ;

NET "LCD_DB<7>" LOC = "Y15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = QUIETIO ;
NET "LCD_DB<6>" LOC = "AB16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = QUIETIO ;
NET "LCD_DB<5>" LOC = "Y16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = QUIETIO ;
NET "LCD_DB<4>" LOC = "AA12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = QUIETIO ;
NET "LCD_DB<3>" LOC = "AB12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = QUIETIO ;
NET "LCD_DB<2>" LOC = "AB17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = QUIETIO ;
NET "LCD_DB<1>" LOC = "AB18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = QUIETIO ;
NET "LCD_DB<0>" LOC = "Y13" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = QUIETIO ;

```

図5-2：キャラクタLCDのUCFロケーション制約

LCDコントローラ

2 X 16キャラクタLCDの内部には、Sitronix社製[ST7066U](#)グラフィックコントローラがあり、この機能は次のデバイスと同等です。

- Samsung社製[S6A0069X](#)またはKS0066U
- 日立製HD44780
- SMOS社製SED1278

メモリマップ

コントローラには、DD RAM、CG RAM、およびCG RAMという内部メモリ領域が3つあり、それぞれが異なる用途に使用されています。ディスプレイはメモリ領域にアクセスする前に初期化される必要があります。

DD RAM

DD RAM (Display Data RAM)には、スクリーンに表示される文字コードが格納されます。アプリケーションのほとんどは、主にDD RAMと対話します。DD RAMに記憶された文字コードは、定義済みのCG ROM文字セットまたはユーザー定義のCG RAM文字セットに格納された、対応する文字のビットマップを参照します。

図5-3に、ディスプレイ上の32文字のロケーションのデフォルトアドレスを示します。1列目の文字はアドレス0x00～0x0Fに、2列目の文字はアドレス0x40～0x4Fに格納されます。

	表示される文字のアドレス																表示しないデータのアドレス		
1	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10	...	27
2	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F	50	...	67
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	...	40

図5-3：DD RAMの16進数アドレス(ディスプレイシフトなし)

物理的には、全部で80文字のロケーションがDD RAMにあり、各行に40文字ずつ割り当てられています。アドレス0x10～0x27と0x50～0x67のロケーションは、表示しないデータの格納に

使用できます。または、コントローラのディスプレイシフト機能を使用した場合にのみ表示される文字の格納に使用することもできます。

[Set DD RAM Address](#) コマンドを使用すると、DD RAM への読み出しありは書き込みの前にアドレス カウンタが初期化されます。[Write Data to CG RAM or DD RAM](#) コマンドを使用して DD RAM にデータを書き込み、[Read Data from CG RAM or DD RAM](#) コマンドを使用して DD RAM からデータを読み出します。

DD RAM のアドレス カウンタは読み出し/書き込み後に一定に保たれるか、または [Entry Mode Set](#) コマンドで設定された I/D の定義に応じて自動的に 1 ロケーションずつ増分/減分します。

CG ROM

CG ROM(キャラクタジェネレータ ROM)には LCD 画面に表示できる定義済みの文字のフォント ビットマップが含まれます。[図 5-4](#) にこれを示します。DD RAM に格納されている各文字のロケーションを示す文字コードを使用して、文字が参照されます。たとえば、DD RAM ロケーションに格納された 16 進数の文字コード 0x53 は、「S」を表します。0x53 の上位 4 ビットは DB[7:4] = 0101(2 進数) と等しく、下位 4 ビットは DB[3:0] = 0011(2 進数) と一致します。[図 5-4](#) に示すように、「S」の文字がスクリーンに表示されます。

英字は CG ROM に ASCII と同じコード アドレスで格納されます。



UG230_c5_02_030306

図 5-4 : LCD 文字セット

キャラクタ ROM には、ASCII 英字セットおよび日本語かな文字が含まれます。

また、**CG RAM** に格納された 8 文字のユーザー定義文字ビットマップもコントローラより提供されます。この 8 文字のユーザー定義文字のコードは、**DD RAM** ロケーションの 0x00 から 0x07 に格納されます。

CG RAM

CG RAM (キャラクタ ジェネレータ RAM) には、8 文字のユーザー定義文字ビットマップを作成するスペースがあります。ユーザー定義文字のロケーションには、図 5-5 に示すように、5 ドット X 8 行のビットマップが格納されます。

Set CG RAM Address コマンドを使用すると、CG RAM への読み出しありは書き込みの前にアドレス カウンタが初期化されます。**Write Data to CG RAM or DD RAM** コマンドを使用して CG

RAM にデータを書き込み、[Read Data from CG RAM or DD RAM](#) コマンドを使用して CG RAM からデータを読み出します。

CG RAM のアドレス カウンタは読み出し/書き込み後に一定に保たれるか、または [Entry Mode Set](#) コマンドで設定された I/D の定義に応じて自動的に 1 ロケーションずつ増減します。

図 5-5 に、ユーザー定義の市松模様の文字を作成する例を示します。ユーザー定義文字は 4 番目の CG RAM 文字ロケーションに格納され、DD RAM ロケーションが 0x03 のときに表示されます。ユーザー定義文字を書き込むには、まず [Set CG RAM Address](#) コマンドを使用して CG RAM アドレスを初期化します。アドレスの上位 3 ビットはユーザー定義文字のロケーションを指し、下位 3 ビットは文字ビットマップの行アドレスを指します。[Write Data to CG RAM or DD RAM](#) コマンドを使用して、それぞれの文字ビットマップ行を書き込みます。「1」の部分のビットはディスプレイで点灯し、「0」の部分のビットは点灯しません。下位の 5 データビットのみが使用され、上位の 3 データビットはドントケアです。ビットマップデータの 8 行目は通常カーソル用で、すべて 0 のままでです。

						上位 4 ビット				下位 4 ビット			
Write Data to CG RAM or DD RAM コマンド													
A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
文字アドレス			行アドレス			ドントケア				文字ビットマップ			
0	1	1	0	0	0	-	-	-	0	0	0	0	0
0	1	1	0	0	1	-	-	-	0	0	0	0	0
0	1	1	0	1	0	-	-	-	0	0	0	0	0
0	1	1	0	1	1	-	-	-	0	0	0	0	0
0	1	1	1	0	0	-	-	-	0	0	0	0	0
0	1	1	1	0	1	-	-	-	0	0	0	0	0
0	1	1	1	1	0	-	-	-	0	0	0	0	0
0	1	1	1	1	1	-	-	-	0	0	0	0	0

図 5-5 : 文字コード 0x03 のユーザー定義の市松模様文字の例

コマンド セット

表 5-2 に、使用可能な LCD コントローラ コマンドおよびビット定義を示します。ディスプレイは 4 ビット動作用に設定されているので、8 ビット コマンドは 4 ビットずつ、2 つに分けて送信されます。上位 4 ビットが先に送信され、下位 4 ビットが続けて送信されます。

表5-2: LCDキャラクタディスプレイコマンドセット(4ビットモード)

デバイス	LCD_RS	LCD_RW	上位4ビット				下位4ビット			
			DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Clear Display	0	0	0	0	0	0	0	0	0	1
Return Cursor Home	0	0	0	0	0	0	0	0	1	-
Entry Mode Set	0	0	0	0	0	0	0	1	I/D	S
Display On/Off	0	0	0	0	0	0	1	D	C	B
Cursor and Display Shift	0	0	0	0	0	1	S/C	R/L	-	-
Function Set	0	0	0	0	1	0	1	0	-	-
Set CG RAM Address	0	0	0	1	A5	A4	A3	A2	A1	A0
Set DD RAM Address	0	0	1	A6	A5	A4	A3	A2	A1	A0
Read Busy Flag and Address	0	1	BF	A6	A5	A4	A3	A2	A1	A0
Write Data to CG RAM or DD RAM	1	0	D7	D6	D5	D4	D3	D2	D1	D0
Read Data from CG RAM or DD RAM	1	1	D7	D6	D5	D4	D3	D2	D1	D0

コマンドのディスエーブル

LCD_E イネーブル信号が Low の場合、LCDへのほかの入力はすべて無視されます。

Clear Display

ディスプレイの表示をクリアし、カーソルを左上隅のホームポジションに戻します。

このコマンドにより、すべての DD RAM アドレスに空白スペース(ASCII/ANSI 文字コード 0x20)が書き込まれます。アドレスカウンタは 0 (DD RAM のロケーション 0x00) にリセットされます。すべてのオプション設定がクリアされます。I/D 制御ビットは、Entry Mode Set コマンドにより 1 (アドレスカウンタ増分モード) に設定されます。

実行時間 : 82μs ~ 1.64ms

Return Cursor Home

カーソルを左上隅のホームポジションに戻します。DD RAM の内容は変更されません。また、図 5-3 に示すように、シフトしたディスプレイを元の位置に戻します。

アドレスカウンタは 0 (DD RAM のロケーション 0x00) にリセットされます。ディスプレイがシフトしていれば、元の状態に戻ります。カーソルまたは点滅は、左上隅の位置に移動します。

実行時間 : 40μs ~ 1.64ms

Entry Mode Set

カーソルの移動方向を設定し、ディスプレイをシフトするかどうかを指定します。

この動作は、データの読み出しおよび書き込み中に実行されます。

実行時間：40μs

ビット DB1 : 増分/減分 (I/D)

0	自動減分アドレス カウンタ。カーソル/点滅は左に移動。
1	自動増分アドレス カウンタ。カーソル/点滅は右に移動。

このビットを設定すると、[Write Data to CG RAM or DD RAM](#) コマンドまたは [Read Data from CG RAM or DD RAM](#) コマンドを実行するたびに、DD RAM および CG RAM アドレス カウンタが自動的に 1 ロケーション分増分または減分します。カーソルまたは点滅は適切な位置に移動します。

ビット DB0 : シフト (S)

0	ディスエーブル
1	DD RAM への書き込み中に、ビット DB1 (I/D) に制御された方向にディスプレイの値全体をシフトします。カーソル位置は動かず、ディスプレイが移動したように見えます。

Display On/Off

ディスプレイをオン/オフにし、文字、カーソル、カーソル位置を示すアンダースコアの点滅を制御します。

実行時間：40μs

ビット DB2 : ディスプレイのオン/オフ (D)

0	文字を表示せず、DD RAM に格納されたデータを保持
1	DD RAM に格納された文字を表示

ビット DB1 : カーソルのオン/オフ (C)

カーソルを、文字の一番下の行の 5 ドットを使用して下線として表示します。

0	カーソルなし
1	カーソルを表示

ビット DB0 : カーソル点滅のオン/オフ (B)

0	点滅なし
1	0.5 秒ごとに点滅

Cursor and Display Shift

DD RAM の内容を変更せずに、カーソルを移動しディスプレイを左右にシフトします。ディスプレイデータの読み出しおよび書き込みは、実行されません。

この機能で、修正する文字の位置にカーソルを移動したり、ディスプレイ ウィンドウを左右にスクロールして DD RAM に記憶されている 16 桁目以降の文字を表示できます。1 行目で文字が 40 桁を過ぎると、カーソルは自動的に 2 行目に移動します。1 行目と 2 行目は同時にシフトします。

表示されたデータをシフトさせると、両方の行が水平に動きます。2 行目のデータが 1 行目に移動することはありません。

実行時間 : 40 μ s

表 5-3 : S/C および R/L ビットに基づくシフト パターン

DB3 (S/C)	DB2 (R/L)	動作
0	0	カーソル位置を左にシフト。アドレス カウンタは 1 つ減分。
0	1	カーソル位置を右にシフト。アドレス カウンタは 1 つ増分。
1	0	ディスプレイ全体を左にシフト。カーソルはディスプレイのシフトと共に移動。アドレス カウンタは変更なし。
1	1	ディスプレイ全体を右にシフト。カーソルはディスプレイのシフトと共に移動。アドレス カウンタは変更なし。

Function Set

インターフェイス データ長、ディスプレイ行数、文字フォントを設定します。

スタート キット ボードでは、値が 0x28 のファンクション セットが 1 つサポートされています。

実行時間 : 40 μ s

Set CG RAM Address

CG RAM の初期アドレスを設定します。

このコマンドが実行された後のディスプレイへの読み出し/書き込みは、すべて CG RAM に対して行われます。

実行時間 : 40 μ s

Set DD RAM Address

DD RAM の初期アドレスを設定します。

このコマンドが実行された後のディスプレイへの読み出し/書き込みは、すべて DD RAM に対して行われます。表示される文字のアドレスは、図 5-3 に示すとおりです。

実行時間 : 40 μ s

Read Busy Flag and Address

BF (Busy Flag) を読み出し、内部動作が進行中かを確認し、現在のアドレス カウンタの内容を読み出します。

BF = 1 であれば、内部動作が進行中です。次の命令は、BF がクリアになるか、現在の命令の実行最大時間を過ぎるまで承認されません。

また、このコマンドはアドレス カウンタの現在の値を返します。アドレス カウンタは CG RAM アドレスおよび DD RAM アドレスの両方に使用されます。どちらの値であるかは、直前に発行されたコマンドが [Set CG RAM Address](#) および [Set DD RAM Address](#) のいずれであるかにより特定されます。

実行時間 : 1 μ s

Write Data to CG RAM or DD RAM

前のコマンドが [Set DD RAM Address](#) コマンドであれば、データは DD RAM に書き込まれ、[Set CG RAM Address](#) コマンドであれば、CG RAM に書き込まれます。

書き込み後、アドレスは [Entry Mode Set](#) コマンドに応じて、アドレスが自動的に 1 ずつ増分/減分します。エントリ モードにより、ディスプレイシフトが決定します。

実行時間 : 40 μ s

Read Data from CG RAM or DD RAM

前のコマンドが [Set DD RAM Address](#) コマンドであれば、データは DD RAM より読み出され、[Set CG RAM Address](#) コマンドであれば CG RAM より読み出されます。

読み出し後、[Entry Mode Set](#) コマンドに応じて、アドレスが自動的に 1 ずつ増分/減分します。読み出し中は、ディスプレイはシフトされません。

実行時間 : 40 μ s

動作

ボードには、キャラクタ LCD との通信用に 4 ビット データ インターフェイスがあります。その他のザイリンクス ボードでは、4 ビット インターフェイスが使用されます。[図 5-1](#) に示すように、Spartan-3A/3AN スタータ キット ボードでは互換性を持たせるために 8 ビットと 4 ビットのインターフェイスの両方がサポートされています。既存のリファレンス デザインの多くは、4 ビット インターフェイスを使用して構築されています。

4 ビット データ インターフェイス

[図 5-6](#) は、LCD への書き込み動作を図示したものです。ボード上の 50MHz クロック (20ns 周期) を基準に、セットアップ タイム、ホールド タイム、およびイネーブル パルス長に許容される最小時間が示されています。

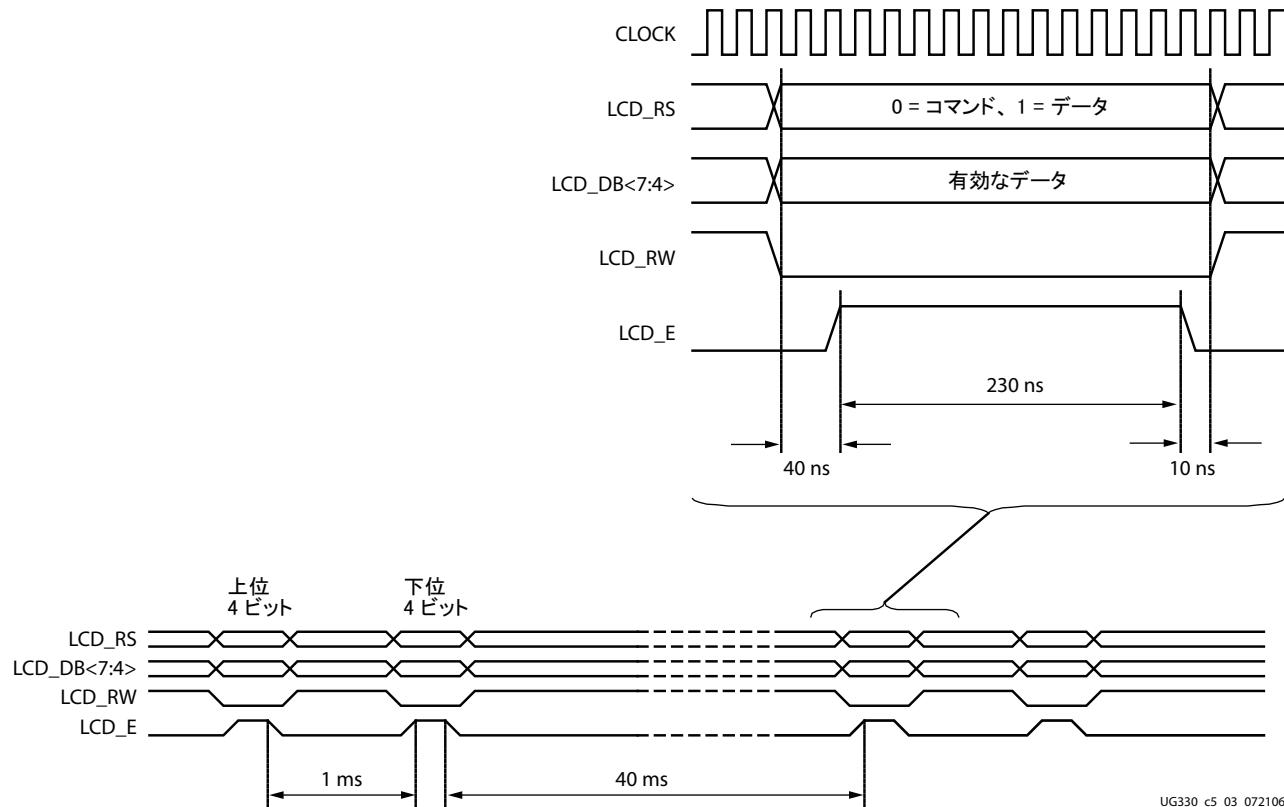


図 5-6：キャラクタ LCD インターフェイスのタイミング

LCD_DB<7:4> 上のデータ値、レジスタ選択 (LCD_RS) 制御信号および読み出し/書き込み (LCD_RW) 制御信号は、イネーブル LCD_E が High になる少なくとも 40ns 前には設定され、安定している必要があります。イネーブル信号は、230ns 以上 High に保持する必要があります。これは、50MHz での 12 クロック サイクル以上と同等です。

アプリケーションの多くでは、LCD_RW 信号は常に Low に接続できます。FPGA では一般的に、ディスプレイから情報を読み出すことがないからです。

4 ビット インターフェイスへの 8 ビット データの転送

ディスプレイが初期化され、4 ビット モードの通信が確立したら、コマンドとデータはすべて 8 ビットでキャラクタディスプレイに送信されます。図 5-6 に示すように、最低 1 μ s の間隔を置いた 2 つの 4 ビット送信に分割して送信されます。上位 4 ビットが先に送信され、下位 4 ビットが続けて送信されます。8 ビットの書き込み動作後は、最低 40 μ s の間隔を置いて、次の通信を開始します。この遅延は、Clear Display コマンドの後は、1.64ms にする必要があります。

ディスプレイの初期化

電源投入後、ディスプレイを初期化して、必要な通信プロトコルを確立します。初期化の手順は簡単で、効率の高い 8 ビット [PicoBlaze](#) エンベデッド コントローラに適しています。初期化後、PicoBlaze コントローラは単にディスプレイを駆動するだけではなく、もっと複雑な制御や操作に使用できるようになります。

電源投入時の初期化

次の手順に従って、FPGA アプリケーションが LCD との通信に 4 ビット データ インターフェイスを使用するよう設定します。

1. ディスプレイは通常、FPGA がコンフィギュレーションを完了すると使用可能ですが、ここでは 15ms 以上待機します。15ms は、50MHz での 750,000 クロック サイクルと同等です。
2. LCD_DB<7:4> = 0x3 を書き込み、パルス LCD_E を 12 クロック サイクルの間 High に保持します。
3. 4.1ms 以上待機します。これは、50MHz. での 205,000 クロック サイクルと同等です。
4. LCD_DB<7:4> = 0x3 を書き込み、パルス LCD_E を 12 クロック サイクルの間 High に保持します。
5. 100 μ s 以上待機します。これは、50MHz での 5,000 クロック サイクルと同等です。
6. LCD_DB<7:4> = 0x3 を書き込み、パルス LCD_E を 12 クロック サイクルの間 High に保持します。
7. 40 μ s 以上待機します。これは、50MHz での 2,000 クロック サイクルと同等です。
8. LCD_DB<7:4> = 0x2 を書き込み、パルス LCD_E を 12 クロック サイクルの間 High に保持します。
9. 40 μ s 以上待機します。これは、50MHz での 2,000 クロック サイクルと同等です。

ディスプレイのコンフィギュレーション

電源投入後の初期化が完了すると、4 ビット インターフェイスが確立されます。次の手順で、ディスプレイを設定します。

1. **Function Set** コマンド 0x28 を発行し、ディスプレイが Spartan-3A/3AN スタータ キット ボード上で動作するよう設定します。
2. **Entry Mode Set** コマンド 0x06 を発行し、アドレス ポインタが自動的に増分するよう 設定します。
3. **Display On/Off** コマンド 0x0C を発行し、ディスプレイをオンにして、カーソルと点滅をディスエーブルにします。
4. 最後に、**Clear Display** コマンドを発行します。コマンド発行後、少なくとも 1.64ms (82,000 クロック サイクル) 間待機します。

ディスプレイへのデータの書き込み

ディスプレイにデータを書き込むには、開始アドレスを指定し、その後にデータ値を指定します。

データを書き込む前に、**Set DD RAM Address** コマンドを発行し、DD RAM の 7 ビットの初期アドレスを指定します。DD RAM のロケーションについては、[図 5-3](#) を参照してください。

データの書き込みには、**Write Data to CG RAM or DD RAM** コマンドを使用します。8 ビットのデータ値は、[図 5-4](#) に示す CG ROM または CG RAM へのルックアップ アドレスを表しています。CG ROM または CG RAM に格納されたビットマップは、5 x 8 ドット マトリックスを駆動し、対応する文字を表します。

前述のように、アドレス カウンタが自動増分に設定されていれば、アプリケーションは複数の文字コードを続けて書き込むことができ、それぞれの文字が自動的に次の空いたロケーションに格納され、表示されます。

文字を書き込み続けると、1行目の終わりに達します。それ以降の文字は2行目に自動的には表示されません。DD RAM マップは1行目と2行目で連続していません。

使用されていない LCD のディスエーブル

FPGA アプリケーションでキャラクタ LCD が使用されていなければ、LCD_E ピンを Low に駆動することでディスエーブルにできます。また、LCD_RW ピンを Low に駆動すると、LCD 画面にデータを表示しないようにできます。

関連情報

詳細については、次のリンク先を参照してください。

- PowerTip 社製 PC1602-D キャラクタ LCD (電気的および機械的な基本データ)
www.powertipusa.com/pdf/pc1602d.pdf
- Sitronix 社製 ST7066U キャラクタ LCD コントローラ
www.sitronix.com.tw/sitronix/product.nsf/Doc/ST7066U?OpenDocument
- Samsung 社製 S6A0069X キャラクタ LCD コントローラ
www.samsung.com/Products/Semiconductor/DisplayDriverIC/MobileDDI/BWSTN/S6A0069X/S6A0069X.htm
- デザインの例 : Device DNA リーダーおよび LCD ディスプレイ コントローラ
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#dna_reader

VGA ディスプレイ ポート

Spartan™-3A/3AN スタータ キット ボードには、標準の高密度 HD-DB15 メス コネクタを介した VGA ディスプレイ ポートが含まれています。このポートは、標準のモニタ ケーブルを使用してほとんどの PC モニタやフラット パネル LCD に直接接続できます。VGA コネクタは、図 6-1 でボード上部の一番左にあるコネクタです。

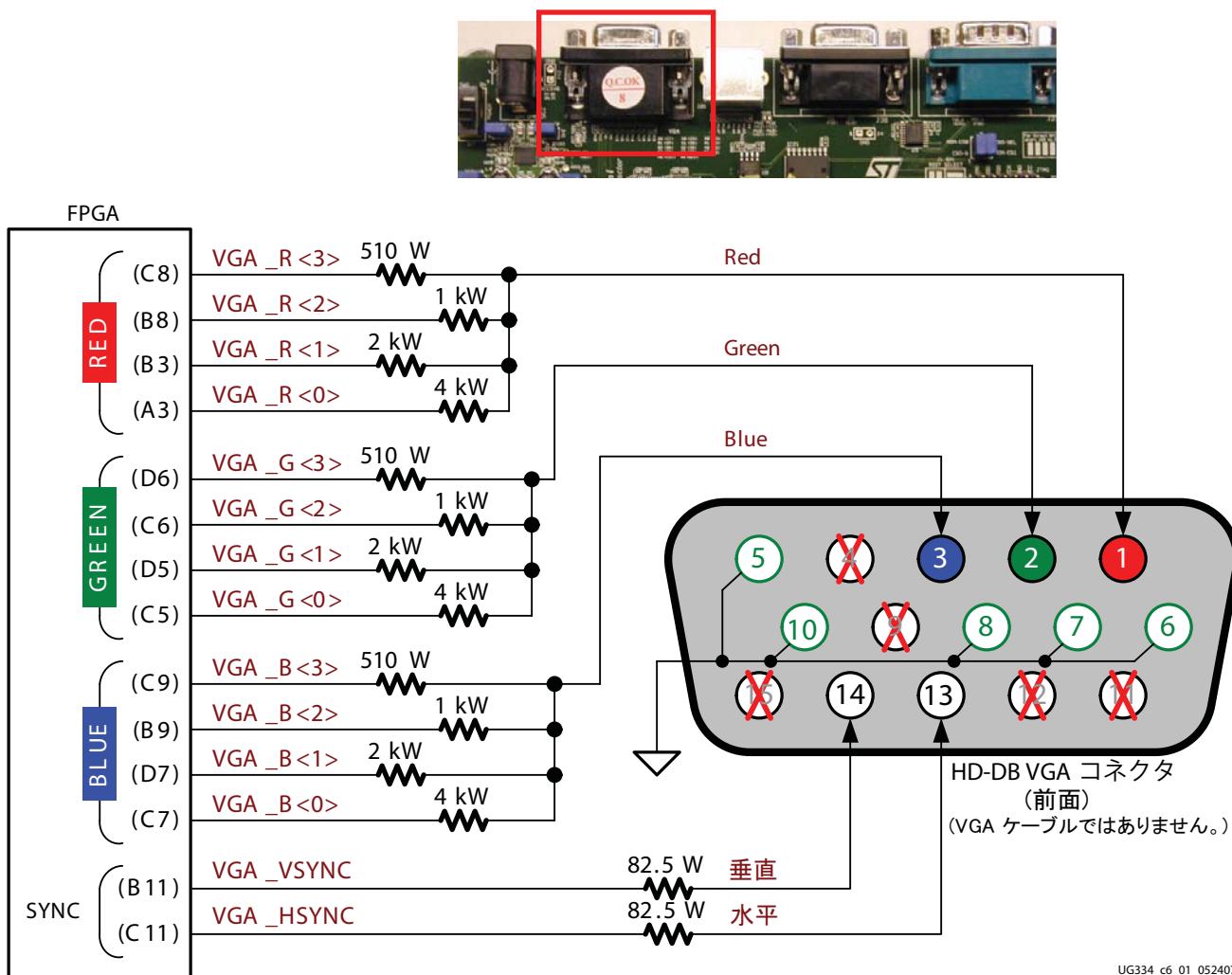


図 6-1: スタータ キット ボードから VGA への接続

FPGA は、5 個の VGA 信号を抵抗を介して直接駆動します。赤色、緑色、および青色の各信号には、抵抗分配ツリーに供給される 4 個の FPGA 出力があります。このアプローチにより、各色で 4

ビットの解像度、合計 12 ビット色を生成できるため、4096 色を作り出すことが可能です。直流抵抗を VGA ケーブルに組み込まれた 75Ω の終端と組み合わせて使用すると、カラー信号は VGA 指定の 0V ~ 0.7V の範囲内になります。

VGA_HSYNC 信号および VGA_VSYNC 信号では、I/O 規格の LVTTL または LVCMS33 駆動レベルが使用されます。

VGA_R[3:0]、VGA_G[3:0]、および VGA_B[3:0] 信号を High または Low に駆動して、任意の色を生成します。アナログ出力は、抵抗分配器により生成されます。この抵抗分配器では、任意の色に対して FPGA のデジタル出力が変換されます。各色の出力では、論理式 6-1 に示すように、16 個の値がサポートされます。赤色、緑色、および青色をそれぞれ個別に制御することにより、最大 12 ビット色または 4096 個の値がサポートされています。

$$COLOR_{OUT} = \frac{VGA[3:0]}{15} \times COLOR \quad \text{論理式 6-1}$$

単純化するときは、FPGA アプリケーションで 4 個のカラー出力すべてを同じデジタル値で駆動して、VGA ポートを 3 ビット インターフェイスとして使用することもできます。表 6-1 に、この場合の 8 個のベース カラーの値を示します。

表 6-1：表示色のコード例

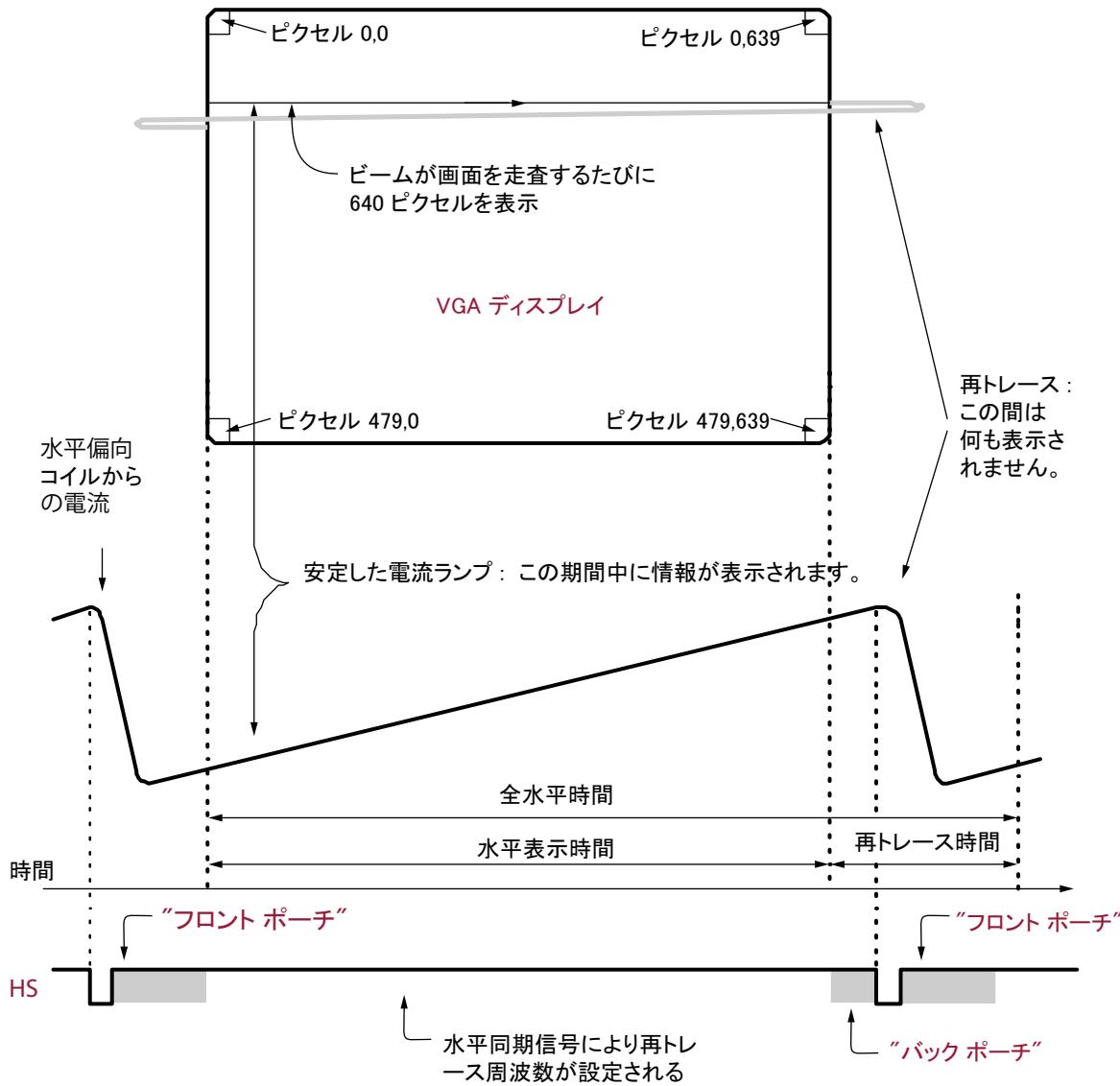
VGA_R[3:0]	VGA_G[3:0]	VGA_B[4:0]	表示色
0000	0000	0000	黒
0000	0000	1111	青
0000	1111	0000	緑
0000	1111	1111	シアン
1111	0000	0000	赤
1111	0000	1111	マゼンタ
1111	1111	0000	黄色
1111	1111	1111	白

60Hz、640 X 480 VGA ディスプレイの信号のタイミング

VGA 信号のタイミングは、Video Electronics Standards Association (VESA) により規定、発行、著作権所有、および販売されています。次に示す VGA システムおよびタイミングの情報は、FPGA が VGA モニタを 640 X 480 モードで駆動する場合の一例です。高周波数の VGA の詳細は、VESA およびその他の電子機器関連の Web サイトを参照してください (65 ページの「関連情報」を参照)。標準の VGA サポートはサンプル デザインの一部として含まれていますが、タイミングが高速なコントローラを使用すれば、SVGA など VGA の拡張モードも達成可能です。

CRT ベースの VGA ディスプレイでは、振幅変調された移動性電子ビーム (陰極線) を使用して、蛍光スクリーン上に情報を表示します。LCD では、整列したスイッチを使用して少量の液晶に電圧を与え、ピクセルごとに液晶を通過する光の量を変化させます。次の記述は CRT ディスプレイに関するものですが、LCD の信号タイミングは CRT と同じになってきています。次の情報は、CRT と LCD の両方に適用されます。

CRT ディスプレイでは、コイルを通過する電流により磁場を発生させて電子ビームを偏向し、ディスプレイの表面を左から右、上から下へラスタ走査します。図 6-2 に示すように、情報が表示されるのは、ビームが順方向に移動しているときのみです（左から右および上から下）。ディスプレイの左または上に戻るときには表示されません。このため、ディスプレイ時間の多くは、水平または垂直の新規ディスプレイパスを開始するためにビームをリセットおよび安定させるプランギング期間として使用されます。



UG230_c6_02_021706

図 6-2 : CRT ディスプレイ タイミングの例

ディスプレイの解像度により、ビームのサイズ、走査周波数、および電子ビームが変調される周波数が決定します。

現在の VGA ディスプレイは、マルチディスプレイ解像度をサポートしており、VGA コントローラでタイミング信号を生成してラスタパターンを制御することにより解像度を指定します。コントローラで TTL レベルの同期パルスを生成することにより、偏向コイルを流れる電流の周波数を設定し、ピクセルデータまたはビデオデータが正しい時間に電子銃に適用されるようにします。

ビデオ データは通常、少なくとも 1 バイトが各ピクセル位置に割り当てられたビデオ リフレッシュ メモリから送られます。Spartan-3A/3AN スタータ キット ボードでは、1 ピクセルあたり 12 ビットを使用して、4096 色中の 1 色を生成します。コントローラは、ビームがディスプレイ上を移動する際にビデオ データ バッファにインデックスを付け、電子ビームが特定のピクセルを移動する正確なタイミングでビデオ データを取得してディスプレイに適用します。

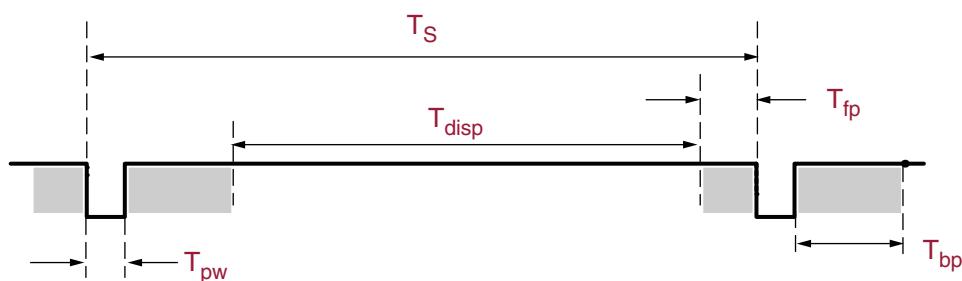
図 6-2 に示すように、VGA コントローラは、水平同期 (HS) タイミング信号と垂直同期 (VS) タイミング信号を生成し、ピクセル クロックごとにビデオ データを送信します。ピクセル クロックは、1 ピクセルの情報の表示に使用される時間を定義します。VS 信号は、ディスプレイのリフレッシュ レート、つまり 1 秒間に画面が再描画される回数を定義します。最小のリフレッシュ レートは、ディスプレイの蛍光および電子ビームの強度の閾数です。実用的な値は、60Hz ~ 120Hz の範囲です。水平帰線周波数は、特定のリフレッシュ レートで表示される水平線の数で定義されます。

VGA 信号のタイミング

表 6-2 は、25MHz ピクセル クロックおよび 60Hz ±1 リフレッシュ レートの 640 ピクセル X 480 行ディスプレイの信号タイミングを示しています。図 6-3 に、タイミング記号間の関係を示します。同期パルス幅 (T_{PW}) およびフロント/バック ポーチ間隔 (T_{FP} および T_{BP}) のタイミングは、さまざまな VGA ディスプレイより得られた値に基づいています。フロント ポーチ間隔は同期パルス前の時間、バック ポーチ間隔は同期パルス後の時間です。この間は、情報は表示されません。

表 6-2 : 640 X 480 モードの VGA タイミング

シンボル	パラメータ	垂直同期			水平同期	
		時間	クロック	線	時間	クロック
T_S	同期パルス時間	16.7ms	416,800	521	32μs	800
T_{DISP}	表示時間	15.36ms	384,000	480	25.6μs	640
T_{PW}	パルス幅	64μs	1,600	2	3.84μs	96
T_{FP}	フロント ポーチ	320μs	8,000	10	640ns	16
T_{BP}	バック ポーチ	928μs	23,200	29	1.92μs	48



UG230_c6_03_021706

図 6-3 : VGA 制御タイミング

通常、ピクセル クロックが供給されるカウンタにより、水平タイミングが制御されます。デコードされたカウンタ値により、HS 信号が生成されます。このカウンタは、ある行の現在のピクセル ディスプレイ位置を示します。

垂直タイミングは、別のカウンタで制御されます。垂直同期カウンタは HS パルスごとに増分し、デコードされた値により VS 信号が生成されます。このカウンタは、現在のディスプレイ行を示します。これらのカウンタは常に動作しており、ビデオ ディスプレイ バッファのアドレスを構成します。たとえば、ボード上の DDR2 SDRAM は、理想的なディスプレイ バッファとなります。

HS パルスの開始時間と VS パルスの開始時間のタイミング関係は指定されていないので、カウンタを調整することにより、ビデオ RAM アドレスの構成または同期パルス生成用のデコード ロジックの最小化を容易に実現できます。

UCF ロケーション制約

図 6-4 に、VGA ディスプレイ ポートの I/O ピン割り当て、I/O 規格、出力スルーレート、および出力駆動電流を指定する UCF 制約を示します。

```

NET "VGA_R<3>" LOC = "C8" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_R<2>" LOC = "B8" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_R<1>" LOC = "B3" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_R<0>" LOC = "A3" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_G<3>" LOC = "D6" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_G<2>" LOC = "C6" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_G<1>" LOC = "D5" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_G<0>" LOC = "C5" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_B<3>" LOC = "C9" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_B<2>" LOC = "B9" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_B<1>" LOC = "D7" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_B<0>" LOC = "C7" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_HSYNC" LOC = "C11" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_VSYNC" LOC = "B11" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = FAST ;

```

図 6-4 : VGA ディスプレイ ポートの UCF 制約

関連情報

詳細については、次のリンク先を参照してください。

- VESA
www.vesa.org
- VGA タイミング情報
www.epanorama.net/documents/pc/vga_timing.html

RS-232 シリアル ポート

概要

図 7-1 に示すように、Spartan™-3A/3AN スタータ キット ボードには、RS-232 シリアル ポートが 2 つあります。メス型の DB9 DCE コネクタと、オス型の DB9 DTE コネクタです。DCE スタイルのポートには、シリアル ポート コネクタを直接接続します。シリアル ポート コネクタは、ほとんどの PC やワークステーションに付いており、標準のシリアル ケーブルを使用して接続できます。典型的なアプリケーションでは、ヌル モデム ケーブル、オス/メス変換、またはクロスオーバー ケーブルは不要です。

DTE スタイル コネクタは、モデムやプリンタなどの、ほかの RS-232 ペリフェラルの制御に使用できます。また、DCE コネクタと共に簡単なループバック テストにも使用できます。

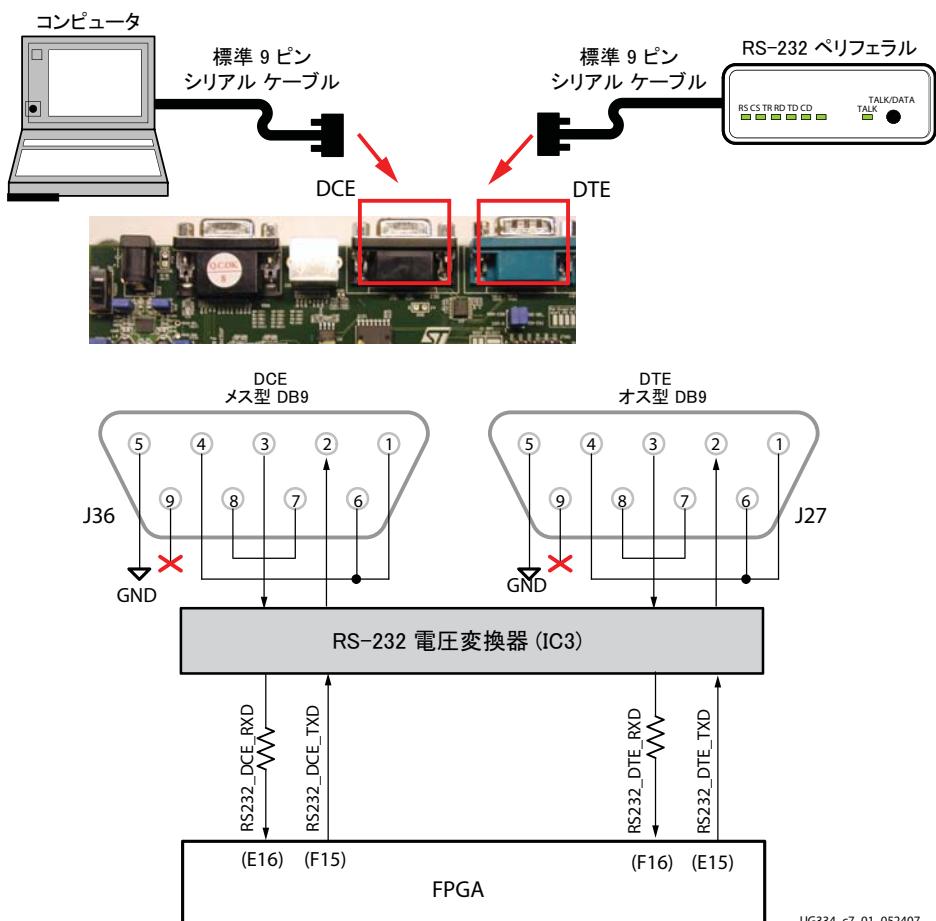


図 7-1 : RS-232 シリアル ポート

図 7-1 に、FPGA と 2 つの DB9 との接続を示します。FPGA では、LVTTL または LVCMSO レベルを使用してシリアル出力データを Maxim 社製デバイスに供給します。Maxim 社製デバイスでは、このロジック値を RS-232 に適切な電圧レベルに変換します。同様に、Maxim 社製デバイスは、RS-232 シリアル入力データを LVTTL レベルに変換して FPGA に供給します。Maxim 社製デバイスの出力ピンと FPGA の RXD ピンの間の直流抵抗により、ヌル モデル ケーブルを使用したボードへの接続などによる、不意のロジックの競合が回避されます。この例では、FPGA と外部シリアルデバイスの両方が、伝送ラインのデータを駆動しています。

コネクタでは、ハードウェア フロー制御はサポートされません。ポートの DCD、DTR、および DSR 信号は、図 7-1 に示すように、一緒に接続されます。同様に、ポートの RTS および CTS 信号も一緒に接続されます。

UCF ロケーション制約

図 7-2 および 図 7-3 に、DTE および DCE RS-232 ポートの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "RS232_DTE_RXD" LOC = "F16" | IOSTANDARD = LVTTL ;
NET "RS232_DTE_TXD" LOC = "E15" | IOSTANDARD = LVTTL | DRIVE = 4 | SLEW = SLOW ;
```

図 7-2 : DTE RS-232 シリアル ポートの UCF ロケーション制約

```
NET "RS232_DCE_RXD" LOC = "E16" | IOSTANDARD = LVTTL ;
NET "RS232_DCE_TXD" LOC = "F15" | IOSTANDARD = LVTTL | DRIVE = 4 | SLEW = SLOW ;
```

図 7-3 : DCE RS-232 シリアル ポートの UCF ロケーション制約

PS/2 マウス/キーボードのポート

Spartan™-3A/3AN スタータ キット ボードには、PS/2 マウス/キーボード ポートおよび標準 6 ピンミニ DIN コネクタが含まれています。これは、ボード上にある J28 のラベルが付いたコネクタです。図 8-1 に PS/2 コネクタ、表 8-1 にコネクタの信号を示します。マウスまたはキーボードをボードに直接接続するには、プライマリ接続を使用します。また、73 ページの「Y 字型スプリッタ ケーブルを使用したセカンド PS/2 ポートの追加」も参照してください。

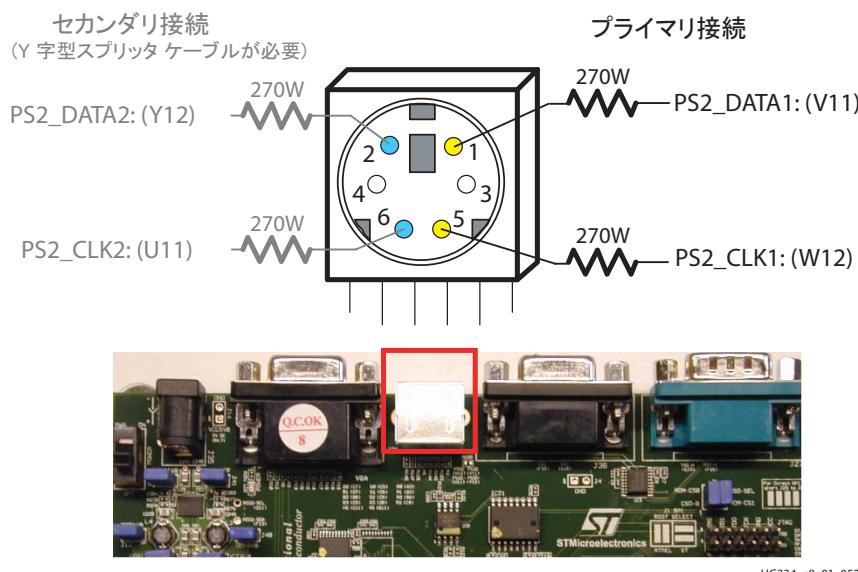


図 8-1 : PS/2 コネクタの位置と信号

表 8-1 : PS/2 コネクタのピン配置

PS/2 DIN ピン	信号	FPGA ピン
1	プライマリ データ接続 PS2_DATA1	V11
2	PS/2 スプリッタ ケーブル使用時のセカンダリ データ接続 PS2_DATA2	Y12
3	GND	GND
4	+5V	接続なし
5	プライマリ クロック接続 PS2_CLK1	W12
6	PS/2 スプリッタ ケーブル使用時のセカンダリ データ接続 PS2_CLK2	U11

PC マウスおよびキーボードは、どちらも 2 線式 PS/2 シリアルバスを使用してホスト デバイスと通信します。この場合のホスト デバイスは FPGA です。PS/2 バスには、クロックとデータの両方が含まれています。マウスとキーボードはどちらも、バスを同じ信号タイミングで駆動し、開始ビット、終了ビット、奇数パリティビットを含む 11 ビットワードを使用します。ただし、マウスとキーボードのデータパケットの構成方法は異なります。キーボードおよびマウスの両インターフェイスでは、双方向にデータを転送できます。たとえば、FPGA ホスト デザインでキーボードのステート LED を点灯させたりマウスの通信速度を変更したりできます。

PS/2 バスのタイミングを表 8-2 および図 8-2 に示します。クロックおよびデータ信号はデータ転送中のみ駆動され、それ以外のときは、アイドルステート(ロジック High)に保持されます。モジュールからホストへの通信および双方向キーボード通信の信号要件は、このタイミングによって定義されます。図 8-2 に示すように、クロック信号が High のときにキーボードまたはマウスがデータラインに 1 ビット書き込み、クロック信号が Low のときにホストがデータラインを読み出します。

表 8-2 : PS/2 バスのタイミング

シンボル	パラメータ	最小	最大
T_{CK}	クロックが High または Low の時間	30μs	50μs
T_{SU}	Data-to-clock セットアップタイム	5μs	25μs
T_{HLD}	Clock-to-data ホールドタイム	5μs	25μs

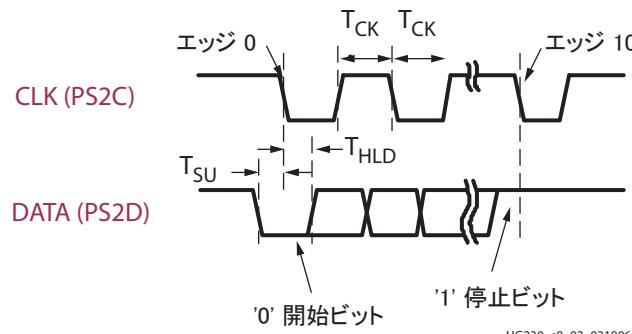


図 8-2 : PS/2 バスのタイミング波形

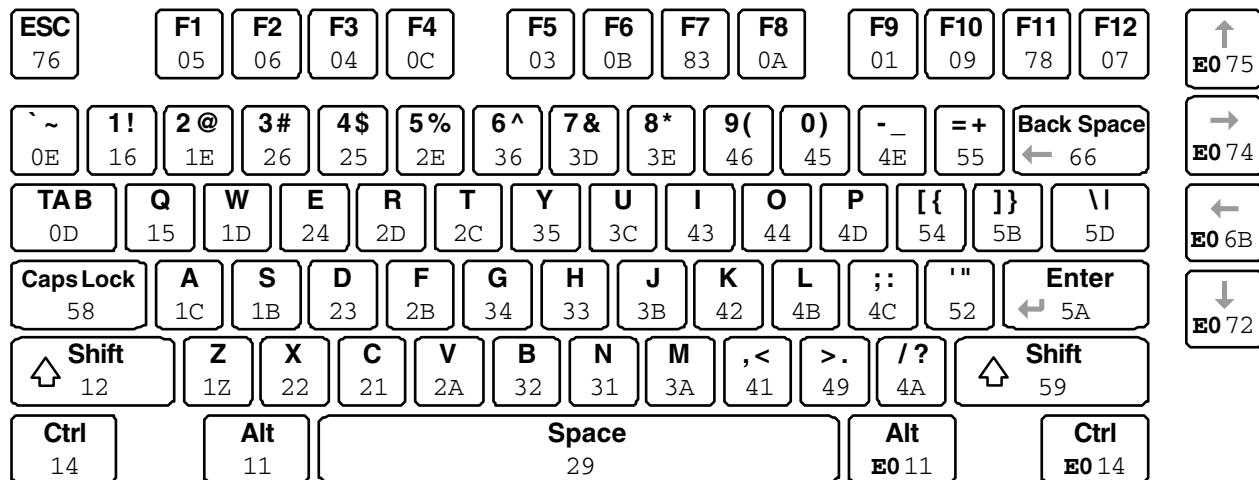
キーボード

キーボードではオープンコレクタドライバが使用されるので、デバイスまたはホストのどちらかで 2 線式バスを駆動できます。ホストからデータを送信しない場合は、ホストで単純な入力ピンを使用してもかまいません。

PS/2 スタイルのキーボードは、スキヤンコードを使用してキーから入力されたデータを通信します。キーの 1 つ 1 つに固有のスキヤンコードが割り当てられており、キーが押されるとコードが送信されます。図 8-3 に、ほとんどのキーのスキヤンコードを示します。

キーを押したままにすると、コードが約 100ms ごとに繰り返し送信されます。キーを放すと、F0 のキーアップコードが送信され、続けてそのキーのスキヤンコードが送信されます。キーに Shift キーを押した場合と押さない場合の 2 つの文字がある場合でも、Shift キーが押されたかどうかに関わらず、キーが同じであれば、同じスキヤンコードが送信されます。どの文字が入力されたかは、ホストで判断されます。

拡張キーが押されると、スキャン コードの前に E0 が送信されます。複数のスキャン コードが送信されることもあります。拡張キーが放されると、E0 F0 のキーアップ コードが送信され、続けてスキャン コードが送信されます。



UG230_c8_03_021806

図 8-3 : PS/2 キーボード スキャン コード

ホストから、コマンドおよびデータをキーボードに送信することもできます。表 8-3 に、よく使用されるコマンドの一覧を示します。

表 8-3 : よく使用される PS/2 キーボード コマンド

コマンド	説明																							
ED	Num Lock、Caps Lock、および Scroll Lock LED のオン/オフ : キーボードで ED コマンドが受信されると、FA が返されます。その後、ホストより次のバイトが送信され、LED ステータスが設定されます。キーボード LED のビット位置を次に示します。特定のビットに 1 が書き込まれると、対応するキーボード LED が点灯します。																							
	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td colspan="5">無視</td><td>Caps Lock</td><td>Num Lock</td><td>Scroll Lock</td></tr> </table>								7	6	5	4	3	2	1	0	無視					Caps Lock	Num Lock	Scroll Lock
7	6	5	4	3	2	1	0																	
無視					Caps Lock	Num Lock	Scroll Lock																	
EE	エコー : キーボードで echo コマンドが受信されると、同じスキャン コード EE が返されます。																							
F3	スキャン コードのリピート レート設定 : キーボードで F3 が受信されると、FA が返されます。その後、ホストから次のバイトが送信され、リピート レートが設定されます。																							
FE	再送信 : キーボードで resend コマンドが受信されると、最後に送信されたスキャン コード が再送信されます。																							
FF	リセット : キーボードをリセットします。																							

キーボードがコマンドまたはデータをホストに送信するのは、データ ライン、クロック ラインと共に High、つまりアイドル ステートのときのみです。

ホストがバス マスターであるため、バスが駆動される前にホストがデータを送信しているかどうかがキーボードで確認されます。クロック ラインは、Clear to Send 信号としても使用できます。ホストがクロック ラインを Low にしている場合は、クロックが解放されるまでキーボードからデータを送信できません。

キーボードからホストへのデータは、11ビットワードです。このデータの内容は、開始ビット0、8ビットのスキヤンコード(LSBが先)、奇数パリティビット、終了ビット1となっています。キーボードよりデータが送信される場合、20～30kHz程度で11クロック遷移が生成され、図8-2に示すように、データはクロックの立ち下がりエッジで有効になります。

マウス

PS/2互換のマウスでは、2つのモードがサポートされています。ポーリングモードでは、ホストコントローラによりマウスの動作が確認されます。ストリーミングモードでは、移動やキー操作がマウスによりレポートされます。このモードが、デフォルトの動作モードです。

ストリーミングモードを使用するには、FPGAホストからマウスにSet Stream Modeコマンド(0xEA)を送信する必要があります。マウスを移動したり、キーを押したりすると、マウスによりクロック信号とデータ信号が生成されます。これ以外のときは、信号はHighに保持され、アイドルステートになります。マウスを移動するたびに、ホストに11ビットワードが3つ送信されます。11ビットワードのそれぞれが、開始ビット0、8データビット(LSBが先)、奇数パリティビット、終了ビット1を含んでいます。転送されるデータは合計33ビットで、ビット0、ビット11、およびビット22は0(開始ビット)で、ビット10、ビット21、およびビット32は1(終了ビット)です。この3つの8ビットデータフィールドには、図8-4に示すように、移動データが含まれます。データはクロックの立ち下がりエッジで有効になります。クロック周期は20～30kHzです。



UG330_c8_04_032007

図8-4: PS/2マウスのトランザクション

PS/2スタイルのマウスでは、相対座標システムが採用されており(図8-5参照)、マウスポインタを画面の右に動かすとXの値が正になり、左に動かすと負になります。同様に、マウスポインタを画面の上に動かすとYの値が正になり、下に動かすと負になります。XとYの符号は、それぞれステータスバイトのXSビットとYSビットに表されます。1は、値が負であることを示します。

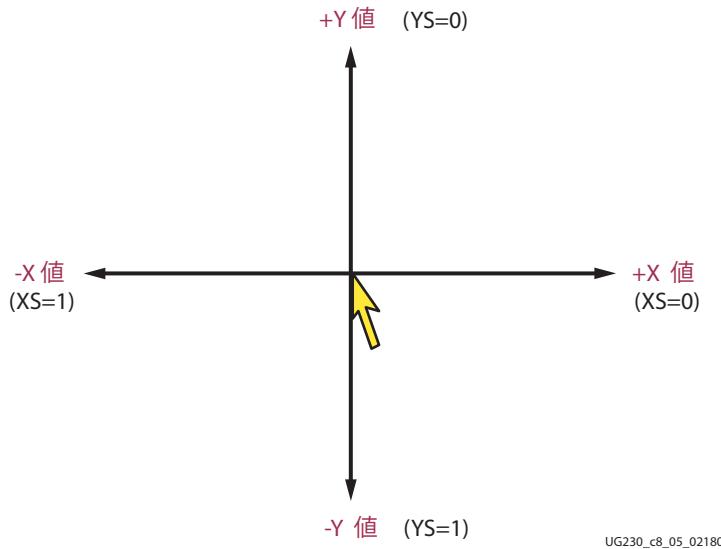


図 8-5：マウスの動きをトラックする相対座標システム

X および Y の値で、マウスの速度を確認できます。速くなるほど値も大きくなります。ステータス バイトの XV および YV ビットでは、X または Y の値が最大値を超えるとオーバーフローが発生しているかが示されます。1 はオーバーフローが発生したことを表します。マウスを動かし続けると、33 ビットの伝送が約 50ms ごとに発生します。

ステータス バイトの L、R、および C フィールドは、それぞれ左クリック、右クリックおよび中クリックを意味します。1 はマウス ボタンが押されたことを示します。

電源

Spartan-3A/3AN スタータ キット ボードの PS/2 ポートの電源は 5V です。Spartan-3A/3AN FPGA は 5V 対応のデバイスではありませんが、[69 ページの図 8-1](#) に示すように、270W の直列電流制限抵抗を使用すれば 5V デバイスと通信できます。

Y 字型スプリッタ ケーブルを使用したセカンド PS/2 ポートの追加

PS/2 ポートを使用するアプリケーションのほとんどでは、マウスまたはキーボードが直接 Spartan-3A/3AN スタータ キット ボードのコネクタに接続されます。これらのアプリケーションでは、[69 ページの図 8-1](#) に示すように、PS/2 ポートへのプライマリ接続が使用されています。

ただし、PS/2 Y 字型のスプリッタ ケーブルをボードの PS/2 コネクタに接続することで、セカンド リ PS/2 ポートを含めることができます。[図 8-6](#) に、このケーブルの例を示します。Spartan-3A/3AN スタータ キットには、この種のケーブルは含まれていませんが、最寄りの電気機器店や Web サイトから購入できます。次に、ベンダーおよびその製品番号の例を示します。ベンダーおよび製品によって価格が異なるので、数種比較してから購入することをお勧めします。

- StarTech 社製 PS/2 キーボード/マウス Y 字型スプリッタ ケーブル、KYC1MF
- American Power Conversion (APC) 社製 マウスおよびキーボード スプリッタ ケーブル、62305-1
- Belkin 社製 Pro シリーズ ノートブック Y ケーブル、F3G117-01
- Tripp Lite 社製 P230-001

- QVS 社製 CC321Y
- ComputerCableStore.com、8-1718Y-00.5
- CablesToGo、08017



図 8-6 : PS/2 Y 字型スプリッタ ケーブル

スプリッタ ケーブルを使用する場合は、69 ページの図 8-1 および 69 ページの表 8-1 にリストされている FPGA 接続を使用します。プライマリ接続とセカンダリ接続は、Y スプリッタの半面ずつに配置されています。

UCF ロケーション制約

図 8-7 に、PS/2 ポート接続の I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
# Primary connection
NET "PS2_CLK1" LOC = "W12" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = SLOW ;
NET "PS2_DATA1" LOC = "V11" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = SLOW ;

# Secondary connection (requires Y-splitter cable)
NET "PS2_CLK2" LOC = "U11" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = SLOW ;
NET "PS2_DATA2" LOC = "Y12" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = SLOW ;
```

図 8-7 : PS/2 ポートの UCF ロケーション制約

関連情報

詳細については、次のリンク先を参照してください。

- PS/2 マウス/キーボード プロトコル
www.computer-engineering.org/ps2protocol
- PS/2 キーボード インターフェイス
www.computer-engineering.org/ps2keyboard
- PS/2 マウス インターフェイス
www.computer-engineering.org/ps2mouse

アナログ キャプチャ回路

Spartan™-3A/3AN スタータ キット ボードには、図 9-1 に示すように、プログラム可能な増幅プリアンプと AD コンバータ (ADC) から構成される 2 チャネルのアナログ キャプチャ回路が搭載されています。

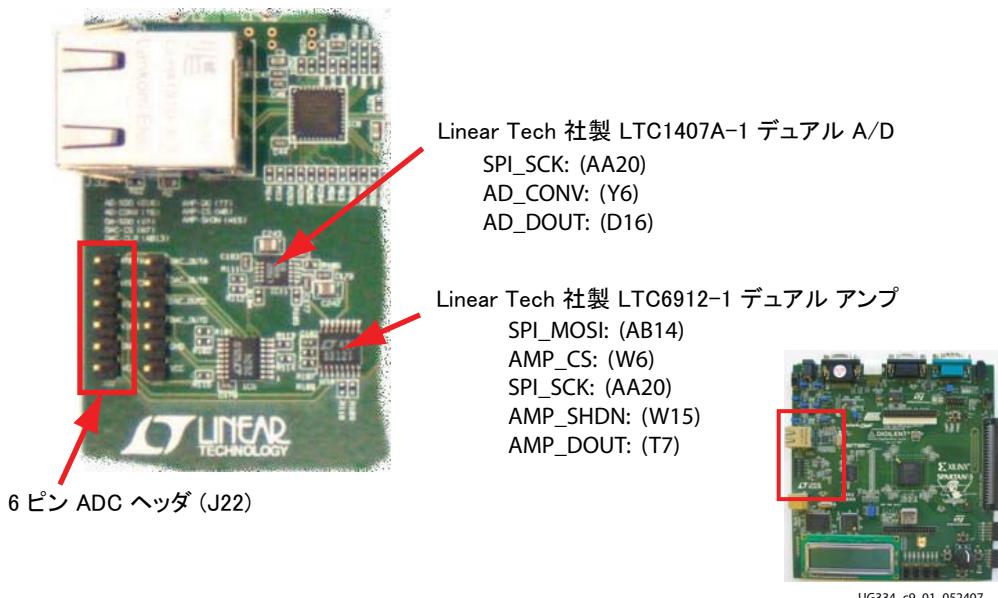
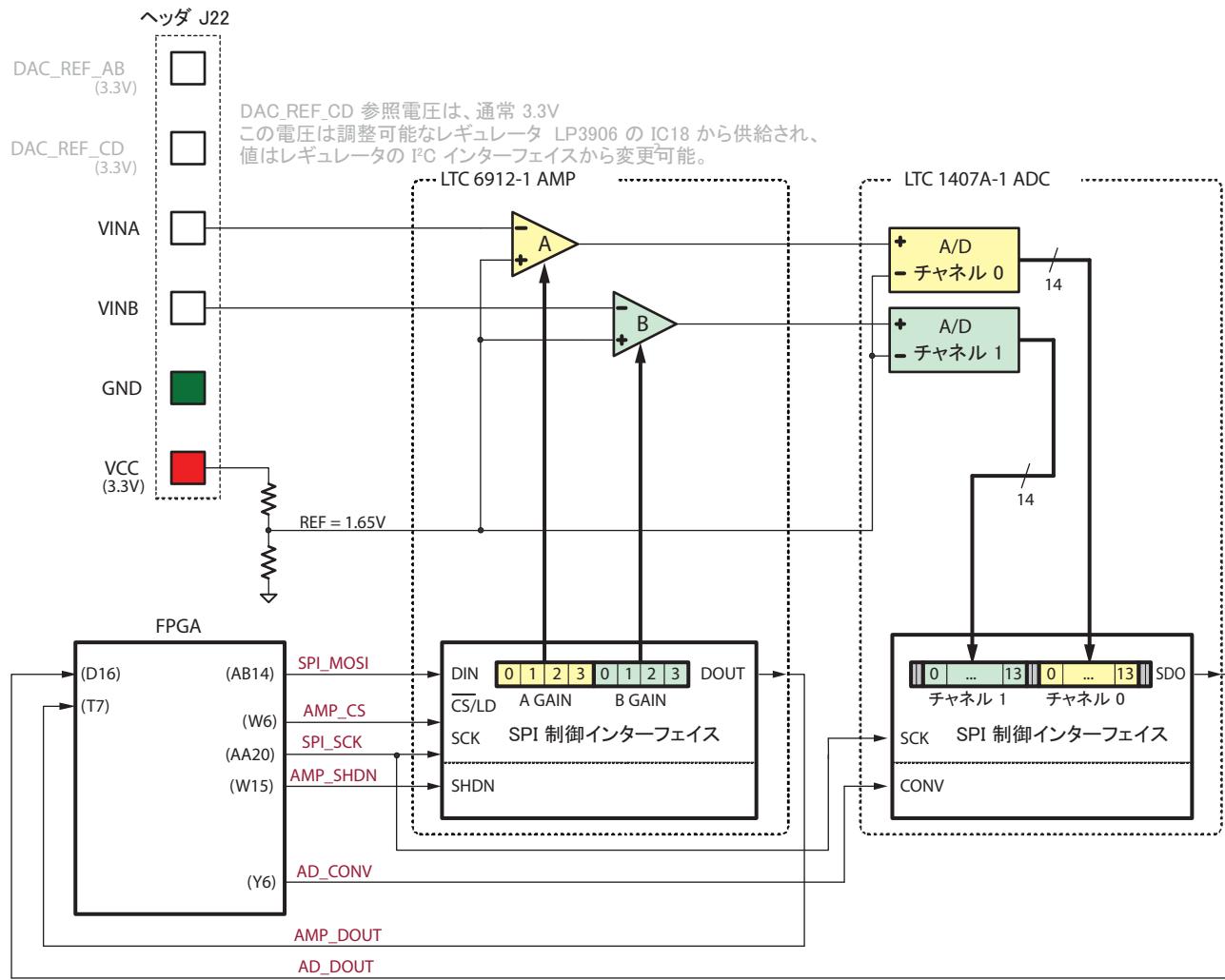


図 9-1 : アナログ キャプチャ回路と関連pin ヘッダ (J22)

アナログ キャプチャ回路に含まれる Linear Technology 社製 LTC6912-1 プログラマブルプリアンプは、ヘッダ J22 に入力されるアナログ信号を増幅します。プリアンプの出力は、Linear Technology 社製 LTC1407A-1 ADC に接続されています。プリアンプと ADC は、両方とも FPGA でシリアルにプログラムまたは制御します。



UG334_c9_02_052407

図 9-2：アナログ キャプチャ回路の詳細図

アナログ入力からデジタル出力への変換

アナログ キャプチャ回路は、VINA または VINB 上のアナログ電圧を、論理式 9-1 の式を使用して 14 ビットのデジタル表現 ($D[13:0]$) に変換します。

$$D[13:0] = GAIN \times \frac{(V_{IN} - 1.65V)}{1.25V} \times 8192 \quad \text{論理式 9-1}$$

GAIN (増幅率) は、プログラマブル プリアンプに読み込まれる設定を示します。表 9-2 に、GAIN に設定可能な値と、VINA および VINB 入力に適用可能な電圧を示します。

プリアンプおよび ADC の参照電圧は 1.65V で、図 9-2 に示す分圧器により生成されます。そのため、VINA または VINB 上の入力電圧から 1.65V が差し引かれます。

ADC の最大範囲は、参照電圧の 1.65V を基準に $\pm 1.25V$ です。そのため、上記のアナログ入力を増幅する式の分母に 1.25V が使用されます。

ADC は、14 ビットの 2 の補数デジタル値を出力します。14 ビットの 2 の補数で表される値は $-2^{13} \sim 2^{13}-1$ なので、8192 (2^{13}) で増幅されます。

プログラマブルプリアンプの GAIN の設定方法は、「[プログラマブルプリアンプ](#)」を参照してください。

VINA または VINB に適用される電圧のデジタル表現への変換については、リファレンス デザイン ファイルに詳細に示されています。[81 ページの「関連情報」](#)に示されているリンク先を参照してください。

プログラマブルプリアンプ

LTC6912-1 は、増幅率を設定可能な 2 つの反転アンプで構成されています。これらのアンプは、DAC の変換範囲 ($1.65 \pm 1.25V$) を最大限に活用できるよう、VINA または VINB に入力される電圧を増幅します。

インターフェイス

[表 9-1](#) に、FPGA とアンプの間のインターフェイス信号を示します。SPI_MOSI および SPI_SCK 信号は、SPI バス上のほかのデバイスと共有されます。AMP_CS 信号は、アクティブ Low のスレーブ セレクト信号です。

表 9-1 : AMP のインターフェイス信号

信号	FPGA ピン	方向	説明
SPI_MOSI	AB14	FPGA → AMP	シリアル データ : マスター出力、スレーブ入力。 表 9-2 で定義される 8 ビットの増幅率設定を示します。
AMP_CS	W6	FPGA → AMP	アクティブ Low のチップ セレクト。アンプの増幅率は、この信号が High になると設定されます。
SPI_SCK	AA20	FPGA → AMP	クロック
AMP_SHDN	W15	FPGA → AMP	アクティブ High のシャットダウン、リセット。
AMP_DOUT	T7	FPGA ← AMP	シリアル データ。以前のアンプの増幅率設定を示します。ほとんどのアプリケーションでは無視しても問題ありません。

増幅率

各アナログ チャネルには、増幅率を設定可能なアンプが接続されています ([図 9-2](#) を参照)。ヘッダ J7 の VINA または VINB に入力されたアナログ信号は、1.65V を基準に増幅されます。この 1.65V の参照電圧は、3.3V 電源の分圧器を使用して生成されます。

各アンプの増幅率は、[表 9-2](#) に示すように、-1 ~ -100 の間で設定可能です。

表 9-2：プリアンプの増幅率設定

増幅率	A3	A2	A1	A0	入力電圧の範囲	
	B3	B2	B1	B0	最小	最大
0	0	0	0	0		
-1	0	0	0	1	0.4	2.9
-2	0	0	1	0	1.025	2.275
-5	0	0	1	1	1.4	1.9
-10	0	1	0	0	1.525	1.775
-20	0	1	0	1	1.5875	1.7125
-50	0	1	1	0	1.625	1.675
-100	0	1	1	1	1.6375	1.6625

SPI 制御インターフェイス

図 9-3 に、アンプへの SPI ベースの通信インターフェイスを示します。各アンプの増幅率は、4 ビットのフィールド 2 つで構成される 8 ビットのコマンド ワードとして送信されます。最上位ビット B3 が最初に送信されます。

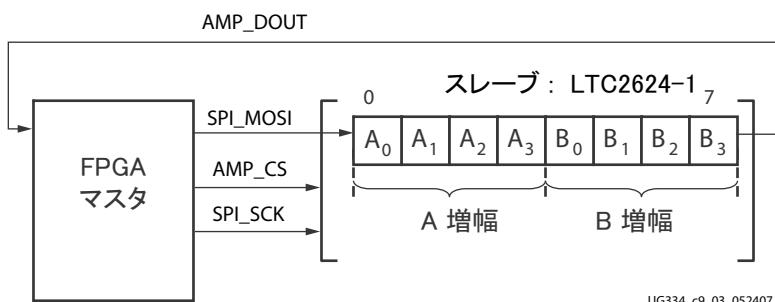


図 9-3：アンプへの SPI シリアル インターフェイス

アンプの AMP_DOUT 出力は、以前の増幅率設定を示します。ほとんどのアプリケーションでは無視しても問題ありません。

SPI バスのトランザクションは、AMP_CS が Low にアサートされると開始します(図 9-4 を参照)。SPI_MOSI 上のシリアルデータは SPI_SCK クロック信号の立ち上がりエッジでアンプに取り込まれ、SPI_SCK の立ち下がりエッジで AMP_DOUT に出力されます。

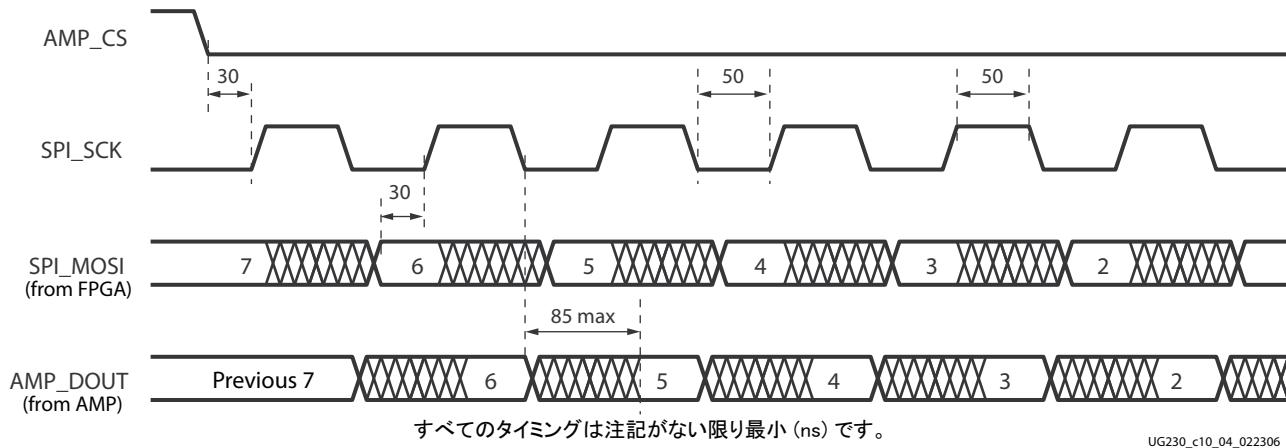


図 9-4 : アンプと通信する際の SPI のタイミング

アンプ インターフェイスは比較的低速で、サポートされるクロック周波数は約 10MHz です。

UCF ロケーション制約

図 9-5 に、アンプ インターフェイスの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "SPI_MOSI" LOC = "AB14" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "AMP_CS" LOC = "W6" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 4 ;
NET "SPI_SCK" LOC = "AA20" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 12 ;
NET "AMP_SHDN" LOC = "W15" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 4 ;
NET "AMP_DOUT" LOC = "T7" | IOSTANDARD = LVTTL ;
```

図 9-5 : プリアンプ インターフェイス (AMP) の UCF ロケーション制約

AD コンバータ (ADC)

LTC1407A-1 には、2 つの ADC が含まれます。AD_CONV 信号が適用されると、両方のアナログ入力が同時にサンプリングされます。

インターフェイス

表 9-3 に、FPGA と ADC の間のインターフェイス信号のリストを示します。SPI_SCK 信号は、SPI バス上のほかのデバイスと共有されます。アクティブ High の AD_CONV 信号は、DAC へのアクティブ Low のスレーブ セレクト入力です。DAC_CLR 信号は、アクティブ High の非同期リセットです。

表 9-3 : ADC のインターフェイス信号

信号	FPGA ピン	方向	説明
SPI_SCK	AA20	FPGA → ADC	クロック
AD_CONV	Y6	FPGA → ADC	アクティブ High で変換プロセスを開始します。
ADC_OUT	D16	FPGA ← ADC	シリアルデータ。サンプリングされたアナログ値をデジタル表現した 14 ビットの 2 の補数値です。

SPI 制御インターフェイス

図 9-6 に、ADC への SPI バス トランザクションの例を示します。

AD_CONV 信号が High になると、ADC で両方のアナログ チャネルが同時にサンプリングされます。変換された値は、次に AD_CONV がアサートされたときに、1 サンプルのレイテンシで出力されます。最大サンプリング レートは、約 1.5MHz です。

ADC は、サンプリングされたアナログ 値をデジタル 値に変換し、14 ビットの 2 の補数値として出力します。

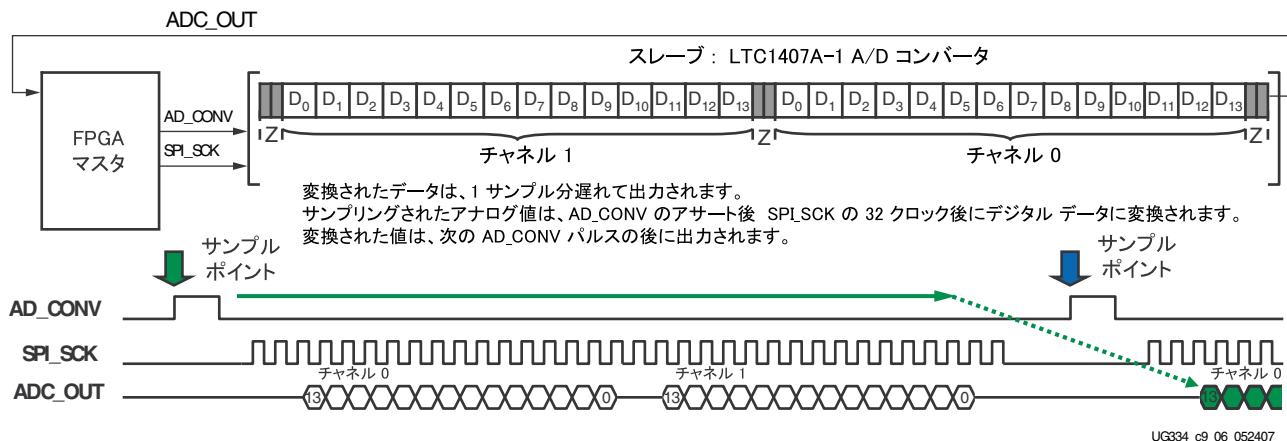


図 9-6 : AD コンバータのインターフェイス

図 9-7 に、トランザクションのタイミングを示します。AD_CONV 信号は、通常の SPI スレーブ セレクト イネーブルではありません。ADC_OUT 信号のハイ インピーダンス状態が保持されるよう、SPI_SCK 信号を十分なクロック サイクル数供給してください。図 9-6 に示すように、34 サイクルの通信シーケンスを使用してください。14 ビット データ転送の前後 2 クロック サイクル分、データ出力がトライステート 状態になります。

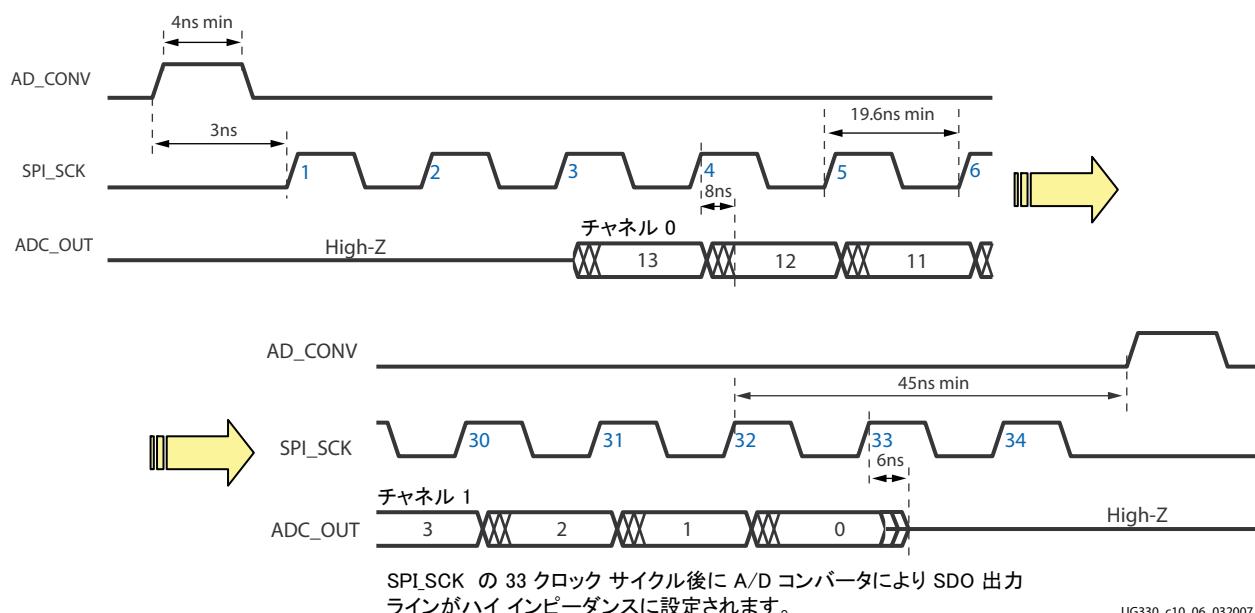


図 9-7 : ADC への SPI のタイミング

UCF ロケーション制約

図 9-8 に、アンプ インターフェイスの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "AD_CONV" LOC = "Y6" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 4 ;
NET "SPI_SCK" LOC = "AA20" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 12 ;
NET "AD_DOUT" LOC = "D16" | IOSTANDARD = LVTTTL ;
```

図 9-8 : ADC インターフェイスの UCF ロケーション制約

アナログ入力の接続

AC 信号は、DC ブロッキング キャパシタを介して VINA または VINB に接続します。

関連情報

詳細については、次のリンク先を参照してください。

- ザイリンクス PicoBlaze ソフト プロセッサ
<http://japan.xilinx.com/picoblaze>
- LTC6912 シリアルデジタルインターフェイスを備えたデュアルプログラマブル増幅アンプ
<http://www.linear-tech.co.jp/pc/downloadDocument.do?navId=H0,C1,C1154,C1009,C1121,P7596,D5359>
- LTC1407A-1 シャットダウン付きシリアル 14 ビット同時サンプリング ADC
<http://www.linear-tech.co.jp/pc/downloadDocument.do?navId=H0,C1,C1155,C1001,C1158,P2420,D1295>

DA コンバータ (DAC)

Spartan™-3A/3AN スタータ キット ボードには、SPI に準拠した 4 チャネルのシリアル DA コンバータ (DAC) が搭載されています。搭載されている DAC は、Linear Technology 社製 LTC2624 12 ビットの符号なしレゾリューション付きのクワッド DAC です。DAC からの 4 つの出力は、Digilent 社製 6 ピン ペリフェラル モジュール フォーマットを使用するヘッダ J21 にあります。DAC および ヘッダは、図 10-1 に示すように、イーサネット RJ-45 コネクタのすぐ下に配置されています。

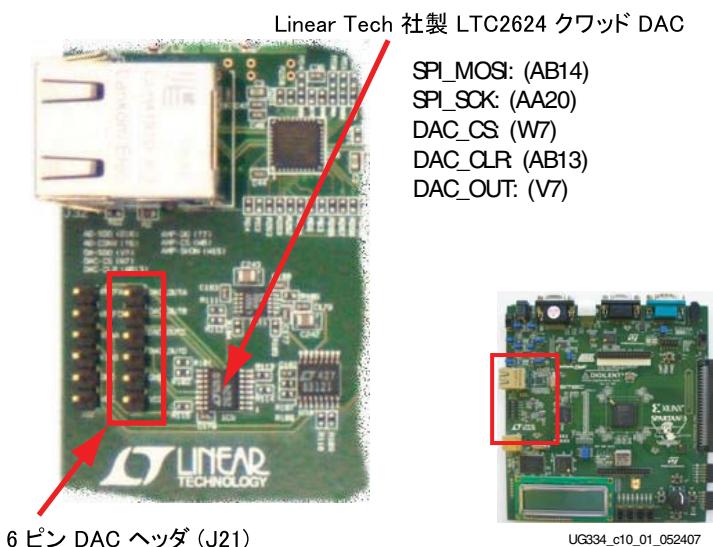


図 10-1 : DAC および関連ピンヘッダ (J21)

SPI 通信

図 10-2 に示すように、FPGA と DAC の 4 つのチャネルの間でデジタル値を通信する際には、SPI (シリアルペリフェラルインターフェイス) が使用されます。SPI バスは、単純な 4 ワイヤ インターフェイスを採用した、全二重の同期キャラクタ志向チャネルです。バス マスター (この例の場合は FPGA) によりクロック信号 (SPI_SCK) が駆動され、選択したバス スレーブ (この例の場合は DAC) にシリアルデータ (SPI_MOSI) が送信されます。同時に、バス スレーブからバス マスターにシリアルデータ (SPI_MISO) が戻されます。

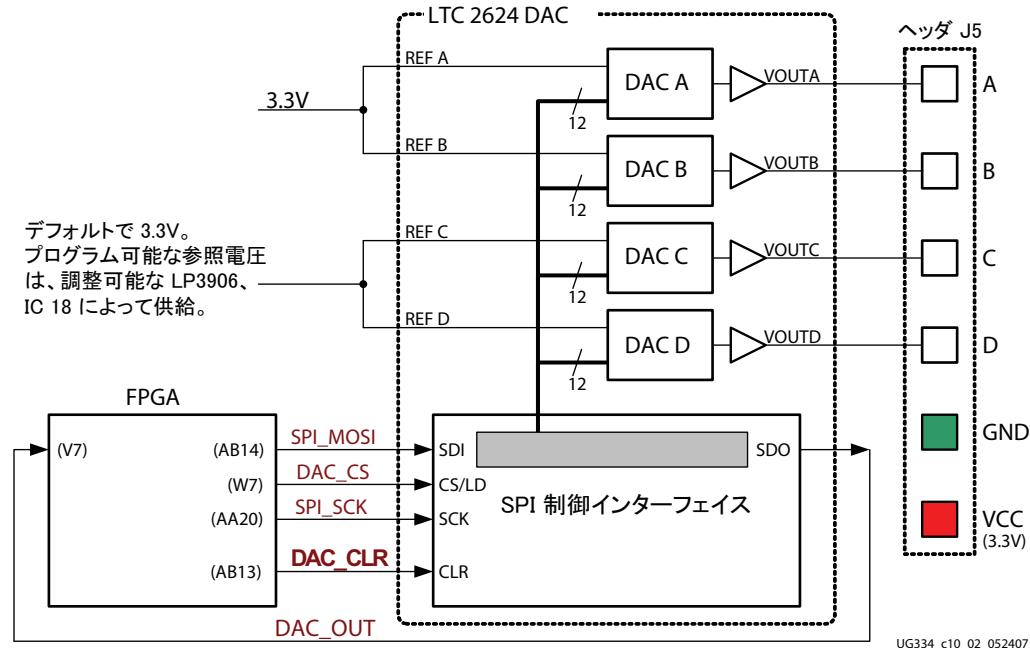


図 10-2 : DAC の接続

インターフェイス信号

表 10-1 に、FPGA と DAC の間のインターフェイス信号のリストを示します。SPI_MOSI、DAC_OUT、および SPI_SCK 信号は、SPI バス上のはかのデバイスと共有されます。DAC_CS 信号は、アクティブ Low のスレーブ セレクト信号です。DAC_CLR 信号は、アクティブ High の非同期リセットです。

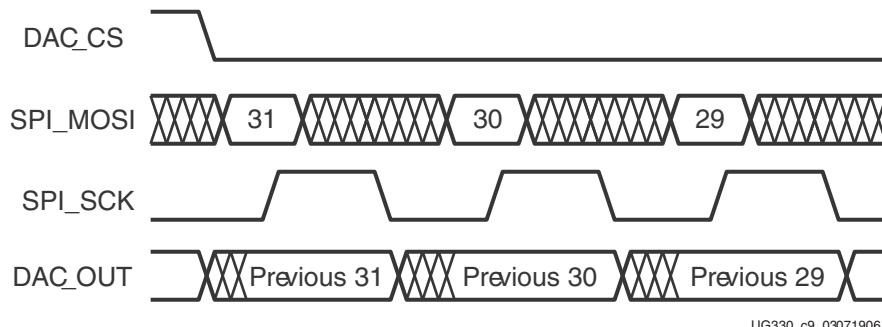
表 10-1 : DAC のインターフェイス信号

信号	FPGA ピン	方向	説明
SPI_MOSI	AB14	FPGA → DAC	シリアルデータ：マスタ出力、スレーブ入力
DAC_CS	W7	FPGA → DAC	アクティブ Low のチック セレクト。デジタルからアナログへの変換は、この信号が High になると開始します。
SPI_SCK	AA20	FPGA → DAC	クロック
DAC_CLR	AB13	FPGA → DAC	アクティブ Low の非同期リセット入力。
DAC_OUT	V7	FPGA ← DAC	DAC からのシリアルデータ

DAC からのシリアルデータ出力は、主に複数の DAC をカスケード接続するために使用します。この信号は SPI バスを使用した全二重通信で転送されていますが、ほとんどのアプリケーションでは無視しても問題ありません。

SPI 通信の詳細

図 10-3 に、SPI バスタイミングの例を示します。各ビットは、SPI_SCK クロック信号に同期して送受信されます。バスは完全にスタティックで、クロック レートは最大 50MHz です。最大スピード付近で動作させる場合は、LTC2624 のデータシートすべてのタイミング パラメータを確認してください。



UG330_c9_03071906

図 10-3 : SPI 通信のタイミング

DAC_CS スレーブ セレクト信号が Low にアサートされた後、SPI_MOSI 信号上のデータが MSB から送信されます。LTC2624 は、SPI_SCK の立ち上がりエッジで入力データ (SPI_MOSI) を取り込みます。データは、立ち上がりエッジの 4ns 前までに有効になっている必要があります。

SPI_SCK の立ち下がりエッジで DAC のデータが DAC_OUT 信号に出力されます。このデータは、FPGA により SPI_SCK の次の立ち上がりエッジで取り込まれます。DAC_OUT の最初の値は、DAC_CS が Low になってから最初の SPI_SCK の立ち上がりエッジで取り込まれる必要があります。これ以外の場合は、ビット 31 が欠落します。

32 個のデータビットがすべて転送されると、DAC_CS スレーブ セレクト信号が再び High になり、SPI バス トランザクションが完了します。この信号の立ち上がりエッジで、DAC 内でデジタルからアナログへの変換が開始します。

通信プロトコル

図 10-4 に、LTC2624 DAC とのインターフェイスに必要な通信プロトコルを示します。DAC では、24 ビットおよび 32 ビットのプロトコルがサポートされています。ここでは、32 ビットのプロトコルを示します。

DAC の内部では、SPI インターフェイスは 32 ビットのシフト レジスタで形成されています。各 32 ビット コマンド ワードは、コマンド、アドレス、データ値で構成されています。新しいコマンドが DAC に入力されると、その前の 32 ビット コマンド ワードがマスターにエコー バックされます。DAC からの応答は無視しても問題ありませんが、通信が正しく行われているかを確認するには有益です。

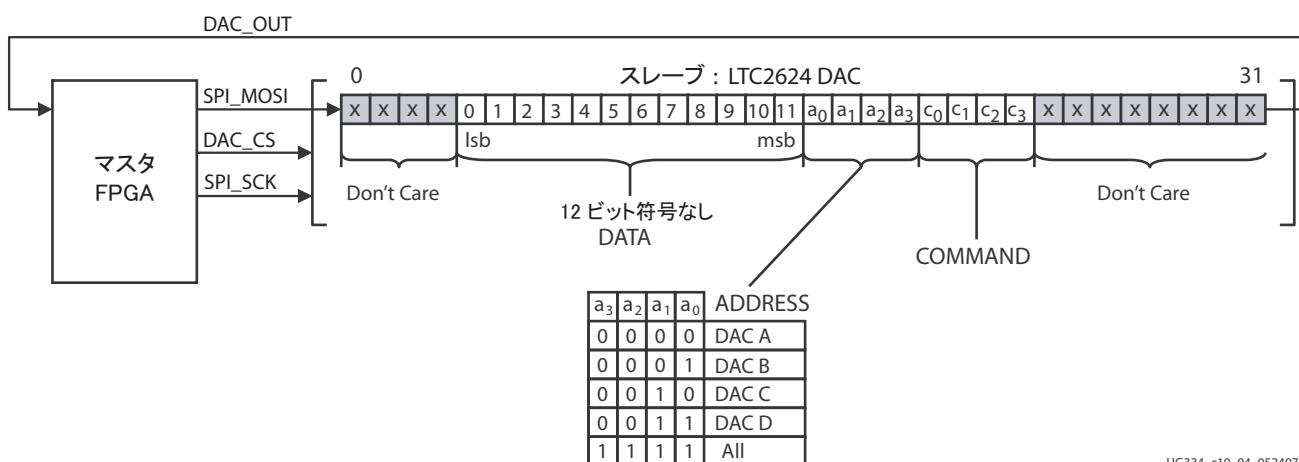


図 10-4 : LTC2624 DAC への SPI 通信プロトコル

FPGA は、まず 8 ビットのダミー(ドントケア)ビットを送信してから、4 ビット コマンドを送信します。一般的にボードでよく使用されるコマンドは COMMAND[3:0] = 0011 (2 進数) で、選択した DAC 出力が指定のデータ値に即アップデートされます。このコマンドの後、4 ビットのアドレスフィールドにより 1 つまたはすべての DAC 出力チャネルが選択されます。次に、12 ビットの符号なしデータ値が送信され、DAC によりアナログ値に変換され、選択された出力に送信されます。最後に、32 ビットコマンドワードを形成するよう 4 ビットのダミー(ドントケア)ビットが追加されます。

DAC 出力電圧の指定

図 10-2 に示すように、各 DAC 出力のレベルは、SPI インターフェイスを介して FPGA から DAC に書き込まれた 12 ビットの符号なしデジタル値 D[11:0] に対応するアナログ値です。

出力の電圧は、通常論理式 10-1 により表されます。4 つの DAC 出力の参照電圧 $V_{REFERENCE}$ は異なり、チャネル A および B では 3.3V、チャネル C および D では別個の参照電圧があり、IC18 と示される LP3906 レギュレータにより供給されます。通常の電圧値は、3.3V です。チャネル C および D の参照電圧は、144 ページの「I²C 電圧調整インターフェイス」に示すように変更できます。

参照電圧自体には ±5% の誤差があるので、出力電圧にもそれに応じた多少の変動があります。

$$V_{OUT} = \frac{D[11:0]}{4,096} \times V_{REFERENCE} \quad \text{論理式 10-1}$$

UCF ロケーション制約

図 10-5 に、DAC インターフェイスの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "SPI_MOSI" LOC = "AB14" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 4 ;
NET "SPI_SCK" LOC = "AA20" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 4 ;
NET "DAC_CS" LOC = "W7" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 4 ;
NET "DAC_CLR" LOC = "AB13" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 4 ;
NET "DAC_OUT" LOC = "V7" | IOSTANDARD = LVTTL ;
```

図 10-5 : DAC インターフェイスの UCF ロケーション制約

関連情報

詳細については、次のリンク先を参照してください。

- LTC2624 クワッド DAC のデータシート
<http://www.linear-tech.co.jp/pc/downloadDocument.do?navId=H0,C1,C1155,C1005,C1156,P2048,D2170>
- ザイリンクス PicoBlaze ソフトプロセッサ
<http://japan.xilinx.com/picoblaze>
- Digilent 社製ペリフェラル モジュール
<http://www.digilentinc.com/Products/Catalog.cfm?Nav1=Products&Nav2=Peripheral&Cat=Peripheral>

パラレル NOR フラッシュ PROM

図 11-1 に示すように、Spartan™-3A/3AN スタータ キット ボードには、32Mb (4MB) のパラレル NOR フラッシュ PROM が含まれています。

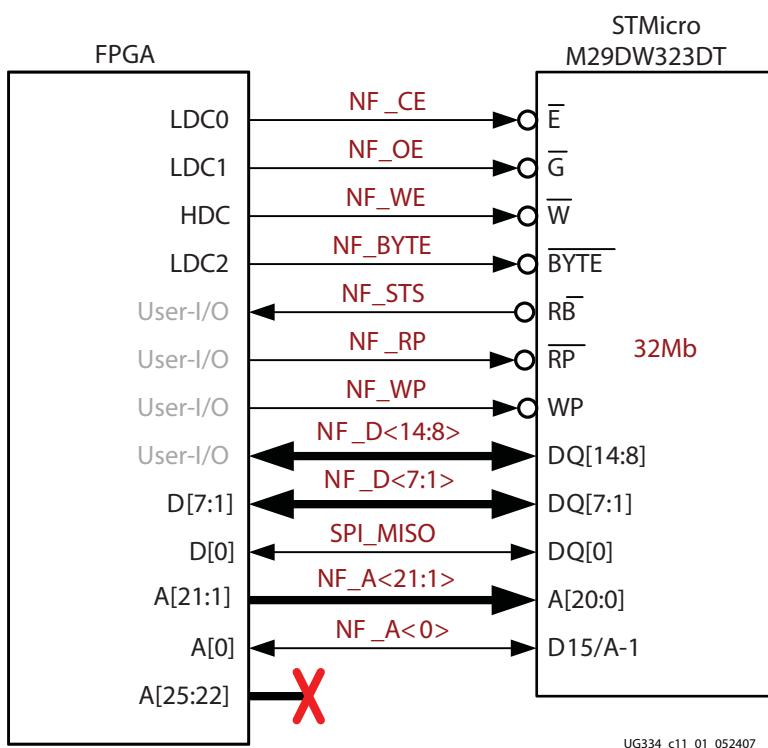


図 11-1 : 32Mb パラレル NOR フラッシュ メモリへの接続

パラレル NOR フラッシュ PROM には、次の機能があります。

- FPGA コンフィギュレーションを 1 つ格納
- 複数の異なる FPGA コンフィギュレーションを格納し、FPGA のマルチブート機能を使用してコンフィギュレーションイメージをダイナミックに切り替え可能
- MicroBlaze プロセッサ コードを格納し、直接実行
- MicroBlaze プロセッサ コードを格納し、実行する前にコードを DDR メモリにシャドウ可能
- FPGA アプリケーションの不揮発性ユーザー データを格納

フラッシュの接続

表 11-1 に、FPGA とフラッシュ メモリの接続を示します。

XC3S700A/AN FPGA は、1 つの未圧縮コンフィギュレーション イメージにつき 2Mb を少し上回るメモリしか必要としませんが、ボード上の FPGA からフラッシュへのインターフェイスでは、最大 256Mb のフラッシュがサポートされています。Spartan-3A/3AN スタータ キット ボードには、32Mb デバイスが含まれています。アドレス ライン SF_A<25:22> は、使用されません。

一般的にフラッシュ メモリ デバイスは、表 11-1 に示すように FPGA に接続し、BPI(バイト ペリフェラル インターフェイス)コンフィギュレーションをサポートします。

表 11-1 : FPGA からフラッシュへの接続

カテゴリ	NOR フラッシュの信号名	FPGA の ピン番号	デバイス
ア ド レ ス	NF_A25	G17	上位 4 つのフラッシュ アドレスは、ボードでは使用されません。ボードには、32Mb のパラレル NOR フラッシュ PROM のみが含まれます。
	NF_A24	G18	
	NF_A23	B21	
	NF_A22	B22	
	NF_A21	C21	
	NF_A20	C22	
	NF_A19	F21	
	NF_A18	F22	
	NF_A17	H20	
	NF_A16	H21	
	NF_A15	G22	
	NF_A14	H22	
	NF_A13	J20	
	NF_A12	J21	
	NF_A11	J22	
	NF_A10	K22	
	NF_A9	N17	
	NF_A8	N18	
	NF_A7	N19	
	NF_A6	N20	
	NF_A5	N21	
	NF_A4	N22	
	NF_A3	P18	
	NF_A2	R19	
	NF_A1	T18	
	NF_A0	T17	

表 11-1 : FPGA からフラッシュへの接続 (続き)

カテゴリ	NOR フラッシュの信号名	FPGA の ピン番号	デバイス
データ バス	NF_D15 (NF_A0)	T17	フラッシュが x16 データ用に設定されている (NF_BYT=High) ときの 16 ビット ハーフワードの上位 8 ビット。フラッシュには、専用 D15 ピンはありませんが、その代わりに最下位アドレス ピンとこの機能が共有されます。フラッシュメモリのコンポーネントでは、このピン名が D15/A-1 と記されており、FPGA の A0 アドレス ピンに接続されます。コンフィギュレーション後に FPGA アプリケーションで NF_BYT が High にアサートされる場合は、NF_A0 を使用して D15 信号を伝搬します。その他の上位のデータ ラインを FPGA のユーザー I/O に接続します。
	NF_D14	R21	
	NF_D13	T22	
	NF_D12	U22	
	NF_D11	U21	
	NF_D10	V22	
	NF_D9	W22	
	NF_D8	T20	
	NF_D7	Y9	
	NF_D6	AB9	
	NF_D5	Y11	
	NF_D4	AB11	
	NF_D3	U13	
	NF_D2	AA17	
	NF_D1	Y17	
	NF_D0 (SPI_MISO)	AB20	データ バイトおよび 16 ビット ハーフワードの ビット 0。FPGA の D0/DIN ピンに接続して、 BPI コンフィギュレーションをサポート。ほかの SPI ペリフェラルおよび プラットフォーム フラッシュ PROM と共有。

表 11-1 : FPGA からフラッシュへの接続 (続き)

カテゴリ	NOR フラッシュの信号名	FPGA の ピン番号	デバイス
制御	NF_BYTEn	Y21	アクティブ Low のフラッシュ バイト イネーブル。FPGA の LDC2 ピンに接続して、BPI コンフィギュレーションをサポート。 0 : x8 データ 1 : x16 データ
	NF_CE	W20	アクティブ Low のフラッシュ チップ イネーブル。FPGA の LDC0 ピンに接続して、BPI コンフィギュレーションをサポート。 0 : イネーブル 1 : ディスエーブル
	NF_OE	W19	アクティブ Low のフラッシュ チップ イネーブル。FPGA の LDC1 ピンに接続し、BPI コンフィギュレーションをサポート。 0: データ出力をイネーブルにして、フラッシュのデータを読み出します。 1 : ディスエーブル
	NF_RP	R22	アクティブ Low のフラッシュ リセット。FPGA のユーザー I/O ピンに接続。 0 : リセット 1 : フラッシュ アクティブ
	NF_STS	P22	フラッシュ ステータス信号。フラッシュからの FPGA オープンドレイン出力へのオプション入力。
	NF_WE	AA22	アクティブ Low のフラッシュ書き込みイネーブル。FPGA の HDC ピンに接続して、BPI コンフィギュレーションをサポート。 0 : フラッシュ データの書き込み動作をイネーブル 1 : ディスエーブル
	NF_WP	E14	アクティブ Low のハードウェア書き込み保護。FPGA のユーザー I/O ピンに接続。 0 : 外側 2 つのフラッシュ ブート ブロックをすべてのプログラムおよび消去操作から保護 1 : ハードウェアの保護をディスエーブル

SPI フラッシュおよびプラットフォーム フラッシュのデータ ラインの共有

フラッシュの最下位のデータ ライン NF_D<0> は、91 ページの表 11-2 に示すように、シリアル SPI シリアル フラッシュ PROM からのデータ出力信号およびプラットフォーム フラッシュ PROM からのシリアル出力で共有されます。競合を避けるには、FPGA アプリケーションでアクティブなデータ ソースを常に 1 つだけにします。

表 11-2 : SPI_MISO (NF_D<0>) データ ラインにおけるデバイスの競合

信号または ジャンパ	ディスエーブルにするデバイス	ディスエーブル値
ジャンパ J46 FPGA_INIT_B	プラットフォーム フラッシュ PROM	「ディスエーブル」または「コンフィギュレーション中イネーブル」に設定 (44 ページの表 4-2 を参照)。FPGA_INIT_B による影響はありません。
		「常にイネーブル」に設定した場合、FPGA_INIT_B を 1 にする必要があります。
SPI_SS_B	ジャンパ J1 で選択される SPI フラッシュ PROM (97 ページ の表 12-2 を参照)	1
ALT_SS_B	ジャンパ J1 で選択される SPI フラッシュ PROM (97 ページ の表 12-2 を参照)	1

UCF ロケーション制約

アドレス

図 11-2 に、フラッシュ アドレス ピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```

NET "NF_A<24>" LOC = "A11" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<23>" LOC = "N11" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<22>" LOC = "V12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<21>" LOC = "C21" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<20>" LOC = "C22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<19>" LOC = "F21" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<18>" LOC = "F22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<17>" LOC = "H20" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<16>" LOC = "H21" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<15>" LOC = "G22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<14>" LOC = "H22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<13>" LOC = "J20" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<12>" LOC = "J21" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<11>" LOC = "J22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<10>" LOC = "K22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<9>" LOC = "N17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<8>" LOC = "N18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<7>" LOC = "N19" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<6>" LOC = "N20" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<5>" LOC = "N21" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<4>" LOC = "N22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<3>" LOC = "P18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<2>" LOC = "R19" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<1>" LOC = "T18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_A<0>" LOC = "T17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
# Upper four address lines, NF_A<25:22>, are unconnected using a 32Mbit Flash
# They are available as user I/Os but do not connect to anything on the board
CONFIG PROHIBIT = B22;
CONFIG PROHIBIT = B21;
CONFIG PROHIBIT = G18;
CONFIG PROHIBIT = G17;

```

図 11-2 : フラッシュのアドレス信号の UCF ロケーション制約

データ

図 11-3 に、フラッシュのデータピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
# NET "NF_D<15>" --> use NF_A<0> on pin T17 when NF_BYTE = High
NET "NF_D<14>" LOC = "R21" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<13>" LOC = "T22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<12>" LOC = "U22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<11>" LOC = "U21" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<10>" LOC = "V22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<9>" LOC = "W22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<8>" LOC = "T20" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<7>" LOC = "Y9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<6>" LOC = "AB9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<5>" LOC = "Y11" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<4>" LOC = "AB11" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<3>" LOC = "U13" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<2>" LOC = "AA17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_D<1>" LOC = "Y17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SPI_MISO" LOC = "AB20" | IOSTANDARD = LVCMOS33 | DRIVE = 6 | SLEW = SLOW ;
```

図 11-3 : フラッシュのデータ I/O ピンの UCF ロケーション制約

制御

図 11-4 に、フラッシュの制御ピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "NF_BYTE" LOC = "Y21" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_CE" LOC = "W20" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_OE" LOC = "W19" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_RP" LOC = "R22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_STS" LOC = "P22" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "NF_WE" LOC = "AA22" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "NF_WP" LOC = "E14" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
```

図 11-4 : フラッシュの制御ピンの UCF ロケーション制約

FPGA モード セレクト ピンの設定

NOR フラッシュから FPGA をコンフィギュレーションするには、表 11-3 に示すように、FPGA のコンフィギュレーション モード ピンを BPI Up モードに設定します。Spartan-3A/3AN FPGA ファミリでは、Spartan-3E ファミリでは使用可能な BPI Down モードはサポートされていません。

また表 11-3 に示すように、ジャンパ J46 を取り外して、プラットフォーム フラッシュ PROM をディスエーブルにしてください。

表 11-3 : BPI-Up コンフィギュレーション モード (J26) の選択

コンフィギュレーション モード	モード ピン M2:M1:M0	フラッシュでの FPGA コンフィギュレーション イメージ	モード セレクト ジャンパ設定 (J26)	プラットフォーム フラッシュイネーブル (J46)
BPI Up	0:1:0	FPGA は アドレス 0 で開始し、アドレス空間の上限まで増分		

パラレル フラッシュのコンフィギュレーション イメージの作成およびプログラム

パラレル フラッシュに対する FPGA コンフィギュレーション イメージの作成およびフォーマット方法は、『Spartan-3 Generation Configuration User Guide』の「Master BPI Mode」の章を参照してください。

パラレル フラッシュ メモリをプログラムするには、関連のデザイン サンプルを参照してください。

- ユーザー ガイド UG332 : 『Spartan-3 Generation Configuration User Guide』
japan.xilinx.com/bvdocs/userguides/ug332.pdf
- デザインの例 : ST マイクロエレクトロニクス社製 M29DW323DT パラレル NOA フラッシュのプログラマ
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#parallel_flash_programmer

関連情報

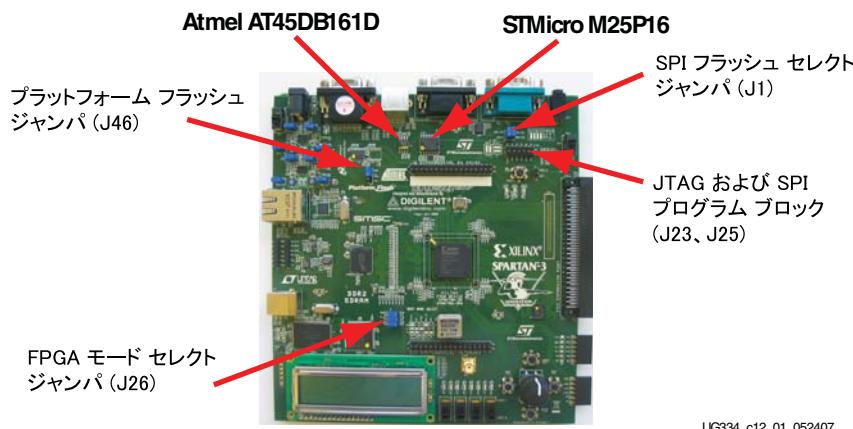
詳細については、次のリンク先を参照してください。

- ST マイクロエレクトロニクス社製 M29DW323DT 32Mb パラレル NOR フラッシュ PROM
<http://www.st.com/stoneline/products/literature/ds/8516/m29dw323dt.pdf>
- デザインの例 : ST マイクロエレクトロニクス社製 M29DW323DT パラレル NOA フラッシュのプログラマ
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#parallel_flash_programmer

SPI シリアル フラッシュ

Spartan™-3A/3AN スタータ キット ボードには、図 12-1 に示すように、異なる種類の SPI シリアル フラッシュが 2 つ含まれています。このうち 1 つのみが FPGA をコンフィギュレーションできます。ただし、コンフィギュレーションの完了後には、FPGA アプリケーションから両方の PROM にアクセスしてデータを格納したりフラッシュをアップデートしたりできます。

- STマイクロエレクトロニクス社製の [M25P16](#) 16Mb SPI シリアル フラッシュ PROM
- Atmel 社製 [AT45DB161D](#) 16Mb SPI シリアル DataFlash PROM



UG334_c12_01_052407

図 12-1 : SPI シリアル フラッシュ PROM および関連ジャンパ

SPI シリアル フラッシュは、さまざまなアプリケーションで役に立ちます。このフラッシュを使用して、FPGA をコンフィギュレーションできます。これは、Spartan-3E および Spartan-3A/3AN FPGA の新機能です。SPI フラッシュは、FPGA のコンフィギュレーション後、次のような目的で使用できます。

- 単純な不揮発データの格納
- 識別コード、シリアル番号、IP アドレスなどの格納
- MicroBlaze プロセッサ コードの格納。MicroBlaze プロセッサ コードは、DDR SDRAM に シャドウ可能。

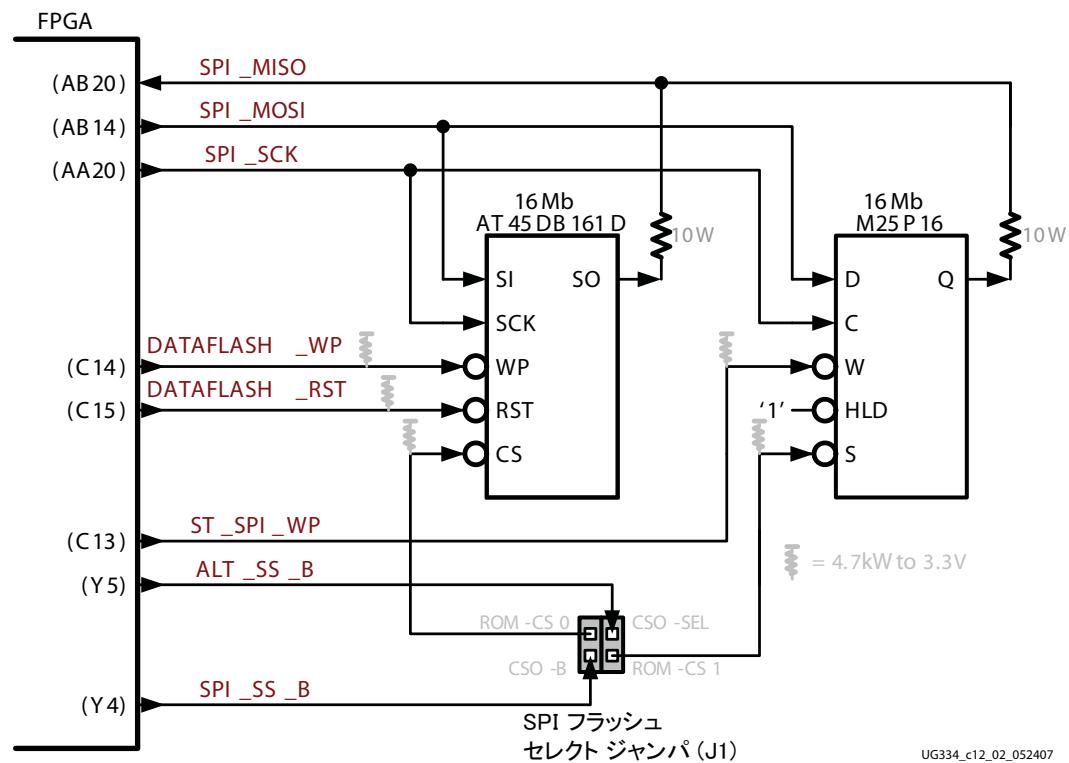


図 12-2: SPI シリアル フラッシュのインターフェイス

表 12-1: SPI フラッシュ PROM のインターフェイス信号

信号	FPGA ピン	方向	説明
SPI_MISO	AB20	FPGA ← PROM	シリアル データ：マスタ入力、スレーブ出力
SPI_MOSI	AB14	FPGA → PROM	シリアル データ：マスタ出力、スレーブ入力
SPI_SCK	AA20	FPGA → PROM	クロック。コンフィギュレーション中トグルします。コンフィギュレーション後はユーザー I/O として使用します。
SPI_SS_B	Y4	FPGA → PROM	非同期、アクティブ Low のスレーブ セレクト信号。SPI フラッシュコンフィギュレーションモード中に Low に駆動されます。コンフィギュレーション後はユーザー I/O として使用します。使用しない場合は、High に駆動します。選択した 97 ページの「SPI フラッシュ PROM のセレクト ジャンパ (J1)」 の設定に導きます。
ALT_SS_B	Y5	FPGA → PROM	非同期、アクティブ Low のセカンド スレーブ セレクト信号。コンフィギュレーション中 High になります。コンフィギュレーション後はユーザー I/O として使用します。使用しない場合は、High に駆動します。選択した 97 ページの「SPI フラッシュ PROM のセレクト ジャンパ (J1)」 の設定に導きます。
DATAFLASH_WP	C14	FPGA → PROM	Atmel 社製 AT45DB161D PROM への書き込み保護入力。PROM をプログラムするには、High にする必要があります。外部 4.7Ω プルアップ抵抗が付いています。

表 12-1 : SPI フラッシュ PROM のインターフェイス信号 (続き)

信号	FPGA ピン	方向	説明
DATAFLASH_RST	C15	FPGA → PROM	Atmel 社製 AT45DB161D PROM へのリセット入力。PROM で読み出し、プログラム、またはリセットを実行するには、High にする必要があります。外部 4.7Ω プルアップ抵抗が付いています。
ST_SPI_WP	C13	FPGA → PROM	ST マイクロエレクトロニクス社製 M25P16 PROM への書き込み保護入力。PROM をプログラムするには、High にする必要があります。外部 4.7Ω プルアップ抵抗が付いています。

SPI フラッシュ PROM のセレクト ジャンパ (J1)

図 12-1 に示すように、J1 ジャンパ ブロックでは、マスタ SPI モードのコンフィギュレーションのときに FPGA に接続する SPI フラッシュ PROM およびオプションでセカンド SPI スレーブ セレクト信号を介する SPI フラッシュ PROM を定義します。

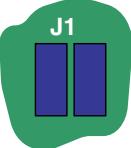
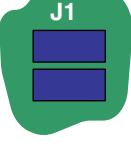
表 12-2 には、FPGA の CSO_B 信号がマスタ SPI コンフィギュレーション モードのときに、どのように SPI フラッシュ PROM の 1 つに導かれるかが示されています。ジャンパは、競合を避けるように設計されています。

- 両方のジャンパが縦方向に挿入されている場合、FPGA は Atmel 社製 SPI フラッシュ PROM からコンフィギュレーションされます。コンフィギュレーションが完了すると、FPGA アプリケーションでは SPI_SS_B 信号を使用して Atmel 社製 PROM が、ALT_SS_B 信号を使用して ST マイクロエレクトロニクス社製 PROM が選択されます。
- 両方のジャンパが水平方向に挿入されている場合、FPGA は ST マイクロエレクトロニクス社製 SPI フラッシュ PROM からコンフィギュレーションされます。コンフィギュレーションが完了すると、FPGA アプリケーションでは SPI_SS_B 信号を使用して Atmel 社製 PROM が、ALT_SS_B 信号を使用して ST マイクロエレクトロニクス社製 PROM が選択されます。

表 12-2 : SPI フラッシュ PROM のセレクト ジャンパ設定

ジャンパ J1 設定	SPI モード コンフィギュレーション ソース	コンフィギュレーション後	
		Atmel 社製 AT45DB161D スレーブ セレクト信号	ST マイクロエレクトロニクス社製 M25P16 スレーブ セレクト信号
	Atmel 社製 AT45DB161D	SPI_SS_B (Y4)	なし
	ST マイクロエレクトロニクス社製 M25P16	なし	SPI_SS_B (Y4)

表 12-2 : SPI フラッシュ PROM のセレクト ジャンパ設定 (続き)

ジャンパ J1 設定	SPI モード コンフィギュレーション ソース	コンフィギュレーション後	
		Atmel 社製 AT45DB161D スレーブ セレクト信号	ST マイクロエレクトロニクス社製 M25P16 スレーブ セレクト信号
	Atmel 社製 AT45DB161D	SPI_SS_B (Y4)	ALT_SS_B (Y5)
	ST マイクロエレクトロニクス社製 M25P16	ALT_SS_B (Y5)	SPI_SS_B (Y4)
	なし	なし	なし

SPI フラッシュおよびプラットフォーム フラッシュのデータ ラインの共有

2つの SPI フラッシュ PROM からの SPI_MISO 信号は、表 12-3 に示すように、パラレル NOR フラッシュ PROM のデータ出力信号およびプラットフォーム フラッシュ PROM のシリアル出力と共有されます。競合を避けるには、FPGA アプリケーションでアクティブなデータ ソースを常に 1つだけにします。

表 12-3 : SPI_MISO (NF_D<0>) データ ラインにおけるデバイスの競合

信号または ジャンパ	ディスエーブルにするデバイス	ディスエーブル値
ジャンパ J46 FPGA_INIT_B	プラットフォーム フラッシュ PROM	「ディスエーブル」または「コンフィギュレーション中イネーブル」に設定 (44 ページの表 4-2 を参照)。FPGA_INIT_B による影響はありません。
		「常にイネーブル」に設定した場合、FPGA_INIT_B を 1 にする必要があります。
SPI_SS_B	ジャンパ J1 で選択される SPI フラッシュ PROM (97 ページの表 12-2 を参照)	1

表 12-3 : SPI_MISO (NF_D<0>) データ ラインにおけるデバイスの競合 (続き)

信号または ジャンパ	ディスエーブルにするデバイス	ディスエーブル値
ALT_SS_B	ジャンパ J1 で選択される SPI フラッシュ PROM (97 ページの表 12-2 を参照)	1
NF_CE	パラレル フラッシュ PROM	NF_CE = 1 または NF_OE = 1
NF_OE		

選択した SPI フラッシュ PROM から FPGA をコンフィギュレーションするためのジャンパ設定

FPGA を選択した外部 SPI フラッシュ PROM から正しくコンフィギュレーションするには、次のように該当するジャンパを設定します。

- 表 12-4 に示すように、ジャンパ J26 を使用して FPGA コンフィギュレーション モードを設定します。
- 表 12-4 に示すように、ジャンパ J46 を使用してプラットフォーム フラッシュ PROM をディスエーブルにします。

表 12-4 : マスタ SPI モード (J26、J46) のコンフィギュレーション モード ジャンパ設定

コンフィギュレーション モード	モード ピン M2:M1:M0	ジャンパ J26 の設定	プラットフォーム フラッシュイネーブル (J46)
マスタ SPI	0:0:1		

- 表 12-2 に示すように、SPI シリアル フラッシュ PROM の 1 つを SPI コンフィギュレーション ソースとして選択します。

UCF ロケーション制約

図 12-3 に、SPI シリアル フラッシュ PROM の I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
# some connections shared with SPI Flash, DAC, ADC, and AMP
NET "SPI_MISO" LOC = "AB20" | IOSTANDARD = LVTTTL ;
NET "SPI莫斯I" LOC = "AB14" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 4 ;
NET "SPI_SCK" LOC = "AA20" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 12 ;
NET "SPI_SS_B" LOC = "Y4" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 4 ;
NET "ALT_SS_B" LOC = "Y5" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 4 ;

# write-protect and reset controls for Atmel AT45DB161D PROM
NET "DATAFLASH_WP" LOC = "C14" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 4 ;
NET "DATAFLASH_RST" LOC = "C15" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 4 ;

# write-protect control for ST M25P16 PROM
NET "ST_SPI_WP" LOC = "C13" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 4 ;
```

図 12-3 : SPI フラッシュ接続の UCF ロケーション制約

SPI シリアル フラッシュのコンフィギュレーションイメージの作成およびプログラム

SPI シリアル フラッシュの FPGA コンフィギュレーションイメージの作成およびフォーマット方法、およびザイリンクス iMPACT ソフトウェアを使用した SPI フラッシュのプログラム方法の詳細は、『Spartan-3 Generation Configuration User Guide』の「Master SPI Mode」の章を参照してください。

- ユーザー ガイド UG332 : 『Spartan-3 Generation Configuration User Guide』
japan.xilinx.com/bvdocs/userguides/ug332.pdf

SPI フラッシュ PROM のプログラム オプション

ISE™ 9.1i サービス パック 2 以降の iMPACT プログラム ソフトウェアでは、表 12-5 に示すように、接続されている SPI フラッシュ PROM のプログラム方法が 2 つサポートされています。

直接プログラムする場合、プログラム ケーブルは SPI フラッシュ PROM と直接通信できます。FPGA はプログラム プロセスには関与せず、PROM に接続されている FPGA の I/O ピンはプログラム中ハイ インピーダンス (Hi-Z) ステートにする必要があります。I/O をハイ インピーダンスにするには、ジャンパ J16 を使用して FPGA の PROG_B 入力を Low にします。FPGA の DONE ピンは Low のままになります。

間接的にプログラムする場合、プログラム ケーブルを FPGA の JTAG ポートに接続します。iMPACT ソフトウェアでは、SPI PROM プログラムを実行する特別なデザインを使用して FPGA がプログラムされます。このとき JTAG インターフェイスがシリアル通信ポートとして使用されます。このプロセス中、FPGA の DONE 出力は High で、FPGA がプログラム ロジックを使用してコンフィギュレーションされると DONE LED が点灯します。SPI フラッシュ PROM または JTAG インターフェイスに接続されていないピンにはすべて、そのピンに関連する VCCO 電源への内部 プルアップ抵抗が付いています。

表 12-5 : SPI フラッシュ PROM のプログラム オプションのサマリ

	直接プログラムする場合	間接的にプログラムする場合
必要な ISE のバージョン	ISE 9.1i 以降	ISE 9.1i サービス パック 2 以降
インターフェイス/ケーブル接続	SPI PROM に直接接続	FPGA の JTAG ポートに接続
プログラム中の DONE ピンのステータス	Low	High (FPGA は特殊なプログラム デザインでコンフィギュレーションされます。)
必要な PROG_B 制御	PROG_B = Low	なし
プログラム中の SPI ピン以外のピンのステータス	PROG_B = Low によりハイ インピーダンス	High (関連 VCCO 供給入力への内部 プルアップ抵抗を使用)

直接プログラムする場合

iMPACT ソフトウェアでは、SPI シリアル フラッシュを直接プログラムできます。Spartan-3A/3AN スタータ キット ボードでは、ボード上のエンベデッド USB JTAG プログラマを使用した直接プログラムが主にサポートされていますが、オプションで別のプログラム ケーブルを使用しても SPI フラッシュをプログラムできます。

エンベデッド USB JTAG プログラマの使用

次の手順に従い、ボード上のエンベデッド USB JTAG プログラマを使用してダイレクト SPI フラッシュ プログラムを実行します。

1. ボードの電源をはずします。
2. ボードと PC 間に USB ケーブルを接続するか、または [102 ページの「別個の JTAG パラレル プログラム ケーブルの使用 \(オプション\)」](#) に示すように JTAG ケーブルを接続します。
3. [図 12-1](#) を参照にして、J1、J23、および J25 ジャンパの位置を確認します。また、[図 12-4](#) も参照してください。

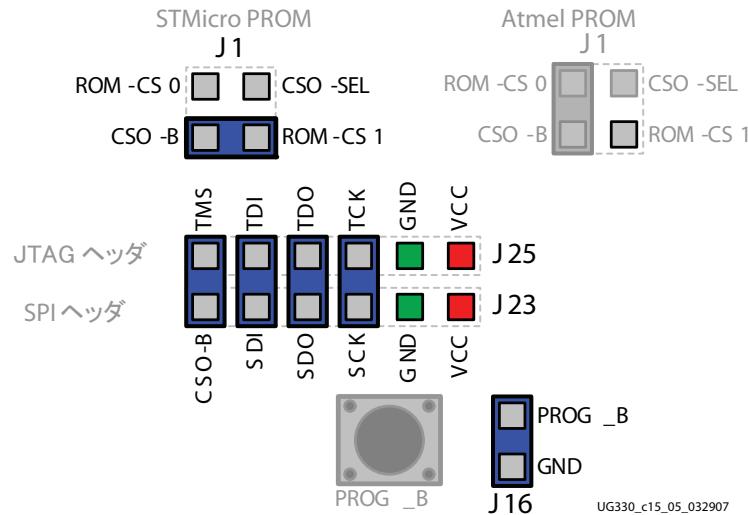


図 12-4 : ダイレクト SPI フラッシュ プログラムのジャンパ設定

4. 図 12-4 に示すように、ジャンパブロック J1 にジャンパを挿入します。この図には、ST マイクロエレクトロニクス社製 M25P16 PROM のプログラム設定が示されています。または、Atmel 社製 AT45DB161D DataFlash PROM をプログラムするようにジャンパを設定します。
5. 図 12-4 に示すように、ジャンパブロック J25 と J23 の間にジャンパを 4 個挿入します。これらのジャンパは、J23 ジャンパピンを介して、J25 ジャンパピンに接続されているエンベデッド USB JTAG プログラマを SPI PROM に接続します。
6. 表 12-4 に示すように、ジャンパ J26 を使用して、FPGA モード セレクト ピンをマスタ SPI モードに設定します。J26 ジャンパの位置は、図 12-1 に示されています。
7. 図 12-1 および表 12-4 に示すように、ジャンパ J46 を取りはずしてプラットフォーム フラッシュ PROM をディスエーブルにします。
8. 直接プログラムする場合は、FPGA の PROG_B ピンを Low に保持する必要があります。図 12-4 に示すように、ジャンパブロック J16 にジャンパを挿入します。これにより、FPGA の I/O がすべてトライステートの状態になり、JTAG プログラマが SPI PROM にアクセスできるようになります。
9. ボードの電源を入れます。

別個の JTAG パラレル プログラム ケーブルの使用 (オプション)

エンベデッド USB JTAG プログラマの使用は、推薦されるプログラム方法です。J23 および J25 ヘッダ間にジャンパを挿入することで、エンベデッド USB プログラマが直接 SPI フラッシュ PROM と通信できます。ただし、次のプログラム ケーブルを使用しても SPI フラッシュ PROM に直接通信できます。

- [ザイリンクス パラレル ケーブル IV](#) (フライング リード付き)
- [Digilent 社製 JTAG3 または JTAG-USB](#) プログラム ケーブル

図 12-5 に示すように、J23 ヘッダ ブロックに直接ケーブルを接続します。これらのケーブルは、Spartan-3A/3AN スタータ キット ボードには付属していませんが、別個に購入できます。

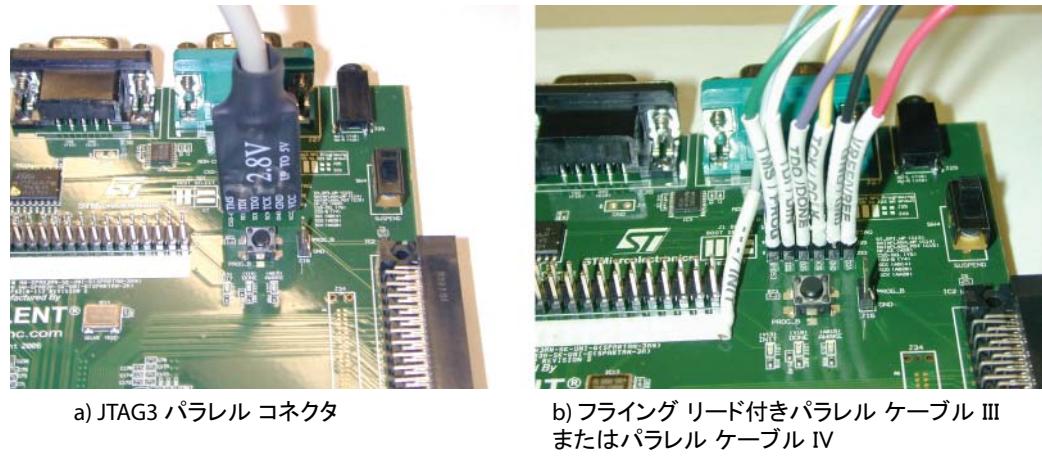


図 12-5 : JTAG パラレル プログラム ケーブルのボードへの接続

まず、スタータ キット ボードの電源を切ります。

USB ケーブルがボードに接続されている場合は、ボードからはずします。USB ケーブルとパラレル ケーブルを同時に PC に接続すると、iMPACT ソフトウェアで正しく識別されません。

JTAG パラレル プログラム ケーブルの一端を PC のパラレル プリンタ ポートに接続します。

図 12-5a に示すように、もう一方の終端をヘッダ J23 に接続します。J23 ヘッダは、JTAG チェーンには接続されずに、直接 SPI フラッシュ ピンに接続されます。

JTAG3 ケーブルをヘッダ J23 に直接接続します。JTAG3 ケーブルのラベルは、J11 ジャンパ側に向けます。フライング リードを使用する場合は、図 12-5b および表 12-6 に示すように接続します。リードの色分けに注意してください。グレーの INIT リードは接続されません。

表 12-6 : J23 へのケーブル接続

ケーブルとラベル	接続					
J23 ヘッダ ラベル	SEL	SDI	SDO	SCK	GND	VCC
JTAG3 ケーブル ラベル	TMS	TDI	TDO	TCK	GND	VCC
フライング リード ラベル	TMS/ PROG	TDI/ DIN	TDO/ DONE	TCK/ CCLK	GND/ GND	VREF/ VREF

iMPACT を使用した SPI フラッシュの直接プログラム

次に、iMPACT ソフトウェアとザイリンクス プログラム ケーブルを使用して SPI PROM をプログラムする手順を示します。

1. 図 12-6 に示すように、iMPACT で [Direct SPI Configuration] をクリックします。

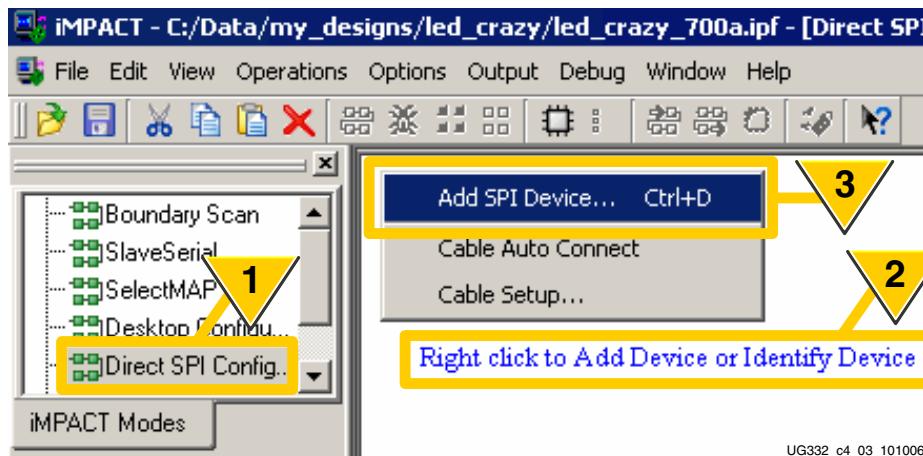


図 12-6 : iMPACT でサポートされる SPI シリアル フラッシュ メモリの直接プログラム

2. 図の 2 に示すエリアを右クリックします。
3. [Add SPI Device] をクリックします。
4. 図 12-7 に示すように、フォーマット済みの PROM ファイルを選択します。

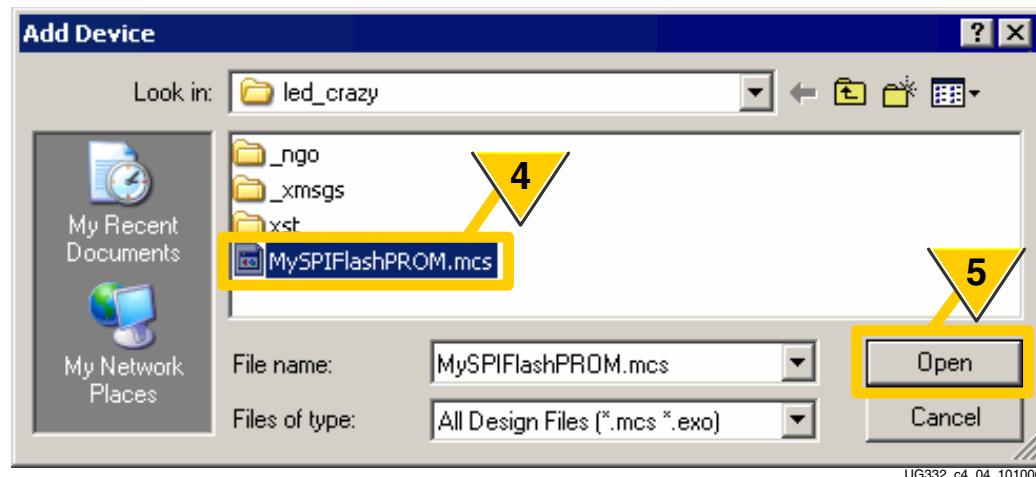


図 12-7 : あらかじめフォーマットされた PROM ファイルの選択

5. [Open] をクリックします。
6. 図 12-8 に示すように、[Part Name] でサポートされる SPI シリアル フラッシュを選択します。

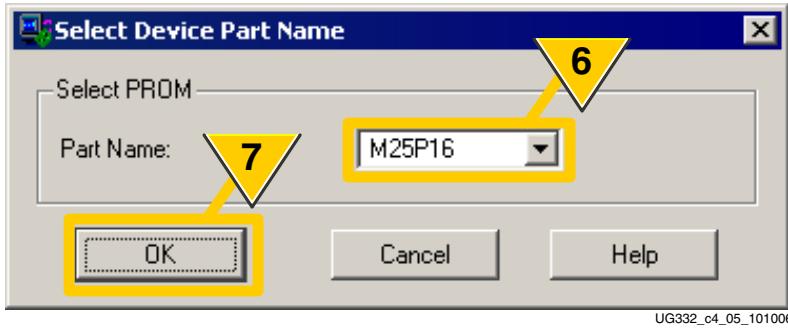


図 12-8 : サポートされる SPI フラッシュ メモリ デバッグの選択

7. [OK] をクリックします。
8. 図 12-9 に示すように、選択した SPI フラッシュ PROM が iMPACT ソフトウェアの画面に表示されます。

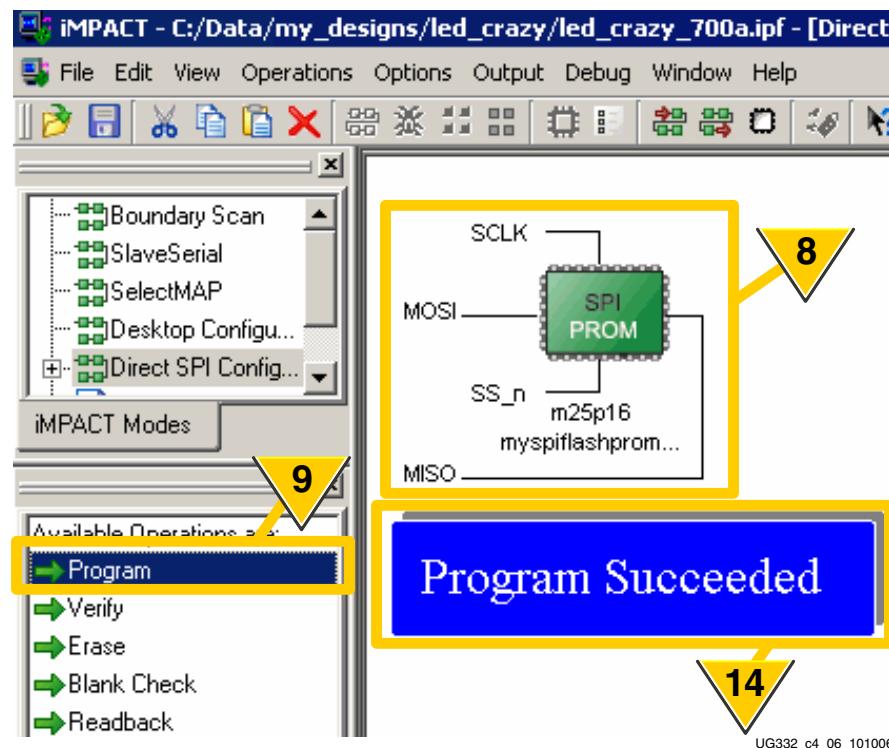


図 12-9 : SPI フラッシュ PROM の直接プログラム

9. [Program] をクリックします。

メモ : プログラムは、ステップ 14 で完了します。

10. 図 12-10 に示すように、[Programming Properties] ダイアログ ボックスの [Category] で [Programming Properties] をクリックします。

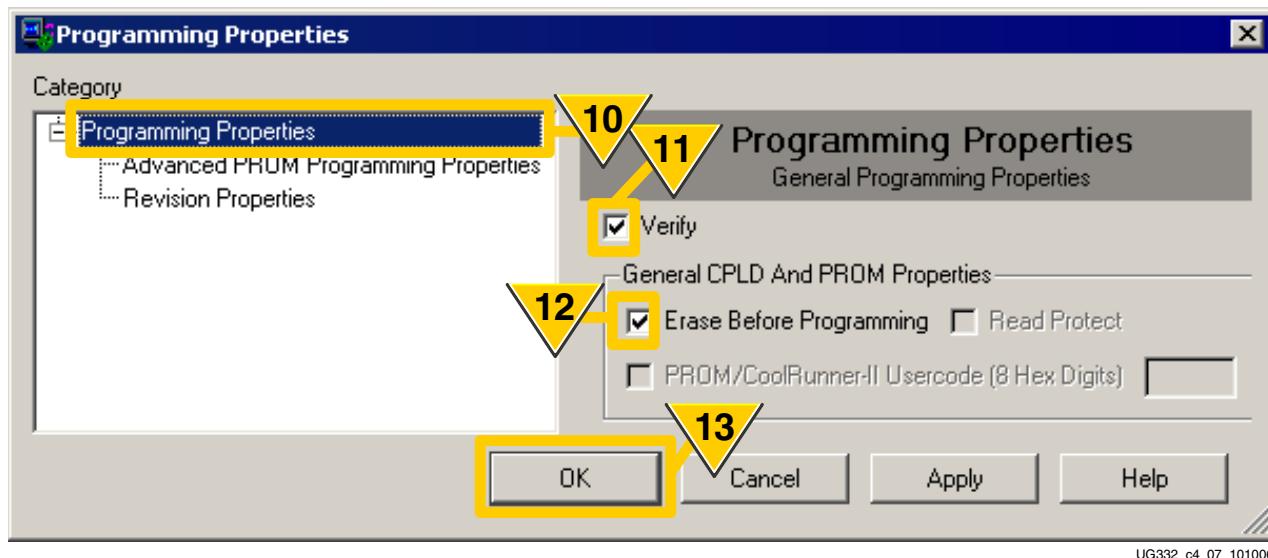


図 12-10 : SPI フラッシュ PROM のプログラム オプション

11. [Verify] をクリックします。このチェックボックスをオフにすると、プログラム時間を短縮できますが、iMPACT ソフトウェアでは検証済みの PROM でのみ正常なプログラムが保証されます。
 12. [Erase Before Programming] をクリックします。このオプションをオフにすると、プログラム時間を短縮できますが、新しい FPGA ビットストリームをダウンロードする前に PROM の中身を消去することを推奨します。
 13. [OK] をクリックします。
 14. 図 12-9 に示すように、iMPACT ソフトウェアに正しくプログラムが完了したことを示すメッセージが示されます。
- プログラムの完了後には、次を実行します。
15. ボードの電源を切ります。
 16. ジャンパ J16 を取りはずして、FPGA の PROG_B ピンを解放します。
 17. ジャンパ ブロック J23 および J25 を接続しているジャンパ 4 個を取りはずします。
 18. 電源を再投入します。

間接的にプログラムする場合

ザイリンクス ISE 9.1i サービス パック 2 以降では、間接的なプログラムがサポートされています。このモードでは、iMPACT ソフトウェアにより FPGA の JTAG ポートを介して FPGA に接続されているメモリをプログラムします。

プログラム プロセス中は、FPGA は特殊なプログラム アプリケーションでコンフィギュレーションされます。この結果、FPGA の DONE ピンは High になり、プログラム中 DONE LED は点灯したままになります。

メモ : LCD 画面に表示される情報は、プログラム中変更されません。

プログラムは正しく完了しているにも関わらず DONE ピンが High にならない場合は、モード ピンの設定を確認してください。

ジャンパ設定

間接的に SPI PROM をプログラムするには、ボードを次のように設定します。

1. ボードの電源をはずします。
2. 図 12-4 に示すように、ジャンパブロック J1 にジャンパを挿入します。この図には、ST マイクロエレクトロニクス社製 M25P16 PROM のプログラム設定が示されています。または、Atmel 社製 AT45DB161D DataFlash PROM をプログラムするようにジャンパを設定します。
3. 表 12-4 に示すように、ジャンパ J26 を使用して、FPGA モード セレクト ピンをマスタ SPI モードに設定します。J26 ジャンパの位置は、図 12-1 に示されています。
4. 図 12-1 および表 12-4 に示すように、ジャンパ J46 を取りはずしてプラットフォーム フラッシュ PROM をディスエーブルにします。
5. PROG_B ピンは、このモードのプログラムでは使用されません。ジャンパ J16 が取りはずされていること (PROG_B がフロートしていること) を確認してください。
6. 付属の USB ケーブルを使用して、スタート キット ボードと iMPACT を起動している PC を接続します。
7. ボードの電源を入れます。

iMPACT を使用した SPI フラッシュの間接的プログラム

iMPACT ソフトウェアを使用して SPI PROM を間接的にプログラムするには、次の手順に従います。

1. 図 12-11 に示すように、iMPACT を起動して、[Configure devices using Boundary Scan (JTAG)] をクリックします。

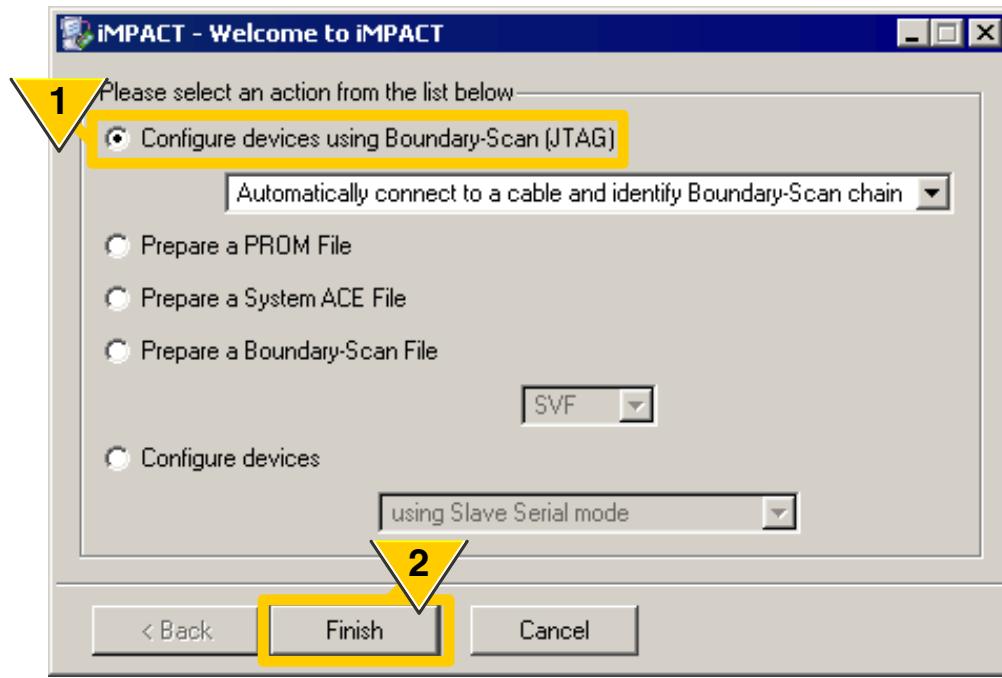


図 12-11 : JTAG を使用した間接的プログラム

2. [Finish] をクリックします。

3. 図 12-12 に示すように、FPGA をプログラムするビットストリーム ファイル (*.bit) を選択します。この手順は不要ですが、iMPACT 9.1i で必要です。この手順は、iMPACT 9.2i では取り除かれる予定です。このファイルは、特殊な FPGA ベースの SPI プログラム アプリケーションではありません。

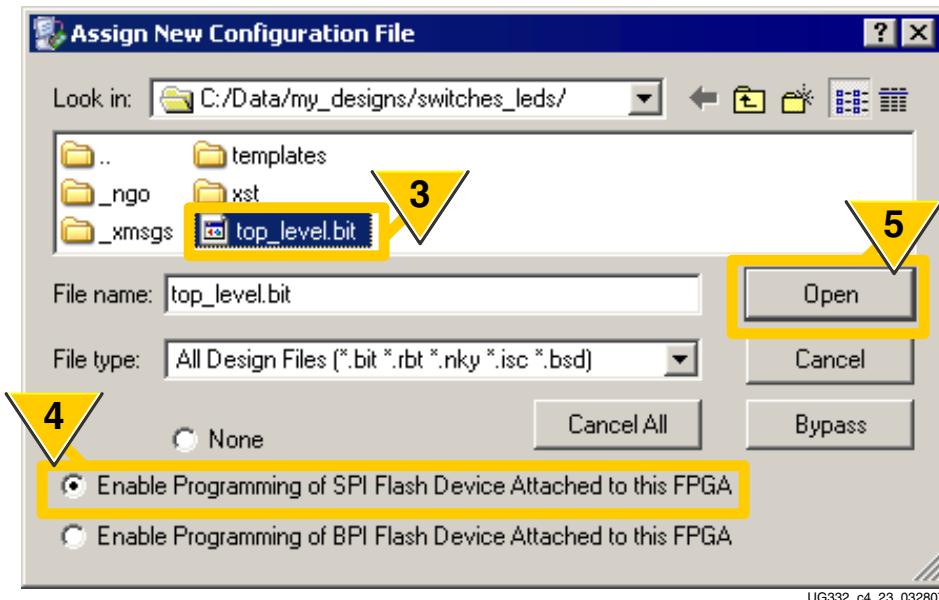


図 12-12 : FPGA ビットストリーム ファイルの選択および SPI プログラムの使用

4. [Enable Programming of SPI Flash Device Attached to this FPGA] をクリックします。
5. [開く] をクリックします。
6. iMPACT ソフトウェアでは、スタートアップ クロックのソースを JTAG クロック ピン TCK に変更したことが警告メッセージとして表示されます。SPI フラッシュのイメージには、影響ありません。この警告メッセージは、安全に無視できます。

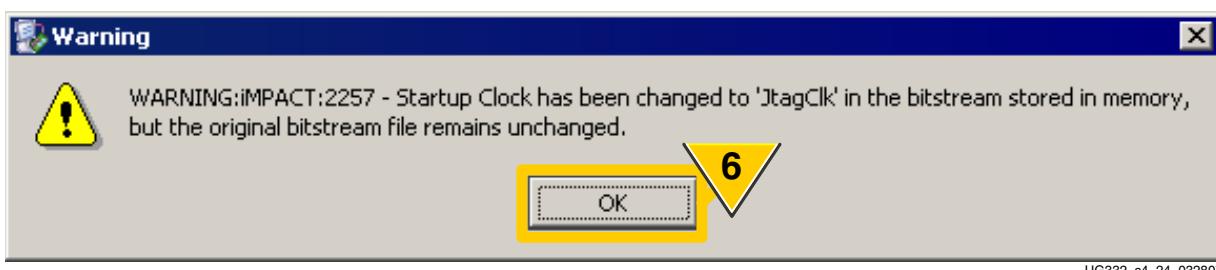


図 12-13 : JTAG を介してプログラムするときにスタートアップ クロックに JTAG クロック入力の TCK を使用

7. 図 12-14 に示すように、SPI フラッシュ PROM のプログラム ファイルを選択します。

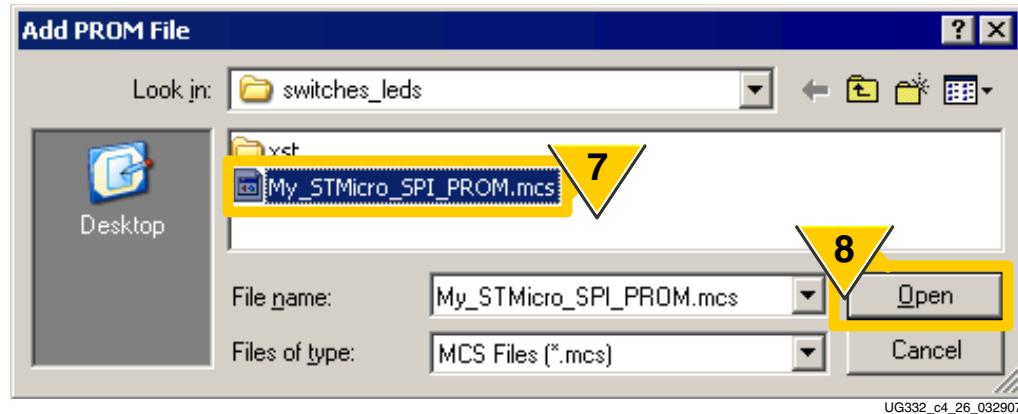


図 12-14 : SPI フラッシュ PROM のプログラム ファイルの選択

8. [開く] をクリックします。

9. 図 12-15 に示すように、SPI フラッシュ PROM のパート番号を選択します。

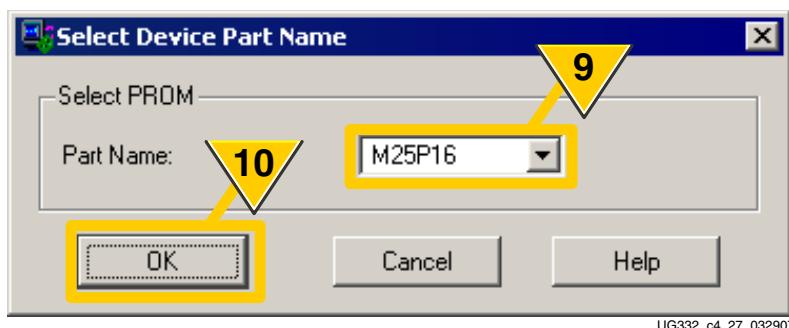


図 12-15 : SPI フラッシュ PROM タイプの選択

10. [OK] をクリックします。

11. 図 12-16 に示すように、プラットフォーム フラッシュ PROM のプログラム ファイルを選択するダイアログ ボックスでは、[Bypass] をクリックします。

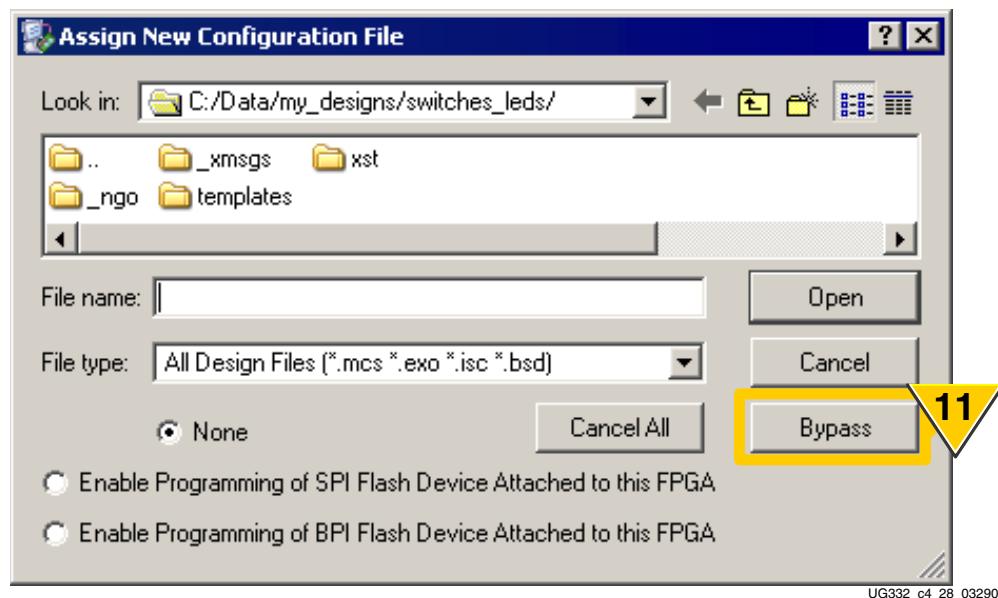


図 12-16 : プラットフォーム フラッシュ PROM のバイパス

12. 図 12-17 に示すように、iMPACT ソフトウェアの画面に XC3S700A Spartan-3A FPGA の後ろに XCF04S プラットフォーム フラッシュ PROM が接続された JTAG チェーンが表示されます。XC3S700AN Spartan-3AN FPGA でも同様な画面が表示されます。XC3S700A FPGA に接続されている [FLASH] メモリをハイライトします。これにより、手順 13 で示すコマンドオプションがイネーブルになります。

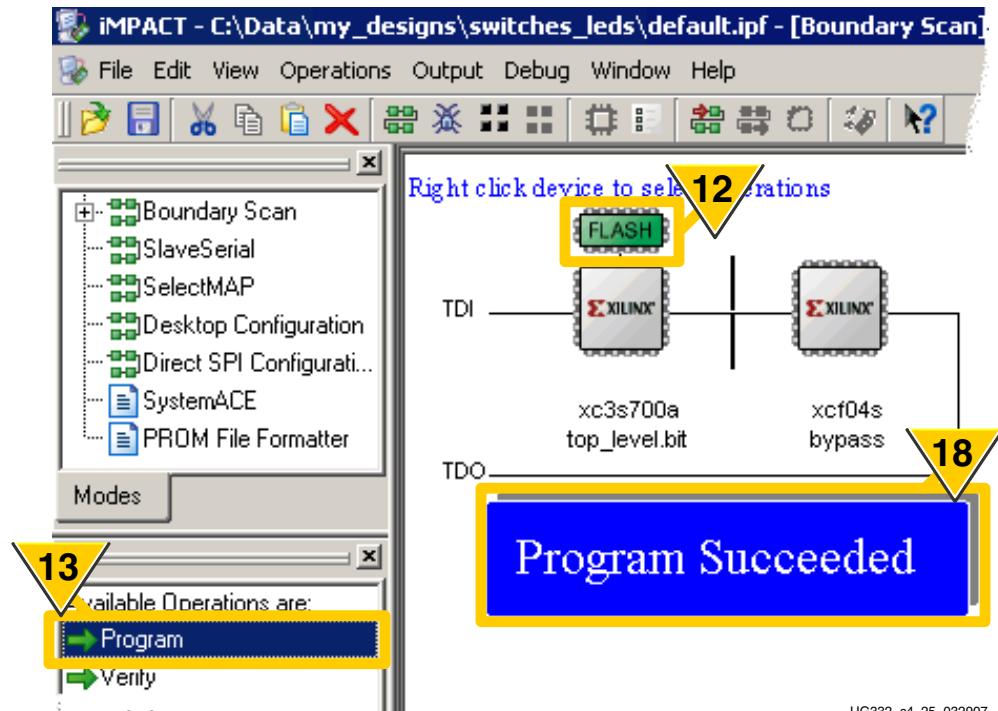


図 12-17 : iMPACT の画面に表示される JTAG チェーンのフラッシュ PROM

13. [Program] をダブルクリックします。

メモ : プログラムは、ステップ 18 で完了します。

14. 図 12-18 に示すように、[Programming Properties] ダイアログ ボックスの [Category] で [Programming Properties] をクリックします。

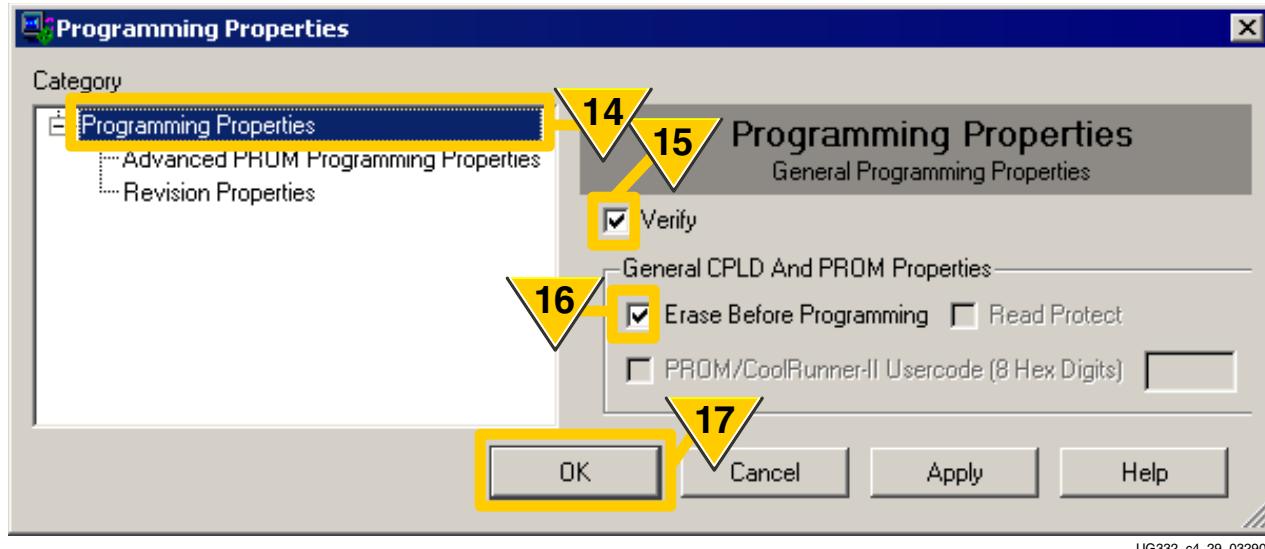


図 12-18 : SPI フラッシュ PROM のプログラム オプション

15. [Verify] をクリックします。このチェックボックスをオフにすると、プログラム時間を短縮できますが、iMPACT ソフトウェアでは検証済みの PROM でのみ正常なプログラムが保証されます。

16. [Erase Before Programming] をクリックします。このオプションをオフにすると、プログラム時間を短縮できますが、新しい FPGA ビットストリームをダウンロードする前に PROM の内容を消去することを推奨します。

17. [OK] をクリックします。

18. 図 12-18 に示すように、iMPACT ソフトウェアに正しくプログラムが完了したことを示すメッセージが示されます。FPGA は、新しいプログラムファイルでコンフィギュレーションされています。

関連情報

詳細については、次のリンク先を参照してください。

- [ザイリンクス パラレル ケーブル IV \(フライング リード付き\)](http://japan.xilinx.com/onlinestore/program_solutions.htm#pc)
- Digilent 社製 JTAG3 プログラム ケーブル
www.digilentinc.com/Products/Catalog.cfm?Nav1=Products&Nav2=Cables&Cat=Cable
- Atmel 社製 AT45DB161D DataFlash データシート
www.atmel.com/dyn/resources/prod_documents/doc3500.pdf
- ST マイクロエレクトロニクス社製 M25P16 SPI シリアル フラッシュ データシート
www.st.com/stonline/books/pdf/docs/10027.pdf

- AN1579 : 『Compatibility between the SO8 Package and the MLP Package for the M25Pxx in Your Application』
www.st.com/stonline/products/literature/an/9540.pdf
- RS-232 を介した Atmel SPI シリアル フラッシュ プログラマ (リファレンス デザイン)
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm
atmel_spi_flash_programmer
- JTAG を使用した Universal Scan SPI フラッシュのプログラムのトレーニング ビデオ
www.ricreations.com/JTAG-Software-Downloads.htm

DDR2 SDRAM

Spartan™-3A/3AN スタータ キット ボードには、Micron Technology 社製 16 ビット データ インターフェイス付き 512 Mb (32M X 16) DDR2 SDRAM (MT47H32M16) が搭載されています (図 13-1 を参照)。

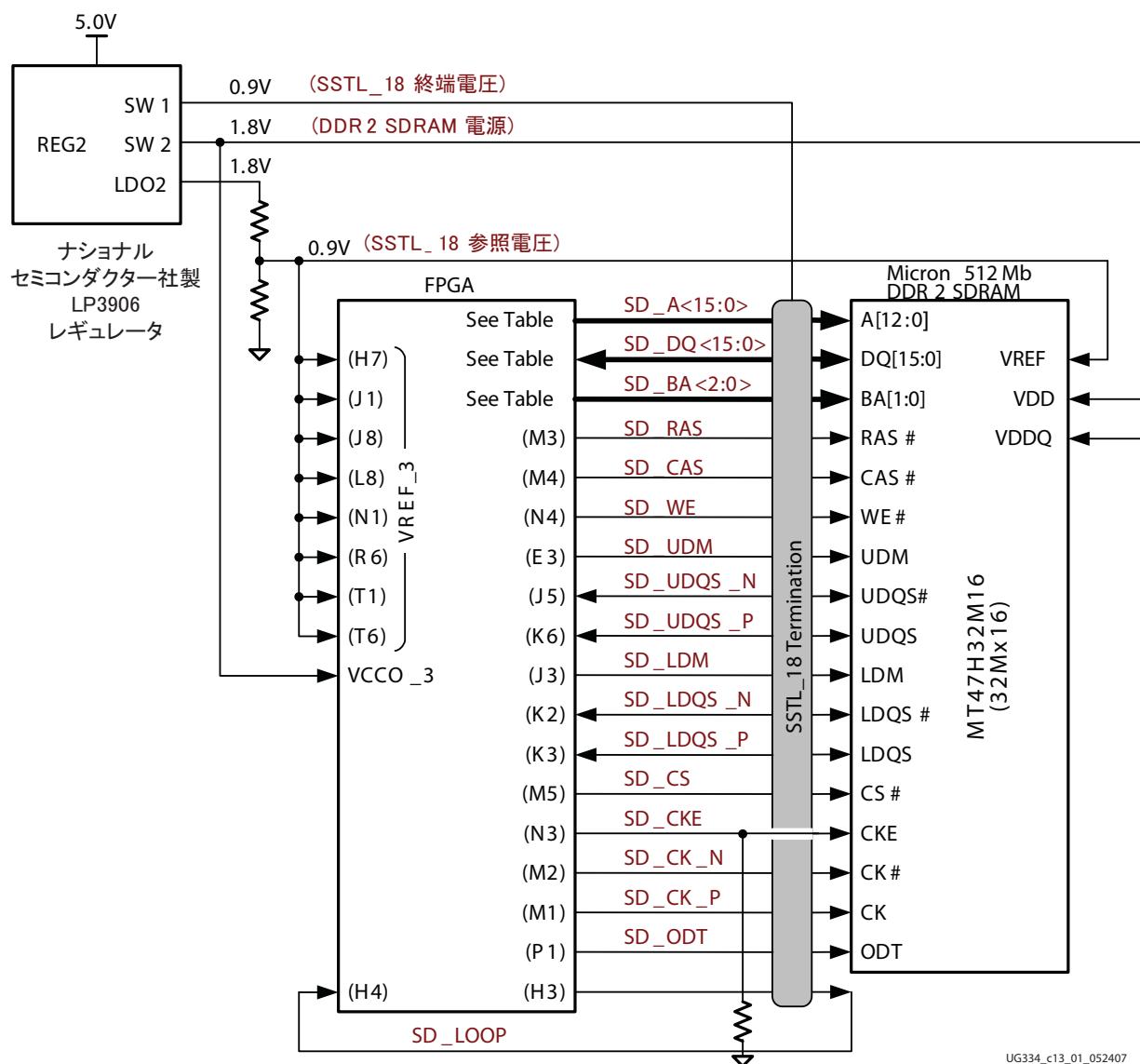


図 13-1 : FPGA と Micron Technology 社製 512Mb DDR2 SDRAM のインターフェイス

UG334_c13_01_052407

DDR2 SDRAM インターフェイス ピンはすべて、FPGA の I/O バンク 3 に接続されています。I/O バンク 3 および DDR2 SDRAM には、ボードの 5V 電源からナショナル セミコンダクター社製 LP3906 レギュレータで生成された 1.8V の電源が供給されます。FPGA および DDR2 SDRAM で使用される 0.9V の参照電圧もこのレギュレータから供給されます。詳細は、[スタート キットの回路図](#)の「Voltage Regulators」を参照してください。

DDR2 SDRAM のインターフェイス信号は、すべて終端されます。ボードで使用されている SSTL18 終端の回路図は、[スタート キット回路図](#)の「DDR2 SDRAM Termination Network」を参照してください。

DDR2 SDRAM の接続

表 13-1 に、FPGA と DDR2 SDRAM の接続を示します。[スタート キット回路図](#)の「32Mx16 DDR2 SDRAM」も参照してください。

表 13-1 : FPGA と DDR2 SDRAM の接続

カテゴリ	DDR2 SDRAM の 信号名	FPGA の ピン番号	デバイス
ア ド レ ス	SD_A15	W3	512Mb DDR2 SDRAM デバイスでは使用されませんが、将来のアップグレードに対応するため提供されています。
	SD_A14	V4	
	SD_A13	V3	
	SD_A12	Y2	
	SD_A11	V1	
	SD_A10	T3	
	SD_A9	W2	
	SD_A8	W1	
	SD_A7	Y1	
	SD_A6	U1	
	SD_A5	U4	
	SD_A4	U2	
	SD_A3	U3	
	SD_A2	R1	
	SD_A1	T4	
	SD_A0	R2	

表 13-1 : FPGA と DDR2 SDRAM の接続 (続き)

カテゴリ	DDR2 SDRAM の 信号名	FPGA の ピン番号	デバイス
データ	SD_DQ15	F3	データ入力/出力。ザイリンクス MIG (Memory Interface Generator) ソフトウェアとの互換目的に定義されている出力。
	SD_DQ14	G3	
	SD_DQ13	F1	
	SD_DQ12	H5	
	SD_DQ11	H6	
	SD_DQ10	G1	
	SD_DQ9	G4	
	SD_DQ8	F2	
	SD_DQ7	H2	
	SD_DQ6	K4	
	SD_DQ5	L1	
	SD_DQ4	L5	
	SD_DQ3	L3	
	SD_DQ2	K1	
	SD_DQ1	K5	
	SD_DQ0	H1	
制御	SD_BA2	P5	バンク アドレス入力
	SD_BA1	R3	
	SD_BA0	P3	
	SD_RAS	M3	コマンド入力
	SD_CAS	M4	
	SD_WE	N4	
	SD_CK_N	M2	差動クロック入力
	SD_CK_P	M1	
	SD_CKE	N3	クロック イネーブル (アクティブ High)
	SD_CS	M5	チップ セレクト入力 (アクティブ Low)
	SD_UDM	E3	データ マスク。(上位および下位)
	SD_LDM	J3	
	SD_UDQS_N	J5	上位差動データ ストローブ
	SD_UDQS_P	K6	
	SD_LDQS_N	K2	下位差動データ ストローブ
	SD_LDQS_P	K3	
その他	SD_LOOP_IN	H4	I/O セルフ キャリブレーション ループ。FPGA アプリケーション次第で方向を反転可能。
	SD_LOOP_OUT	H3	
	SD_ODT	P1	DDR2 SDRAM のオンデバイス終端制御

UCF ロケーション制約

アドレス

図 13-2 に、DDR2 SDRAM アドレスピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "SD_A<15>" LOC = "W3" | IOSTANDARD = SSTL18_II ;
NET "SD_A<14>" LOC = "V4" | IOSTANDARD = SSTL18_II ;
NET "SD_A<13>" LOC = "V3" | IOSTANDARD = SSTL18_II ;
NET "SD_A<12>" LOC = "Y2" | IOSTANDARD = SSTL18_II ;
NET "SD_A<11>" LOC = "V1" | IOSTANDARD = SSTL18_II ;
NET "SD_A<10>" LOC = "T3" | IOSTANDARD = SSTL18_II ;
NET "SD_A<9>" LOC = "W2" | IOSTANDARD = SSTL18_II ;
NET "SD_A<8>" LOC = "W1" | IOSTANDARD = SSTL18_II ;
NET "SD_A<7>" LOC = "Y1" | IOSTANDARD = SSTL18_II ;
NET "SD_A<6>" LOC = "U1" | IOSTANDARD = SSTL18_II ;
NET "SD_A<5>" LOC = "U4" | IOSTANDARD = SSTL18_II ;
NET "SD_A<4>" LOC = "U2" | IOSTANDARD = SSTL18_II ;
NET "SD_A<3>" LOC = "U3" | IOSTANDARD = SSTL18_II ;
NET "SD_A<2>" LOC = "R1" | IOSTANDARD = SSTL18_II ;
NET "SD_A<1>" LOC = "T4" | IOSTANDARD = SSTL18_II ;
NET "SD_A<0>" LOC = "R2" | IOSTANDARD = SSTL18_II ;
```

図 13-2 : DDR2 SDRAM のアドレス入力のロケーション制約

データ

図 13-3 に、DDR2 SDRAM データピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "SD_DQ<15>" LOC = "F3" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<14>" LOC = "G3" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<13>" LOC = "F1" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<12>" LOC = "H5" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<11>" LOC = "H6" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<10>" LOC = "G1" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<9>" LOC = "G4" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<8>" LOC = "F2" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<7>" LOC = "H2" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<6>" LOC = "K4" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<5>" LOC = "L1" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<4>" LOC = "L5" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<3>" LOC = "L3" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<2>" LOC = "K1" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<1>" LOC = "K5" | IOSTANDARD = SSTL18_II ;
NET "SD_DQ<0>" LOC = "H1" | IOSTANDARD = SSTL18_II ;
```

図 13-3 : DDR2 SDRAM のデータ I/O ピンの UCF ロケーション制約

制御

図 13-4 に、DDR2 SDRAM 制御ピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```

NET "SD_BA<2>" LOC = "P5" | IOSTANDARD = SSTL18_II ;
NET "SD_BA<1>" LOC = "R3" | IOSTANDARD = SSTL18_II ;
NET "SD_BA<0>" LOC = "P3" | IOSTANDARD = SSTL18_II ;
NET "SD_RAS" LOC = "M3" | IOSTANDARD = SSTL18_II ;
NET "SD_CAS" LOC = "M4" | IOSTANDARD = SSTL18_II ;
NET "SD_WE" LOC = "N4" | IOSTANDARD = SSTL18_II ;
NET "SD_CK_N" LOC = "M2" | IOSTANDARD = SSTL18_II ;
NET "SD_CK_P" LOC = "M1" | IOSTANDARD = SSTL18_II ;
NET "SD_CKE" LOC = "N3" | IOSTANDARD = SSTL18_II ;
NET "SD_CS" LOC = "M5" | IOSTANDARD = SSTL18_II ;
NET "SD_UDM" LOC = "E3" | IOSTANDARD = SSTL18_II ;
NET "SD_UDQS_N" LOC = "J5" | IOSTANDARD = SSTL18_II ;
NET "SD_UDQS_P" LOC = "K6" | IOSTANDARD = SSTL18_II ;
NET "SD_LDM" LOC = "J3" | IOSTANDARD = SSTL18_II ;
NET "SD_LDQS_N" LOC = "K2" | IOSTANDARD = SSTL18_II ;
NET "SD_LDQS_P" LOC = "K3" | IOSTANDARD = SSTL18_II ;
NET "SD_ODT" LOC = "P1" | IOSTANDARD = SSTL18_II ;
NET "SD_LOOP_IN" LOC = "H4" | IOSTANDARD = SSTL18_II ;
NET "SD_LOOP_OUT" LOC = "H3" | IOSTANDARD = SSTL18_II ;

```

図 13-4 : DDR2 SDRAM の制御ピンの UCF ロケーション制約

FPGA の V_{REF} ピン

I/O バンク 3 の 5 個の V_{REF} ピンは参照電圧入力専用であり、汎用 I/O として使用することはできません。図 13-5 に、これらのピンを使用禁止にする制約を示します。

```

# Prohibit VREF pins on FPGA I/O Bank 3
CONFIG PROHIBIT = H7;
CONFIG PROHIBIT = J1;
CONFIG PROHIBIT = J8;
CONFIG PROHIBIT = L8;
CONFIG PROHIBIT = N1;
CONFIG PROHIBIT = R6;
CONFIG PROHIBIT = T1;
CONFIG PROHIBIT = T6;

```

図 13-5 : FPGA V_{REF} ピンの UCF ロケーション制約

レイアウトに関する推薦事項

ザイリンクスの Memory Interface Generator (MIG) ツール (バージョン 1.7 以降) では、Spartan-3A および Spartan-3AN FPGA の DDR2 SDRAM インターフェイスが生成されます。MIG インプリメンテーションでは、FPGA のローカル クロッキング リソースを使用して DDR2 SDRAM の読み出しデータが取り込まれます。このため、メモリ データ ピン (SD_DQ<15:8>, SD_DQ_<7:0>) と関連ストローブ信号は、密接に関係しています。MIG ソフトウェアでは、この要件に基づいて自動的にピンが割り当てられ、Spartan-3A/3AN スタータ キット ボードがこれに対応して設計されます。

Spartan-3A/AN FPGA 用の MIG コアには、読み出しきストローブのタイミングを使用するためのループバック信号が含まれています。このループバック信号では、SD_LOOP_IN および SD_LOOP_OUT という名前の FPGA ピンが使用されます。最高のパフォーマンスを達成するため、ループ

バックのトレース長は、FPGA からメモリへのクロック遅延とメモリから FPGA へのストローブの遅延の合計と一致させる必要があります。言い換えれば、ループバックのトレースはメモリと FPGA 間の往復で発生する遅延と一致させる必要があります。また、ループバック信号は、最高の結果を得るために、データインターフェイスピン群の中央に配置する必要があります。データインターフェイスピン群の端側や別の FPGA I/O バンクには配置しないでください。これに対応するように Spartan-3A/3AN スタータキットボードは設計されています。

その他のレイアウトに関する推奨事項は、ユーザー ガイド UG086 :『Xilinx Memory Interface Generator (MIG) User Guide』の付録 A「Memory Implementation Guidelines」を参照してください。

ボードのレイアウトは、133MHz および 167MHz 以上の周波数を達成するように最適化されています。最適化されたメモリインターフェイスコントローラを使用すると、DDR400 のパフォーマンス レベルは 200MHz、I/Oあたり 400Mbps を達成できます。最新のパフォーマンスの改善点を含む MIG ツールを入手してください。

- Memory Interface Generator (MIG)
http://japan.xilinx.com/xlnx/xil_sw_updates_home.jsp
(CORE Generator™ システムに含まれています。)
- ユーザー ガイド UG086 :『Xilinx Memory Interface Generator (MIG) User Guide』
(MIG に含まれています。)

関連情報

詳細については、次のリンク先を参照してください。

- ザイリンクス エンベデッド開発キット (EDK)
japan.xilinx.com/ise/embedded_design_prod/platform_studio.htm
- MT47H32M16 (32M x 16) DDR2 SDRAM のデータシート
download.micron.com/pdf/datasheets/dram/ddr2/512MbDDR2.pdf
- 複数チャネルの OPB DDR2 コントローラ ザイリンクス IP コア
japan.xilinx.com/bvdocs/ipcenter/data_sheet/mch_opb_ddr2.pdf
- Memory Interface Generator (MIG) バージョン 1.7以降
japan.xilinx.com/memory

10/100 イーサネット物理レイヤ インターフェイス

Spartan-3A/3AN スタータ キット ボードには、Standard Microsystems 社製 LAN8700 10/100 イーサネット物理レイヤ (PHY) インターフェイスと RJ-45 コネクタが搭載されています (図 14-1 を参照)。FPGA にインプリメントされているイーサネット MAC (Media Access Controller) と共に使用すると、標準イーサネット ネットワークに接続できます。すべてのタイミングは、オンボードの 25MHz クリスタル オシレータにより制御されます。

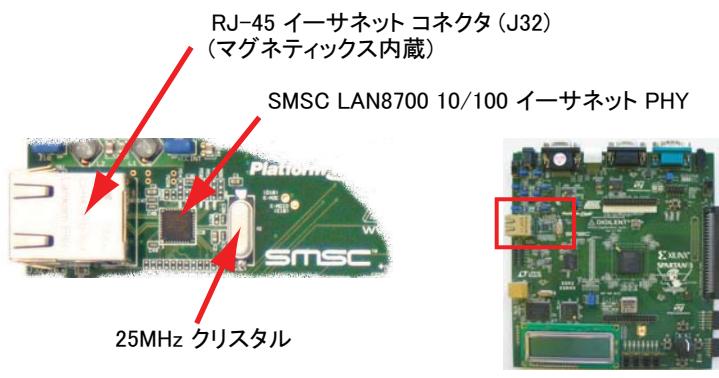


図 14-1 : 10/100 イーサネット PHY と RJ-45 コネクタ

イーサネット PHY の接続

FPGA と LAN8700 イーサネット PHY の接続には、標準 MII (Media Independent Interface) を使用します (図 14-2 を参照)。インターフェイス信号の説明と対応する FPGA のピン番号を、表 14-1 に示します。

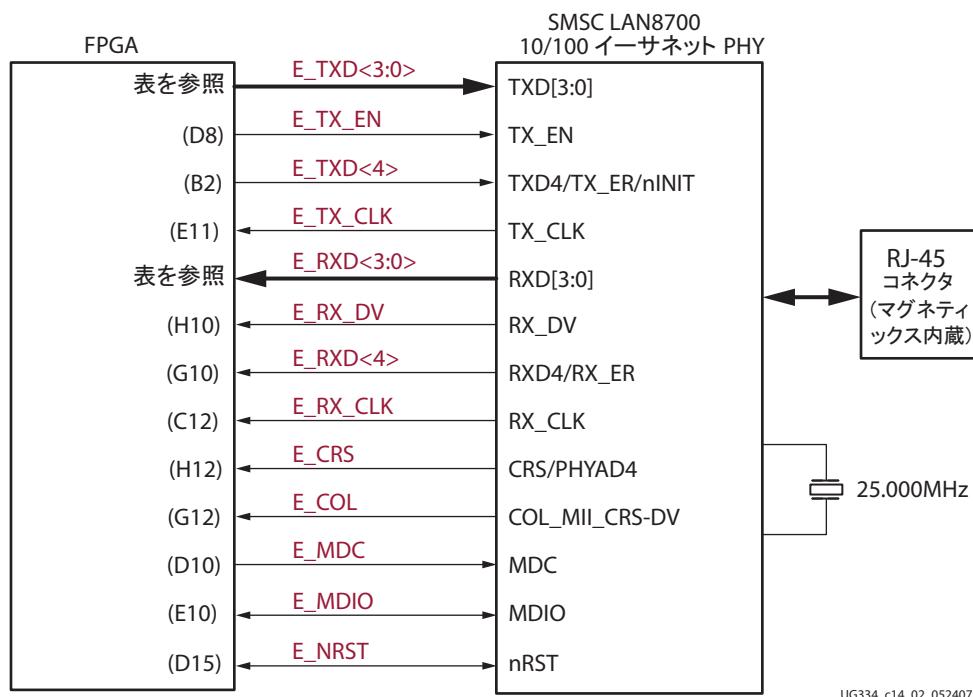


図 14-2 : MII を使用した FPGA とイーサネット PHY の接続

表 14-1 : FPGA と LAN83C185 イーサネット PHY の接続

信号名	FPGA の ピン番号	機能
E_TXD<4>	B2	データを PHY に送信します。E_TXD<4> は、MII の送信エラーも示します。
E_TXD<3>	F7	
E_TXD<2>	E6	
E_TXD<1>	E7	
E_TXD<0>	F8	
E_TX_EN	D8	送信イネーブル
E_TX_CLK	E11	クロックを送信します。100Base-TX モードでは 25MHz、10Base-T モードでは 2.5MHz です。

表 14-1 : FPGA と LAN83C185 イーサネット PHY の接続 (続き)

信号名	FPGA の ピン番号	機能
E_RXD<4>	G10	PHY からデータを受信します。
E_RXD<3>	H9	
E_RXD<2>	G9	
E_RXD<1>	G8	
E_RXD<0>	G7	
E_RX_DV	H10	データ有効信号を受信します。
E_RX_CLK	C12	クロックを受信します。100Base-TX モードでは 25MHz、10Base-T モードでは 2.5MHz です。
E_CRS	H12	キャリア センス
E_COL	G12	MII 競合検出
E_MDC	D10	シリアル制御クロック
E_MDIO	E10	制御データ入力/出力
E_NRST	D15	アクティブ Low のリセット

MicroBlaze イーサネット IP コア

イーサネット PHY は、主に MicroBlaze のアプリケーションで使用するので、EDK の Base System Builder の一部としてイーサネット MAC が含まれています。これにはフル バージョンと Lite バージョンがあり、どちらにも評価版があります。イーサネット Lite MAC コントローラ コアでは、使用される FPGA リソースがフル バージョンより少なく、割り込み、連続データ転送、統計カウンタを必要としないアプリケーションに適しています。

イーサネット MAC コアでは、パフォーマンス要件を満たすためにデザイン制約を設定する必要があります。詳細は、OPB イーサネット MAC のデータシートを参照してください。OPB パスのクロック周波数は、イーサネットを 100Mbps で動作させる場合は 65MHz 以上、10Mbps で動作させる場合は 6.5MHz 以上にする必要があります。

イーサネット MAC コアのハードウェア評価版は、シリコン上で約 8 時間動作します。正規版をご購入される場合は、次のザイリンクスの Web サイトにアクセスしてください。

[japan.xilinx.com/ipcenter/processor_central/processor_ip/10-100emac/
10-100emac_order_register.htm](http://japan.xilinx.com/ipcenter/processor_central/processor_ip/10-100emac/10-100emac_order_register.htm)

UCF ロケーション制約

図 14-3 に、10/100 イーサネット PHY インターフェイスの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```

NET "E_COL" LOC = "G12" | IOSTANDARD = LVCMOS33 | PULLDOWN ;
NET "E_CRS" LOC = "H12" | IOSTANDARD = LVCMOS33 ;
NET "E_MDC" LOC = "D10" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 4;
NET "E_MDIO" LOC = "E10" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 4;
NET "E_NRST" LOC = "D15" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 4;
NET "E_RX_CLK" LOC = "C12" | IOSTANDARD = LVCMOS33 ;
NET "E_RX_DV" LOC = "H10" | IOSTANDARD = LVCMOS33 ;
NET "E_RXD<0>" LOC = "G7" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "E_RXD<1>" LOC = "G8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "E_RXD<2>" LOC = "G9" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "E_RXD<3>" LOC = "H9" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "E_RXD<4>" LOC = "G10" | IOSTANDARD = LVCMOS33 ;
NET "E_TX_CLK" LOC = "E11" | IOSTANDARD = LVCMOS33 ;
NET "E_TX_EN" LOC = "D8" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 4;
NET "E_TXD<0>" LOC = "F8" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 4;
NET "E_TXD<1>" LOC = "E7" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 4;
NET "E_TXD<2>" LOC = "E6" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 4;
NET "E_TXD<3>" LOC = "F7" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 4;
NET "E_TXD<4>" LOC = "B2" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 4 | PULLUP ;
;
```

図 14-3 : 10/100 イーサネット PHY インターフェイスの UCF ロケーション制約

関連情報

詳細については、次のリンク先を参照してください。

- Standard Microsystems 社製 LAN8700 10/100 イーサネット PHY
<http://www.smsc.com/main/catalog/lan8700.html>
- ザイリンクス OPB イーサネット MAC (Media Access Controller)
http://japan.xilinx.com/bvdocs/ipcenter/data_sheet/opb_ethernet.pdf
- ザイリンクス OPB イーサネット Lite MAC (Media Access Controller)
 イーサネット Lite MAC コントローラコアでは、使用される FPGA リソースがフルバージョンよりも少なく、割り込み、連続データ転送、統計カウンタを必要としないアプリケーションに適しています。
http://japan.xilinx.com/bvdocs/ipcenter/data_sheet/opb_ethernetlite.pdf
- EDK 資料
http://japan.xilinx.com/ise/embedded/edk_docs.htm

拡張コネクタ

Spartan-3A/3AN スタータ キット ボードには、オフボードのコンポーネントに簡単に接続できるよう、さまざまな拡張コネクタが含まれています。ボードには、次の I/O 拡張ヘッダが含まれます(図 15-1 を参照)。

- 43 個の FPGA ユーザー I/O を持つ 100 ピン ヒロセ電機社製エッジ コネクタ
- 2 つのステイク ピン ヘッダ。各ヘッダでは、最大 5 個のチャネルと差動クロックまたは 12 個のシングル エンド I/O 信号をサポート。
- 2 つの 6 ピン ペリフェラル モジュール接続および 3 個目のモジュール用のマウントホール
- Agilent 社製または Tektronix 社製コネクタレス プローブ用のランディング パッド

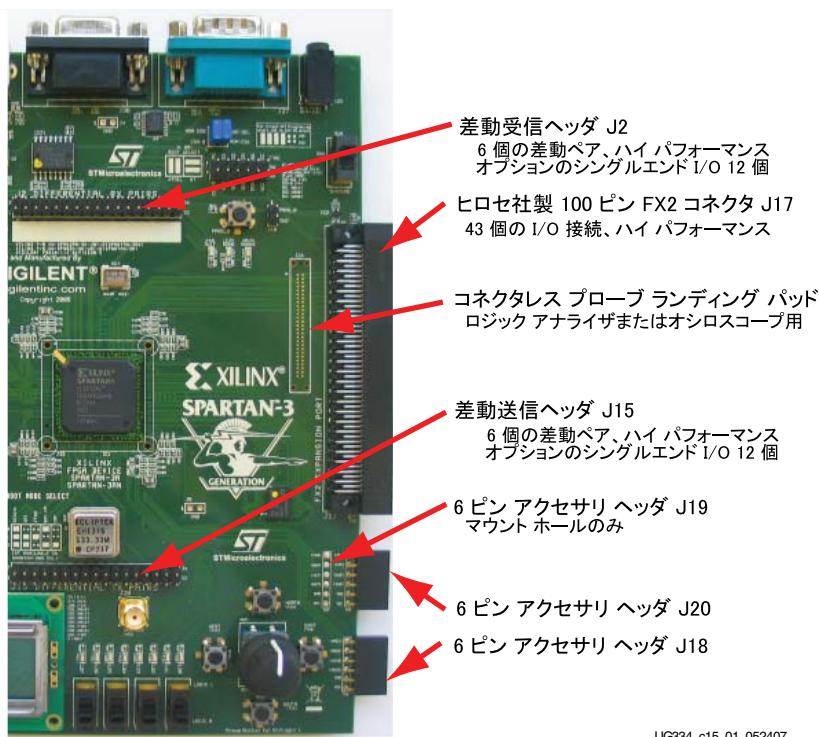


図 15-1：拡張ヘッダ

ヒロセ電機社製 100 ピン FX2 エッジ コネクタ (J17)

100 ピン エッジ コネクタは、ボードの右辺に配置されています。このコネクタは、ヒロセ電機社製 FX2-100P-1.27DS ヘッダ (1.27mm ピッチ) です。このマニュアルでは、このコネクタを FX2 コネクタと呼びます。

図 15-2 に示すように、FPGA の 43 個の I/O ピンが FX2 コネクタに接続されています。

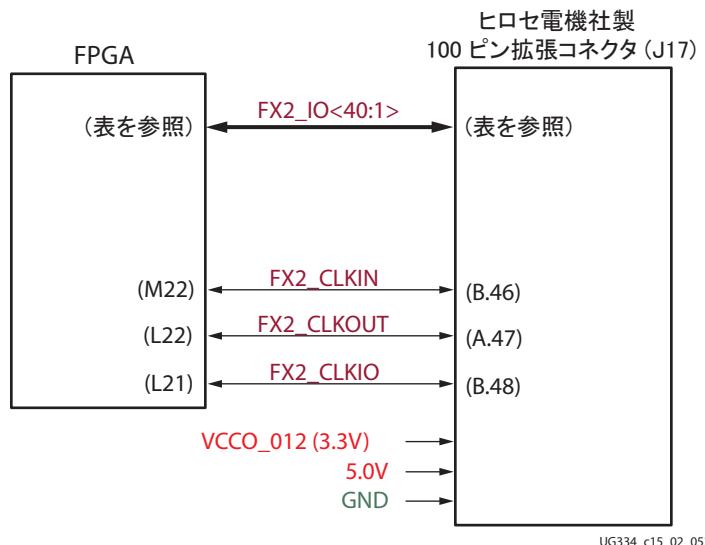


図 15-2 : ヒロセ電機社製 100 ピン エッジ コネクタへの FPGA の接続

3 つの信号がボードと FX2 コネクタ間のクロック信号用に予約されていますが、I/O ピンに接続されています。

拡張コネクタの機能

大半のアプリケーションでは、Spartan-3A/3AN スタータ キット ボードの FX2 コネクタはその他のザイリンクス開発ボードと互換性があります。Spartan-3E スタータ キット ボードおよび XC3S1600E スタータ キット ボードでは、オプションで制限付きの差動 I/O 機能をこのコネクタで使用できます。Spartan-3A/3AN スタータ キット ボードでは、128 ページの「差動 I/O コネクタ」を使用して向上された差動 I/O サポートを提供します。

- Spartan-3E スタータ キット ボード
japan.xilinx.com/s3estarter
- XC3S1600E MicroBlaze エンベデッド開発ボード
japan.xilinx.com/sp3e1600e

Spartan-3A/3AN スタータ キット ボードでは、この他にも 126 ページの「FX2 コネクタ互換ボード」がサポートされています。

コネクタへの電源供給

Spartan-3A/3AN スタータ キット ボードは、FX2 コネクタおよび接続されているボードに対して、2 つの電源から電力を供給します (図 15-2 を参照)。5.0V の電源は、接続されているボード上の 5V ロジックまたは電圧レギュレータに電力を供給します。

VCCO_012 電源では、FPGA の I/O バンク 0、1、2 に同じ電圧を供給します。デフォルトの電圧は 3.3V です。F2 コネクタに接続されるすべての FPGA I/O は、バンク 0 またはバンク 1 にあります。

シグナル インテグリティの向上のため、FX2 コネクタの B 側のピンの大部分は GND に接続されます。

コネクタのピン配置と FPGA の接続

表 15-1 に、FX2 コネクタのピン配置と FPGA ピンの接続を示します。FX2 コネクタには 50 個の接続を持つコネクタが 2 列あり、この表に黄色で示されています。

このピン割り当ては、Spartan-3 E スタータ キット ボードで使用される割り当てと同一です。ただし、Spartan-3E ボードのピン配置では、入力専用ピンが数個含まれています。Spartan-3A/3AN スタータ キット ボードのピンの割り当てでは、完全な I/O ピンのみが使用されるので、Spartan-3E スタータ キット ボードと互換性があります。

表 15-1 : FX2 コネクタのピン配置と FPGA の接続 (J17)

信号名	FPGA ピン	共有	FX2 コネクタ		FPGA ピン	信号名
		J34	A (上)	B (下)		
FPGA I/O バンク 0、1、2 への電源	VCCO_012		1	1		SHIELD
	VCCO_012		2	2	GND	GND
TMS_B			3	3		TDO_XC2C
JTSEL			4	4		TCK_B
TDO_FX2			5	5	GND	GND
FX2_IO1	A13	◆	6	6	GND	GND
FX2_IO2	B13	◆	7	7	GND	GND
FX2_IO3	A14	◆	8	8	GND	GND
FX2_IO4	B15	◆	9	9	GND	GND
FX2_IO5	A15	◆	10	10	GND	GND
FX2_IO6	A16	◆	11	11	GND	GND
FX2_IO7	A17	◆	12	12	GND	GND
FX2_IO8	B17	◆	13	13	GND	GND
FX2_IO9	A18	◆	14	14	GND	GND
FX2_IO10	C18	◆	15	15	GND	GND
FX2_IO11	A19	◆	16	16	GND	GND
FX2_IO12	B19	◆	17	17	GND	GND
FX2_IO13	A20	◆	18	18	GND	GND
FX2_IO14	B20	◆	19	19	GND	GND
FX2_IO15	C19	◆	20	20	GND	GND
FX2_IO16	D19	◆	21	21	GND	GND
FX2_IO17	D18	◆	22	22	GND	GND
FX2_IO18	E17	◆	23	23	GND	GND
FX2_IO19	D20		24	24	GND	GND
FX2_IO20	D21		25	25	GND	GND
FX2_IO21	D22		26	26	GND	GND
FX2_IO22	E22		27	27	GND	GND
FX2_IO23	F18		28	28	GND	GND
FX2_IO24	F19		29	29	GND	GND

表 15-1 : FX2 コネクタのピン配置と FPGA の接続 (J17) (続き)

信号名	FPGA ピン	共有	FX2 コネクタ		FPGA ピン	信号名
		J34	A (上)	B (下)		
FX2_IO25	F20		30	30	GND	GND
FX2_IO26	E20		31	31	GND	GND
FX2_IO27	G20		32	32	GND	GND
FX2_IO28	G19		33	33	GND	GND
FX2_IO29	H19		34	34	GND	GND
FX2_IO30	J18		35	35	GND	GND
FX2_IO31	K18		36	36	GND	GND
FX2_IO32	K17		37	37	GND	GND
FX2_IO33	K19		38	38	GND	GND
FX2_IO34	K20		39	39	GND	GND
FX2_IO35	L19		40	40	GND	GND
FX2_IO36	L18		41	41	GND	GND
FX2_IO37	M20		42	42	GND	GND
FX2_IO38	M18		43	43	GND	GND
FX2_IO39	L20		44	44	GND	GND
FX2_IO40	P20		45	45	GND	GND
GND	GND		46	46	M22	FX2_CLKIN
FX2_CLKOUT	L22		47	47	GND	GND
GND	GND		48	48	L21	FX2_CLKIO
5.0V			49	49		5.0V
5.0V			50	50		SHIELD

FX2 コネクタ互換ボード

次に、スタータ キット ボードに含まれる FX2 コネクタと互換するボードを示します。

- Digilent 社製 FX2 Wirewrap Board (FX2WW)
<http://www.digilentinc.com/Products/Detail.cfm?Prod=FX2WW>
- Digilent 社製 FX2 Breadboard (FX2WW)
<http://www.digilentinc.com/Products/Detail.cfm?Prod=FX2BB>
- Digilent 社製 Video Decoder Board (VDEC1)
<http://www.digilentinc.com/Products/Detail.cfm?Prod=VDEC1>

レセプタクル コネクタの接続

Spartan-3A/3AN スタータ キット ボードでは、ヒロセ電機社製 FX2-100P-1.27DS ヘッダ コネクタが使用されます。このヘッダには、ボード上のコネクタやノンロッキング ケーブル コネクタなどの、互換性のある 100 ピン レセプタクル コネクタを接続できます。

- ヒロセ電機社製コネクタ
<http://www.hirose.co.jp/>
- FX2 シリーズ コネクタのデータシート
http://www.hirose.co.jp/catalogi_hp/j57220088.pdf

UCF ロケーション制約

図 15-3 に、すべての接続でシングルエンド I/O 規格が使用されている場合の FX2 の I/O ピンと I/O 規格を指定する UCF 制約を示します。

```
# === FX2 Connector (FX2) ===
NET "FX2_CLKIN" LOC = "M22" | IOSTANDARD = LVCMOS33 ;
NET "FX2_CLKIO" LOC = "L21" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_CLKOUT" LOC = "L22" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<1>" LOC = "A13" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<2>" LOC = "B13" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<3>" LOC = "A14" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<4>" LOC = "B15" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<5>" LOC = "A15" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<6>" LOC = "A16" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<7>" LOC = "A17" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<8>" LOC = "B17" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<9>" LOC = "A18" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<10>" LOC = "C18" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<11>" LOC = "A19" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<12>" LOC = "B19" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<13>" LOC = "A20" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<14>" LOC = "B20" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<15>" LOC = "C19" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<16>" LOC = "D19" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<17>" LOC = "D18" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<18>" LOC = "E17" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<19>" LOC = "D20" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<20>" LOC = "D21" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<21>" LOC = "D22" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<22>" LOC = "E22" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<23>" LOC = "F18" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<24>" LOC = "F19" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<25>" LOC = "F20" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<26>" LOC = "E20" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<27>" LOC = "G20" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<28>" LOC = "G19" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<29>" LOC = "H19" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<30>" LOC = "J18" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<31>" LOC = "K18" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<32>" LOC = "K17" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<33>" LOC = "K19" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<34>" LOC = "K20" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<35>" LOC = "L19" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<36>" LOC = "L18" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<37>" LOC = "M20" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<38>" LOC = "M18" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<39>" LOC = "L20" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<40>" LOC = "P20" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
```

図 15-3 : 100 ピン FX2 コネクタの UCF ロケーション制約

差動 I/O コネクタ

Spartan-3A/3AN スタータ キット ボードには、高性能の差動 I/O を実現するシグナル インテグリティが優れたステイク ピン ヘッダおよびインピーダンスに一致したトレースが含まれています。各差動ペアでは、約 600Mbps データ レートがサポートされています。すべての I/O ペアでは、Spartan-3A および Spartan-3AN のデータシートに示すように、差動入力終端 (DIFF_TERM) がサポートされます。

このボードは、標準の 34 ピン ソケット ケーブルを使用してループバック動作をサポートするよう設計されています。

この 2 つの差動 I/O ヘッダは、[123 ページの図 15-1](#) に示すように、2 X 17 で配列された 0.1 インチのステイク ピンで構成されています。ヘッダは、固定されていません。グランド ピンは、ケーブルのシグナル インテグリティを向上させるため、信号ピンを使用して分散されています。また、電源も通常の 3.3V レールを介して VCCO_012 から供給されます。電源コネクタは、コネクタに姉妹コネクタを接続するときに使用できます。

J2 コネクタは主に入力データを受信するために使用され、J15 コネクタは主に出力データを送信するために使用されます。ただし、両方のヘッダから差動データを同様に送信できます。受信ヘッダには、受信したクロック入を取り込むための特別な機能があります。

[表 15-2](#) および[表 15-4](#) に、J2 受信コネクタのピンの割り当てを示します。FPGA のボール割り当ては、かつこ内に示されています。

表 15-2：受信ヘッダ (J2)

2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32	34
GND	GND	RXN_0 (B4)	GND	RXN_1 (A5)	GND	RXN_2 (A6)	3.3V	3.3V	3.3V	RXN_3 (A8)	GND	RXN_4 (C10)	GND	RX_CLK_N (A11)	GND	GND
GND	GND	RXP_0 (A4)	GND	RXP_1 (B6)	GND	RXP_2 (A7)	3.3V	3.3V	3.3V	RXP_3 (A9)	GND	RXP_4 (A10)	GND	RX_CLK_P (A12)	GND	GND

1 3 5 7 9 11 13 15 17 19 21 23 25 27 29 31 33

[表 15-3](#) および[表 15-4](#) に、J15 送信コネクタのピンの割り当てを示します。FPGA のボール割り当ては、かつこ内に示されています。

表 15-3：送信ヘッダ (J15)

2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32	34
GND	GND	TXN_0 (AA3)	GND	TXN_1 (AA4)	GND	TXN_2 (AB6)	3.3V	3.3V	3.3V	TXN_3 (AB7)	GND	TXN_4 (AB8)	GND	TX_CLK_N (AB10)	GND	GND
GND	GND	TXP_0 (AB2)	GND	TXP_1 (AB3)	GND	TXP_2 (AA6)	3.3V	3.3V	3.3V	TXP_3 (Y7)	GND	TXP_4 (AA8)	GND	TX_CLK_P (AA10)	GND	GND

1 3 5 7 9 11 13 15 17 19 21 23 25 27 29 31 33

表 15-4 に、差動ペア、FPGA でのボール割り当て、および接続するヘッダピンなど、ピン割り当てる詳細を示します。

表 15-4：差動 I/O 接続およびヘッダ接続

差動ペア	信号名	FPGA ボール	FPGA ピン名	信号の方向	ヘッダ ピン
受信ヘッダ J2 (上)					
RX_<0>	RXN_<0>	B4	IO_L31N_0	I/O	J2.6
	RXP_<0>	A4	IO_L31P_0	I/O	J2.5
RX_<1>	RXN_<1>	A5	IO_L28N_0	I/O	J2.10
	RXP_<1>	B6	IO_L28P_0	I/O	J2.9
RX_<2>	RXN_<2>	A6	IO_L26N_0	I/O	J2.14
	RXP_<2>	A7	IO_L26P_0	I/O	J2.13
RX_<3>	RXN_<3>	A8	IO_L22N_0	I/O	J2.22
	RXP_<3>	A9	IO_L22P_0	I/O	J2.21
RX_<4>	RXN_<4>	C10	IO_L21N_0	I/O	J2.26
	RXP_<4>	A10	IO_L21P_0	I/O	J2.25
RX_CLK	RX_CLK_N	A11	IO_L18N_0 GLK7	I/O	J2.30
	RX_CLK_P	A12	IO_L18P_0 GCLK8	I/O	J2.29
送信ヘッダ J15 (下)					
TX_<0>	TXN_<0>	AA3	IO_L03N_2	I/O	J1..6
	TXP_<0>	AB2	IO_L03P_2	I/O	J1.5
TX_<1>	TXN_<1>	AA4	IO_L04N_2	I/O	J1.10
	TXP_<1>	AB3	IO_L04P_2	I/O	J1.9
TX_<2>	TXN_<2>	AB6	IO_L08N_2	I/O	J1.14
	TXP_<2>	AA6	IO_L08P_2	I/O	J1.13
TX_<3>	TXN_<3>	AB7	IO_L10N_2	I/O	J1.22
	TXP_<3>	Y7	IO_L10P_2	I/O	J1.21
TX_<4>	TXN_<4>	AB8	IO_L12N_2	I/O	J1.26
	TXP_<4>	AA8	IO_L12P_2	I/O	J1.25
TX_CLK	TX_CLK_N	AB10	IO_L15N_2	I/O	J1.30
	TX_CLK_P	AA10	IO_L15P_2	I/O	J1.29

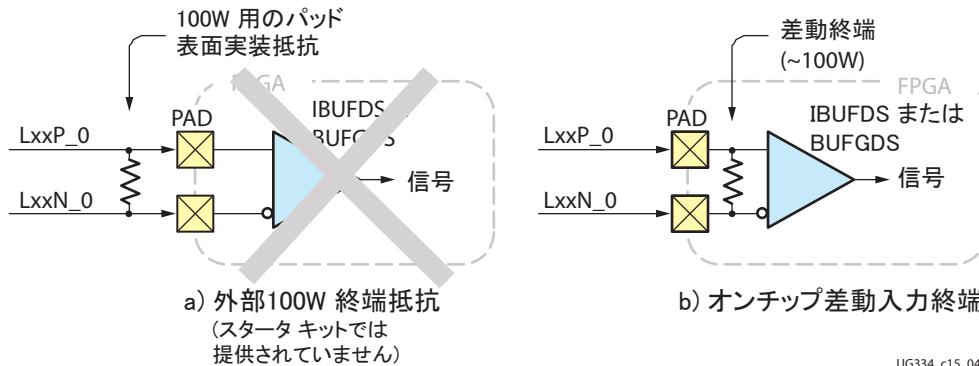
差動入力の使用

LVDS および RSDS 差動入力には、入力終端が必要です。これには、通常 2 つの方法があります。1 つ目の方法では、図 15-4a に示すように、外部終端抵抗を使用します。外部入力終端抵抗は、差動 I/O ピンに付いていません。

2 つ目の方法では、図 15-4b に示すように、Spartan-3A/3AN スタータキットボードのオンチップ終端を使用します。この終端を使用するには、差動 I/O 信号に DIFF_TERM 属性を設定します。各

差動 I/O ピンには、約 100Ω の内部終端抵抗と同様の機能を果たす回路が含まれています。オンチップ差動終端は、I/O ペアでのみ使用可能で、入力のみのペアでは使用できません。

差動入力は、 V_{CCAUX} により電源が投入されます。通常は、デフォルトの 3.3V が供給されます。差動入力は、どの I/O バンクでもサポートされています。



UG334_c15_04_052407

図 15-4 : 差動入力終端方法

差動出力の使用

差動出力は、どの I/O バンクでもサポートされています。ただし、Spartan-3A および Spartan-3AN FPGA では、差動出力が I/O バンク 0 または 2 でのみサポートされています。差動出力は、対応する I/O バンクの出力電圧 V_{CCO} により電源が投入されます。Spartan-3A/3AN スタータ キット ボードの I/O バンク 0、1、および 2 には、すべて 3.3V 電源が投入されます。

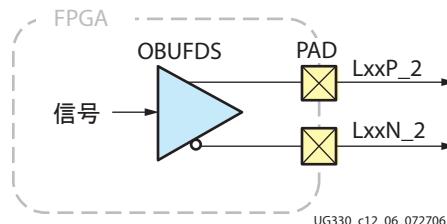


図 15-5 : 差動出力

差動トレース レイアウトでの考慮事項

図 15-6 に、差動 I/O 信号のトレースをハイライトしたスタータ キット ボードのボード レイアウトを示します。これらのトレースは、シグナル インテグリティを最適化するように配線されています。

- すべての差動ペアは、パフォーマンスを最大限にするように、一致した 100Ω インピーダンスを使用して一番上のボード レイヤに配線されています。
- トレースは、可能な限りビアを避けて配線されています。
- 特定のヘッダ (受信ヘッダまたは転送ヘッダ) に配線されている差動ペアのトレース長は、0.25 インチ以内で一致されています。
- FPGA の差動信号の接続では、ブレイクアウト領域の密集を避けるため外側 2 つのボール リングが使用されます。
- 受信差動クロック ペアは、図 15-6 に青色で示されており、差動グローバル クロック入力ペアである GCLK7 および GCLK8 に接続されています。これらのグローバル クロック入力を使用

すると、差動入力がシングル エンドのクロック信号に変換されます。このクロック入力は、右上端の DCM_X2Y3 という名前の DCM に供給されます。

差動入力を使用する場合は、DIFF TERM=TRUE 制約を設定。
ボードで供給される外部終端抵抗なし。

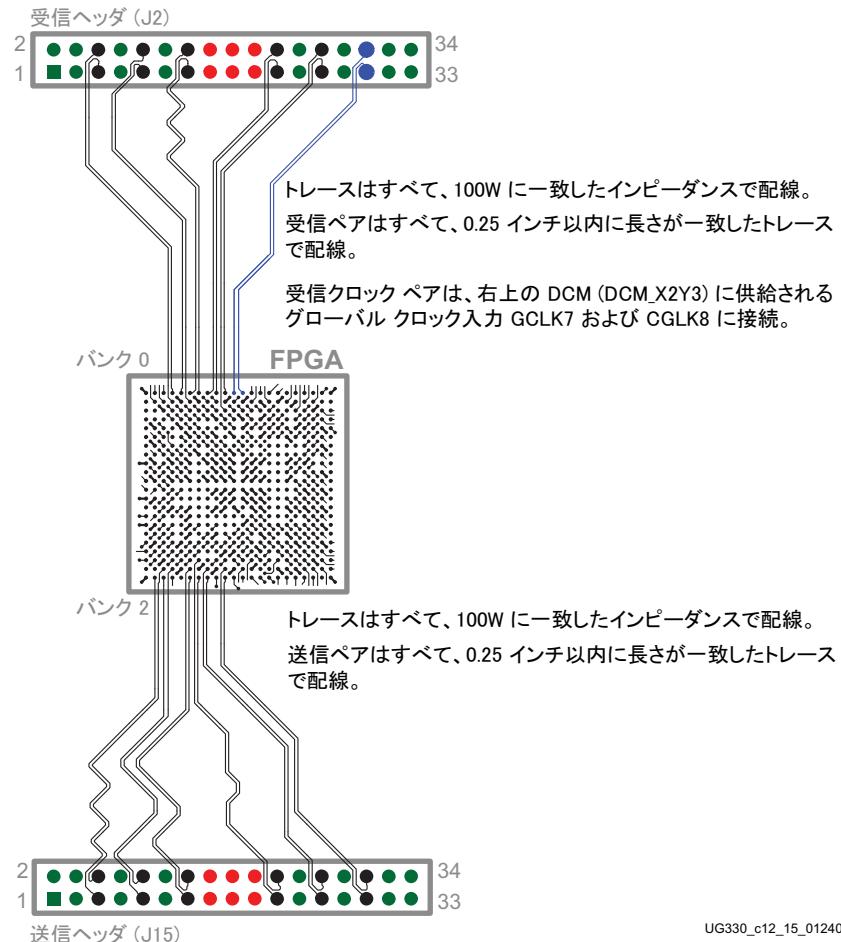


図 15-6：差動 I/O コネクタのレイアウト

34 導体ケーブル アセンブリ (2 X 17)

J2 および J15 ヘッダは、2 X 17、0.1 インチ フォーム ファクタを使用する 34 導体フラット リボン ケーブル アセンブリに接続するように設計されています。

表 15-5 : 34 導体ケーブル アセンブリの例

販売代理店	製造業者	販売代理店 パート番号	データ型	長さ
Digi-Key www.digikey.com	3M	M3AAK-3420K-ND	フラット リボン ケーブル、マルチ カラー、ツイストペア、金メッキ	50.80cm (20 インチ)
	CW Industries	C3AAG-3406G-ND	フラット リボン ケーブル、グレー、金メッキ	15.24cm (6 インチ)
		C3AAG-3406M-ND	フラット リボン ケーブル、マルチ カラー、金メッキ	
	CW Industries	C3AAG-3418G-ND	フラット リボン ケーブル、グレー、金メッキ	45.72cm (18 インチ)
		C3AAG-3418M-ND	フラット リボン ケーブル、マルチ カラー、金メッキ	

UCF ロケーション制約

図 15-7 に、送信および受信ヘッダの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
# High-Speed LVDS Receive Connector (RX)
NET "RX_CLK_N" LOC = "A11" | IOSTANDARD = LVDS_33 ;
NET "RX_CLK_P" LOC = "A12" | IOSTANDARD = LVDS_33 ;
NET "RX_N<0>" LOC = "B4" | IOSTANDARD = LVDS_33 ;
NET "RX_P<0>" LOC = "A4" | IOSTANDARD = LVDS_33 ;
NET "RX_N<1>" LOC = "A5" | IOSTANDARD = LVDS_33 ;
NET "RX_P<1>" LOC = "B6" | IOSTANDARD = LVDS_33 ;
NET "RX_N<2>" LOC = "A6" | IOSTANDARD = LVDS_33 ;
NET "RX_P<2>" LOC = "A7" | IOSTANDARD = LVDS_33 ;
NET "RX_N<3>" LOC = "A8" | IOSTANDARD = LVDS_33 ;
NET "RX_P<3>" LOC = "A9" | IOSTANDARD = LVDS_33 ;
NET "RX_N<4>" LOC = "C10" | IOSTANDARD = LVDS_33 ;
NET "RX_P<4>" LOC = "A10" | IOSTANDARD = LVDS_33 ;

# High-Speed LVDS Transmit Connector (TX)
NET "TX_CLK_N" LOC = "AB10" | IOSTANDARD = LVDS_33 ;
NET "TX_CLK_P" LOC = "AA10" | IOSTANDARD = LVDS_33 ;
NET "TX_N<0>" LOC = "AA3" | IOSTANDARD = LVDS_33 ;
NET "TX_N<0>" LOC = "AB2" | IOSTANDARD = LVDS_33 ;
NET "TX_N<1>" LOC = "AA4" | IOSTANDARD = LVDS_33 ;
NET "TX_P<1>" LOC = "AB3" | IOSTANDARD = LVDS_33 ;
NET "TX_N<2>" LOC = "AB6" | IOSTANDARD = LVDS_33 ;
NET "TX_P<2>" LOC = "AA6" | IOSTANDARD = LVDS_33 ;
NET "TX_N<3>" LOC = "AB7" | IOSTANDARD = LVDS_33 ;
NET "TX_P<3>" LOC = "Y7" | IOSTANDARD = LVDS_33 ;
NET "TX_N<4>" LOC = "AB8" | IOSTANDARD = LVDS_33 ;
NET "TX_P<4>" LOC = "AA8" | IOSTANDARD = LVDS_33 ;
```

図 15-7 : 受信および送信ヘッダの UCF ロケーション制約

6 ピン アクセサリ ヘッダ

6 ピン アクセサリ ヘッダでは、さまざまな Digilent 社製のペリフェラル モジュールを使用して I/O インターフェイスを簡単に拡張できます。

J18 ヘッダ

J18 ヘッダ (図 15-8) は、ボードの右下端、BTN_EAST プッシュ ボタンの右側に配置されています。このヘッダでは、メス型の 6 ピン 90° ソケットを使用します。4 つの FPGA ピンがヘッダ J18 の J18_IO<4:1> に接続されています。J18 ソケットに取り付けられたアクセサリ ボードには、一番下のピンから 3.3V の電源が供給されます。

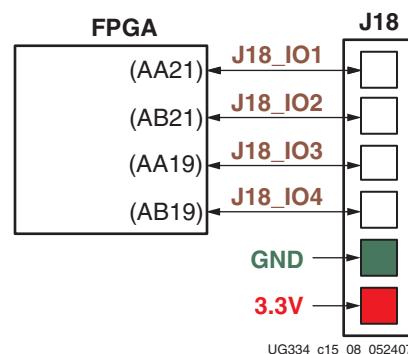


図 15-8 : J18 アクセサリ ヘッダへの FPGA の接続

J19 ヘッダ

J19 ヘッダ (図 15-9) は、ボードに実装されていません。4 つの FPGA ピンがヘッダ J19 の J19_IO<4:1> に接続されています。J19 ソケットに取り付けられたアクセサリ ボードには、一番下のピンから 3.3V の電源が供給されます。

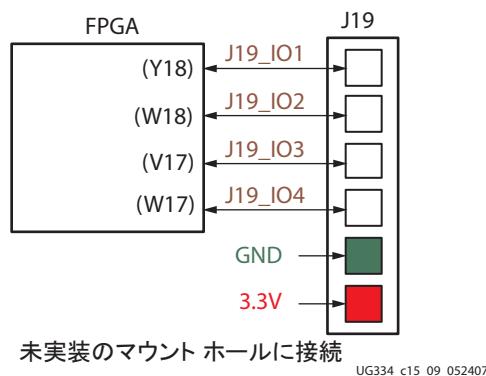


図 15-9 : J19 アクセサリ ヘッダへの FPGA の接続

J20 ヘッダ

ヘッダ J20 は、図 15-10 に示すように、ボードの右辺にある、上側の 6 ピン コネクタです。このヘッダでは、メス型の 6 ピン 90° ソケットを使用します。4 つの FPGA ピンがヘッダ J19 の J20_IO<4:1> に接続されています。J20 ソケットに取り付けられたアクセサリ ボードには、一番下のピンから 3.3V の電源が供給されます。

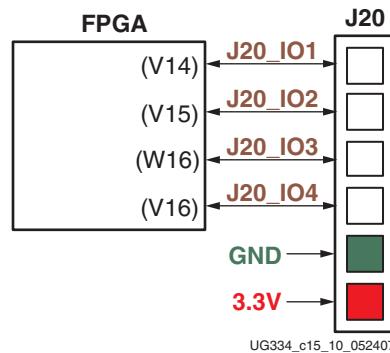


図 15-10 : J20 アクセサリ ヘッダへの FPGA の接続

Digilent 社ペリフェラル モジュール

Digilent 社製ペリフェラル モジュール (PMOD) は、プログラマブル ロジックおよびエンベデッド制御ボードの機能を拡張する理想的な小型 I/O インターフェイスです。このインターフェイスを使用すると、信号要件が厳しい回路および高電力駆動の回路をセンサおよびアクチュエータの近辺に配置して、動作を最適にすることができます。PMOD は、6 ワイヤ ケーブルを使用してシステムボードと通信します。このケーブルでは、SPI およびその他のシリアル プロトコルを含み、最大 4 個のデジタル制御信号を伝送できます。PMOD では、アナログ信号および電源を必要な場合にのみ、デジタル制御ボードから離れた位置に配線することにより、デザインのパーティションを向上できます。

- Digilent 社製ペリフェラル モジュール
<http://www.digilentinc.com/Products/Catalog.cfm?Cat=Peripheral>

UCF ロケーション制約

図 15-11 に、アクセサリ ヘッダの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
# ===== 6-pin header J18 =====
# These four connections are shared with the FX2 connector
NET "J18_IO<1>" LOC = "AA21" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "J18_IO<2>" LOC = "AB21" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "J18_IO<3>" LOC = "AA19" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "J18_IO<4>" LOC = "AB19" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;

# ===== 6-pin header J19 =====
# These four connections are shared with the FX2 connector
# These four connections go to through-hole pads, not to a connector.
NET "J19_IO<1>" LOC = "Y18" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "J19_IO<2>" LOC = "W18" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "J19_IO<3>" LOC = "V17" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "J19_IO<4>" LOC = "W17" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;

# ===== 6-pin header J20 =====
# These four connections are shared with the FX2 connector
NET "J20_IO<1>" LOC = "V14" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "J20_IO<2>" LOC = "V15" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "J20_IO<3>" LOC = "W16" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "J20_IO<4>" LOC = "V16" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
```

図 15-11 : アクセサリ ヘッダの UCF ロケーション制約

コネクタレス デバッグ ポート ランディング パッド (J34)

コネクタレス デバッグ ポートのランディング パッドは、ヘッダ J34 として供給されます。ボード上に物理的なコネクタではなく、コネクタレス プローブ (Agilent 社製など) がロジック アナライザへのインターフェイスとなります。このデバッグ ポートは主に、ザイリンクス ChipScope Pro ソフトウェアで Agilent 社製の FPGA ダイナミック プローブを使用するためのものですが、FPGA Editor のプローブ コマンドを使用して、Agilent 社製または Tektronix 社製のプローブのどちらでも、ChipScope Pro ソフトウェアなしで使用できます。

- ザイリンクス ChipScope Pro ツール
japan.xilinx.com/ise/optional_prod/cspro.htm
- Agilent 社製 B4655A ロジック アナライザ用 FPGA ダイナミック プローブ
www.home.agilent.com/USeng/nav/-536902581.0/pc.html
- Agilent 社製 5404A/6A Pro シリーズ ソフト タッチ コネクタ
<http://www.home.agilent.com/agilent/product.jspx?cc=JP&lc=jpn&pageMode=OV&pid=430362&ct=PRODUCT&id=430362>
- Tektronix 社製 P69xx D-Max テクノロジ付きプローブ モジュール
www.tek.com/products/accessories/logic_analyzers/p6800_p6900.html

表 15-6 に、コネクタのピン配置を示します。コネクタに接続されているのは 18 個の FPGA ピンのみで、その他のコネクタ パッドは接続されていません。これらの 18 個の FPGA ピンはすべて、FX2 コネクタ (J17) と共有されます。どのように共有されるかは、125 ページの表 15-1 を参照してください。

表 15-6 : コネクタレス デバッグ ポート ランディング パッド (J34)

信号名	FPGA ピン	コネクタレス ランディング パッド		FPGA ピン	信号名
FX2_IO1	A13	A1	B1	GND	GND
FX2_IO2	B13	A2	B2	A14	FX2_IO3
GND	GND	A3	B3	B15	FX2_IO4
FX2_IO5	A15	A4	B4	GND	GND
FX2_IO6	A16	A5	B5	A17	FX2_IO7
GND	GND	A6	B6	B17	FX2_IO8
FX2_IO9	A18	A7	B7	GND	GND
FX2_IO10	C18	A8	B8	A19	FX2_IO11
GND	GND	A9	B9	B19	FX2_IO12
FX2_IO13	A20	A10	B10	GND	GND
FX2_IO14	B20	A11	B11	C19	FX2_IO15
GND	GND	A12	B12	D19	FX2_IO16
FX2_IO17	D18	A13	B13	GND	GND
FX2_IO18	E17	A14	B14		
		A15	B15		
		A16	B16		
		A17	B17		
		A18	B18		
		A19	B19		
		A20	B20		
		A21	B21		
		A22	B22		
		A23	B23		
		A24	B24		
		A25	B25		
		A26	B26		
		A27	B27		

小型ステレオ オーディオ ジャック

Spartan™-3A/3AN スタータ キット ボードには、図 16-1 に示すように、小型のステレオ オーディオ ジャック プラグが含まれています。ジャック プラグは、ボードの右上端、SUSPEND スライドスイッチのすぐ上に配置されています。

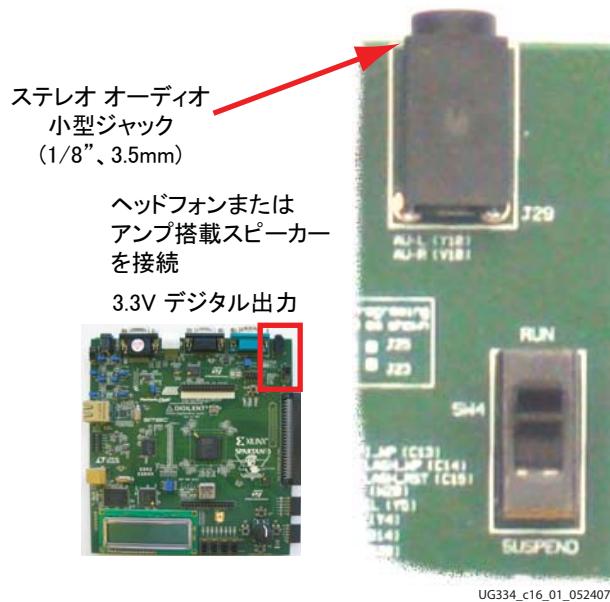


図 16-1 : 小型ステレオ ジャック

サポートされるオーディオ デバイス

ポートからは、ヘッドフォンまたはアンプ搭載スピーカーに単純な音声トーンが送られます。図 16-2 に示すように、オーディオ デバイスでは 3.5mm のオーディオ ジャックを使用する必要があります。ステレオコネクタの使用を推薦します。表 16-1 に、FPGA 信号の定義を示します。

モノラルコネクタでも動作しますが、次のような制限があります。AUD_L 信号上の信号のみ駆動され、AUD_R 出力は AUD_L チャネルと競合しないよう にハイ インピーダンス (Hi-Z) にされます。

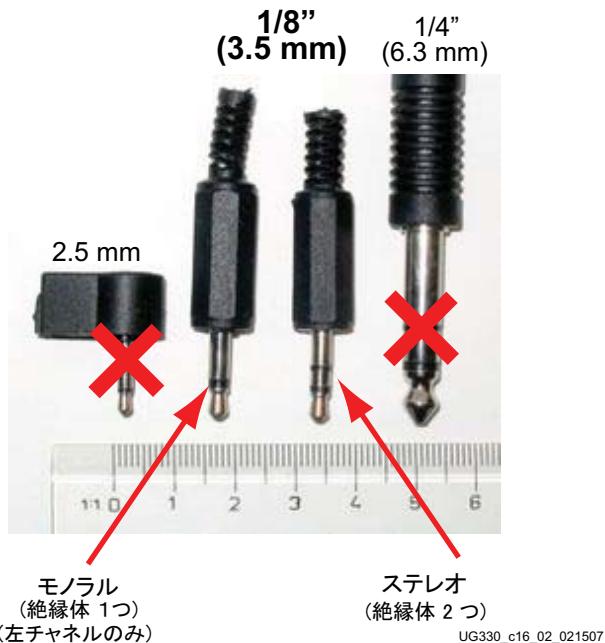


図 16-2：小型ステレオ ジャックの例

FPGA 接続

表 16-1 に示すように、FPGA ではオーディオ ジャック両側を 3.3V のデジタル信号で駆動します。モノラル コネクタでは、左側のチャネルのみが使用されます。

表 16-1：ステレオ ミニジャックへのデジタル出力

信号名	FPGA ピン	ステレオ ジャック	モノラル ジャック
AUD_L	Y10	左側オーディオ	オーディオ チャネル
AUD_R	V10	右側オーディオ	ハイインピーダンス に駆動

UCF ロケーション制約

図 16-3 に、オーディオ コネクタの UCF 制約を示します。

```
# Controls VCCAUX supply rail (IC19)
NET "AUD_L" LOC = "Y10" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = QUIETIO ;
NET "AUD_R" LOC = "V10" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = QUIETIO ;
```

図 16-3：オーディオ コネクタの UCF 制約

関連情報

ボードと共に提供されているサンプル デザインに、オーディオの例が含まれています。

- Spartan-3A スタータ キットのサンプル デザインの概要
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#demo
- 初期設定のフラッシュ プログラムの復元
japan.xilinx.com/products/boards/s3astarter/reference_designs.htm#out

電源供給

図 17-1 に示すように、電源供給はすべて、ボードの左上端に配置されています。

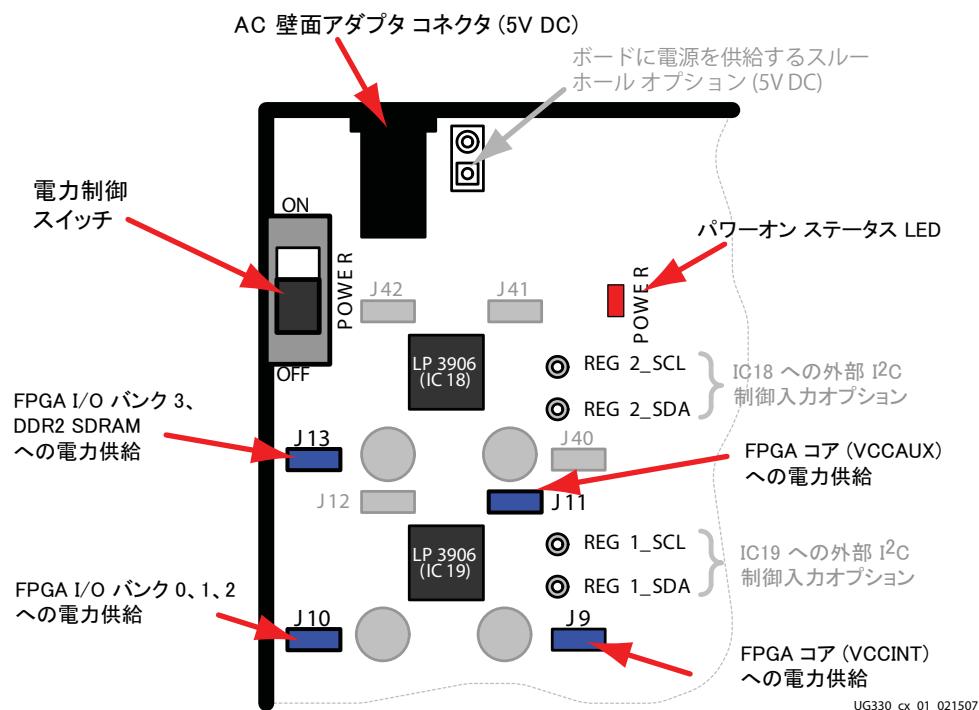


図 17-1 : Spartan-3A/3AN スタータ キット ボードの電源供給

Spartan™-3A/3AN スタータ キット ボードでは、5.0V の DC 電圧入力が必要で、通常はこの電源がキットに含まれている AC 壁面アダプタにより供給されます。ただし、スルーホール実装パッドを使用して、直接ボードを 5.0V の DC 電源に接続することもできます。

AC 壁面アダプタは、キットに含まれるもの同様、規定の 5.0V DC 電源である必要があります。LCD キャラクタ ディスプレイや PS/2 ポートなど、一部のボードのコンポーネントおよびインターフェイスは、5.0V の供給レールから直接供給されます。

注意：AC 壁面アダプタを接続するか、またはスルーホール実装パッドのいずれか 1 つのみを使用してください

5.0V 入力電圧は、ボードのコンポーネントで必要な供給電圧に変換されます。このサマリを表 17-1 に示します。5V 以外の電圧はすべて、コンパクトで経済的なナショナル セミコンダクター社製 LP3906 クワッド出力電圧レギュレータ 2つによって、供給されます。各レギュレータには、高電流スイッチ レギュレータ(バック)と LDO (Low Drop Out) リニア レギュレータがそれぞれ 2つ含まれています。

表 17-1 : 電圧レギュレータおよび供給レール

電圧レギュレータ	レギュレータ出力	電圧レベル	ジャンパ制御	供給されるコンポーネント
ナショナルセミコンダクター社製 LP3906 (IC19)	SW1	1.2V	J9	FPGA 内部コア電圧、VCCINT
	SW2	3.3V	J10	FPGA I/O バンク 0、1、2 (VCCO_0、VCCO_1、および VCCO_2)。すべて 3.3V コンポーネントです。
	LDO1	3.3V	J11	FPGA 内部補助電圧、VCCAUX
	LDO2	1.8V	J12	エンベデッド USB プログラマ
ナショナルセミコンダクター社製 LP3906 (IC18)	SW1	0.9V	J40	DDR2 SDRAM 終端ネットワーク
	SW2	1.8V	J13	DDR2 SDRAM コンポーネント、FPGA I/O バンク 3 (VCCO_3)
	LDO1	3.3V	J41	D/A コンバータ チャネル C および D への参照電圧
	LDO2	1.8V (0.9V に分圧)	J42	DDR2 SDRAM 参照電圧、FPGA I/O バンク 3 VREF 入力 (VREF_3)

ボードでは、4つのレギュレータすべてがテストおよび評価に使用されます。ただし、典型的な Spartan-3A/3AN FPGA アプリケーションでは、使用されるレール数は少数です。

- ボードでは、VCCAUX に対して別個の供給が使用され、この値はデフォルトで 3.3V に設定されています。典型的なアプリケーションでは、FPGA の VCCAUX 供給を FPGA I/O バンク 0、1、および 2 に使用する 3.3V 供給に直接接続できます。
 - ◆ デフォルトでは、VCCAUX は 3.3V に設定されています。
 - ◆ レギュレータ IC19 の I²C インターフェイスを使用すると、VCCAUX を 2.5V に低減して、全消費電力を削減したり動作を検証できます。
- DDR2 SDRAM インターフェイスでは、複数のレギュレータ出力を使用して電圧のマージンがテストされます。
 - ◆ 高電流 1.8V レールでは、DDR2 SDRAM コンポーネントがサポートされ、DDR2 SDRAM に接続されている FPGA の I/O バンク 3 に電力を供給します。
 - ◆ 高電流 0.9V では、DDR2 SDRAM の終端ネットワークに電力を供給します。
 - ◆ 低電流 1.8V では、抵抗を使用して分圧された電圧で、DDR2 SDRAM コンポーネントに高精度の 0.9V 参照電圧を供給し、また FPGA の I/O バンク 3 に VREF 入力を供給します。
 - ◆ 詳細は、[第 13 章の「DDR2 SDRAM」](#) を参照してください。

電圧供給ジャンパ間の電力の測定

レギュレータの出力には、それぞれ表 17-1 および図 17-1 に示すジャンパが付いています。これにより、マルチメータ 1 つを使用するだけで簡単に電流を監視できます。

たとえば、一時停止 (SUSPEND) モードでの FPGA の VCCAUX または VCCINT の電流を計測するには、次の手順に従います。

注意：最初に、FPGA アプリケーションで一時停止モードをイネーブルにする必要があります。ボードと共に提供されている初期状態のサンプル デザインでは、すべて一時停止モードがイネーブルになっています。

- ボードの電源をはずします。
- 表 17-2 に示すように、計測する電流に関連するジャンパをはずします。ジャンパの位置は、図 17-1 を参照してください。

表 17-2 : FPGA 電源供給レールおよび関連する電圧供給ジャンパ

FPGA 電源供給レール	関連する電圧供給ジャンパ	デフォルトの電圧
VCCINT	J9	1.2V
VCCAUX	J11	3.3V

- 図 17-2 に示すように、デジタル マルチメータをジャンパに接続します。計測値が負になる場合、ジャンパへの接続を反転させます。

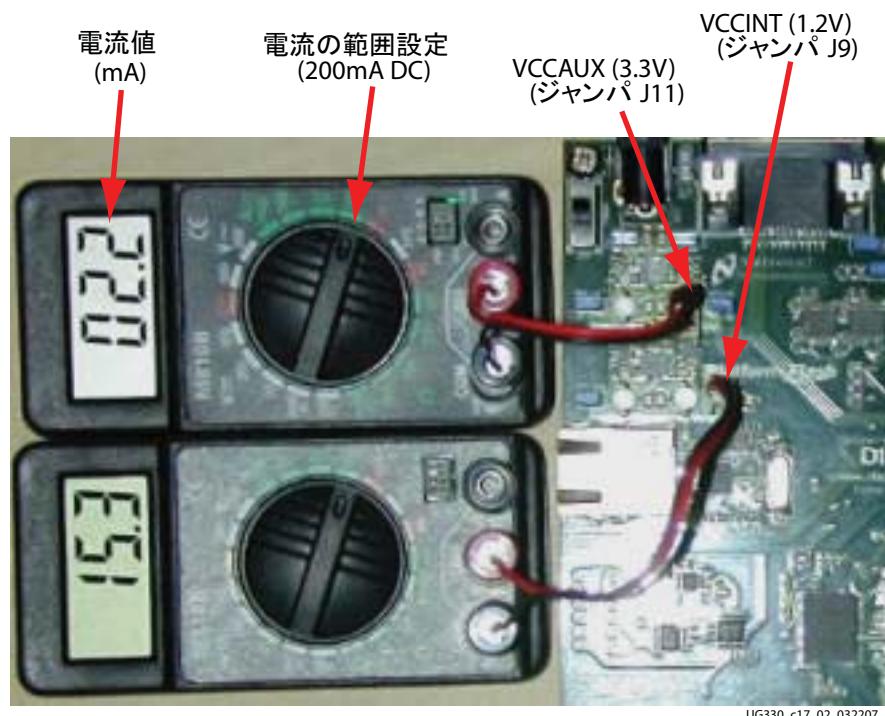


図 17-2 : マルチメータを使用した電流 (電力) の測定

- DC アンペアを計測するようにメータを設定します。初めに、メータをアンペア (A) の範囲に設定します。電流を計測した後に、必要であれば低い範囲 (200mA など) に切り替えます。

注意：メータでさまざまな電流の範囲が提供されている場合は、まずは広範囲のものから使用してください。メータに範囲を大幅に超える電流を流すと、破損する恐れがあります。

- ボードに電源を入れます。
- ジャンパの電流を計測します。
- FPGA デザインで省電力の一時停止モードがサポートされる場合は、SUSPEND スイッチ(28 ページの「[SUSPEND スイッチ](#)」)を RUN および SUSPEND の両方の位置に設定して、電流を計測します。スタータキットボードと共に提供されるデフォルトの FPGA アプリケーションでは、一時停止モードが使用されています。一時停止モードの詳細は、[ユーザーガイド UG331 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』](#)の「パワー マネージメント ソリューション」を参照してください。
- 計測値を供給電圧で乗算して、電流の単位(A または mA)を電力の単位(W または mW)に変換します。

I²C 電圧調整インターフェイス

LP3906 レギュレータには、2 ワイヤの I²C シリアルインターフェイスがあり、レギュレータの出力電圧など、さまざまな機能をオプションで制御できます。[表 17-3](#) に示すように、I²C インターフェイスは、指定の I/O ピンまたは外部コントローラを使用して FPGA アプリケーションから制御できます。外部コントローラでは、[図 17-1](#) に示すように、ボードに搭載されているスルーホール実装パッドを使用します。

表 17-3 : I²C 電圧調整インターフェイス

レギュレータ	I ² C 制御入力	FPGA 接続	スルーホール接続
IC18	SCL	REG2_SCL (D11)	REG2-SCL
	SDA	REG2_SDA (F13)	REG2-SDA
IC19	SCL	REG1_SCL (E13)	REG1-SCL
	SDA	REG1_SDA (D13)	REG1-SDA

変更可能な電圧

試験的な目的で、次の 2 つの電圧供給の値を変更できます。

- デフォルトでは、Spartan-3AN FPGA の要件に合わせて、V_{CCAUX} 供給は 3.3V に設定されています。Spartan-3A FPGA では、2.5V または 3.3V に設定できます。2.5V に設定すると、消費電力を削減できます。2.5V にするには、LP3906 レギュレータ IC19 の LDO1 出力を調整します。これに対応する I²C 制御信号は、REG1_SCL および REG1_SDA です。
- デフォルトでは、D/A コンバータのチャネル C および D への参照電圧は 3.3V ですが、IC18 の LDO1 出力を制御すると、1.0V ~ 3.3V に調整できます。これに対応する I²C 制御信号は、REG2_SCL および REG2_SDA です。詳細は、[第 10 章の「DA コンバータ \(DAC\)」](#) を参照してください。

デフォルト電圧の復元

電圧の調整は、いずれも一時的なもので、5.0V 電源が接続されている間のみ適用されます。元の出力電圧に戻すには、5.0V 電源入力を一度取りはずしてから接続し直します。

注意：電源スイッチをオン、オフに切り替えるだけでは、元の出力電圧は復元されません。外部 5.0V 供給入を取り外して接続し直す必要があります。

UCF ロケーション制約

図 17-3 に、レギュレータへの I²C 制御信号の UCF 制約を示します。

```
# Controls VCCAUX supply rail (IC19)
NET "REG1_SCL" LOC = "E13" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = QUIETIO ;
NET "REG1_SDA" LOC = "D13" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = QUIETIO ;

# Control D/A Converter reference voltage for Channels C and D (IC18)
NET "REG2_SCL" LOC = "D11" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = QUIETIO ;
NET "REG2_SDA" LOC = "F13" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = QUIETIO ;
```

図 17-3 : レギュレータ I²C 制御信号の UCF 制約

関連情報

詳細については、次のリンク先を参照してください。

- ナショナル セミコンダクター社製 LP3906 Dual High-Current Step-Down DC/DC and Dual Linear Regulator with I²C Compatible Interface
www.national.com/pf/LP/LP3906.html

