

Лапин А.В., Булах Д.А.

аспирант; к.т.н., доцент кафедры ПКИМС НИУ МИЭТ

xanderius@mail.ru, dima@pkims.ru

ПРИМЕНЕНИЕ МОДИФИЦИРОВАННОГО АЛГОРИТМА СЕТЕЙ ПЕТРИ В ЛОГИЧЕСКОМ МОДЕЛИРОВАНИИ ЦИФРОВЫХ КОМБИНАЦИОННЫХ СХЕМ

При моделировании цифровых схем, включающих элементы с несколькими входами, возникает ситуация, при которой происходят одновременные переключения входных сигналов на них. Это приводит к гонке сигналов, и программе моделирования необходимо выбрать, какое из этих переключений обработать в первую очередь. В результате этого поведение моделируемой схемы может отличаться от ожидаемого.

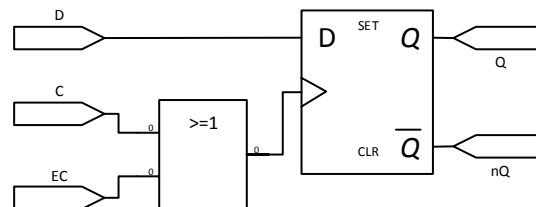


Рисунок 1. Схема D-триггера.

Для решения описанной проблемы в современных САПР вводится понятие дельта задержки. Несмотря на то, что использование такого механизма позволяет выполнить имитацию параллельности исполнения команд, в нём присутствует неявный выбор очерёдности исполнения последовательных команд, что, в свою очередь, не позволяет эффективно реализовать параллельное моделирование. В зависимости от способа описания схемы алгоритм может работать по-разному, выбирая различную очерёдность переключений сигналов. Данная ситуация может быть рассмотрена на примере D-триггера (Рис.1). В зависимости от порядка изменения входных сигналов результаты моделирования будут отличаться (Рис.2).

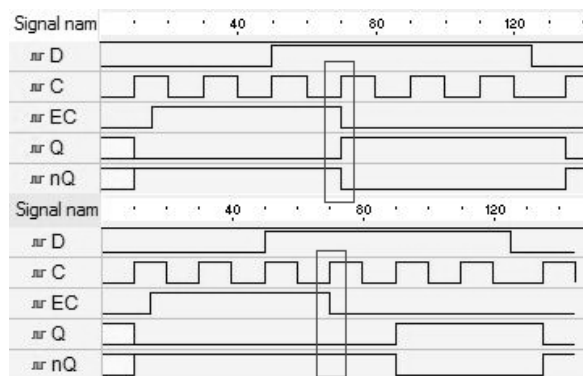


Рисунок 2. Временные диаграммы, иллюстрирующие описанную проблему.

При одновременном переключении сигналов ЕС и С на входах элемента ИЛИ (один переключается из «1» в «0», другой – из «0» в «1»), логическая функция на выходе не изменится («1»). Это означает, что тактовый сигнал не достигнет входа триггера, в следствие чего переключение на нём произойдёт только на следующем такте.

Применение алгоритма сетей Петри в логическом моделировании цифровых ИС

Сети Петри нашли широкое применение в проектировании ИС [1]. С их помощью строятся диаграммы распространения сигналов, из которых в последствии синтезируются схемы, и проводится их моделирование. Однако, такой вариант не предусматривает использования алгоритма работы сетей Петри для моделирования схемы, используется уже существующий алгоритм моделирования с описанными ранее недостатками.

В работе [2] показано применение сетей Петри как основы алгоритма логического моделирования цифровых ИС. На рисунках 3 и 4 представлены схема полного сумматора и её интерпретация в терминах сетей Петри. В данной работе описывается модификация указанного метода, а также показаны достоинства и недостатки предложенного алгоритма по сравнению с существующими решениями (на примере Icarus Verilog).

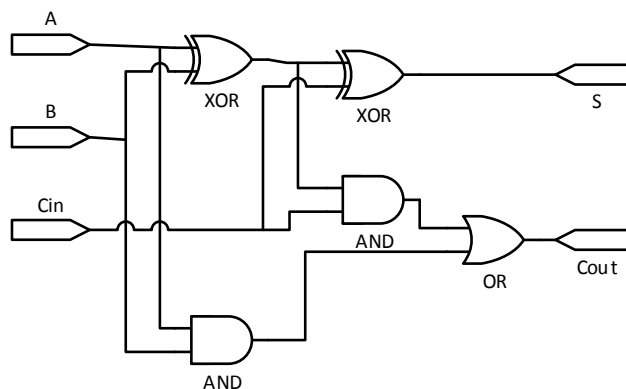


Рисунок. 3. Схема полного сумматора.

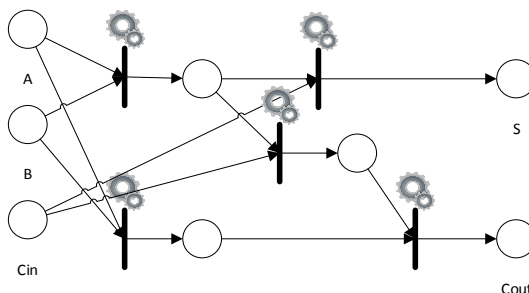


Рисунок. 4. Схема полного сумматора в терминах сетей Петри.

Модификация и оптимизация алгоритма

Как было показано [2], каждый шаг моделирования в сетях Петри состоит из трёх этапов: t^- , t_0 и t^+ . Поэтому очередь моделирования в каждый момент времени становится в три раза больше, чем при использовании стандартного алгоритма моделирования. Например, если очередь имеет вид $\{G1, G2, G3\}$ (где G – логический вентиль), то при использовании сетей Петри она преобразуется в $\{G1_{t^-}, G2_{t^-}, G3_{t^-}, G1_{t_0}, G2_{t_0}, G3_{t_0}, G1_{t^+}, G2_{t^+}, G3_{t^+}\}$. Несмотря на это, предлагаемый алгоритм не уступает по скорости выполнения моделирования Icarus Verilog.

При моделировании цифровых ИС нет нужды выделять этапы t^- и t_0 в силу различной природы логических сигналов и фишек в сетях Петри. Сигналы, в отличие от фишек, сохраняют своё значение на входах логических элементов до следующего переключения. Исходя из этого, можно объединить этапы t^- и t_0 . Такое упрощение позволило сократить очередь моделирования на треть и уменьшить время выполнения моделирования.

Результаты моделирования

В качестве моделируемых схем использовались полный сумматор (Рис.2) и демультиплексор «2 в 4». В таблице 1 представлены результаты моделирования описанных схем с использованием Icarus Verilog и симулятора, использующего предлагаемый алгоритм. Тестирование проводилось на ПК под управлением ОС Windows 10 x86/x64 с использованием ЦП Intel® Atom™ CPU Z3740D/Intel® Core2Quad Q6700. Объединение этапов t^- и t_0 позволило незначительно ускорить моделирование, в результате чего показатели сравнимы с Icarus Verilog.

Симулятор и ЦП	Время моделирования схемы, с	
	Полный сумматор	Демультиплексор «2 в 4»
Icarus Verilog Z3740D	0,24	0,26
Petri Sim Z3740D	0,25	0,27
Petri Sim Z3740D (t^- & t_0 combined)	0,20	0,21
Icarus Verilog Q6700	0,24	0,26
Petri Sim Q6700	0,37	0,23
Petri Sim Q6700 (t^- & t_0 combined)	0,25	0,18

Таблица 1. Результаты моделирования.

Выводы

Предложенный алгоритм моделирование позволяет отказаться от использования дельта задержки в силу отсутствия проблемы выбора

очередности событий. Быстродействие описанного алгоритма сравнимо с показателями Icarus Verilog.

- [1] Alex Yakovlev, Luis Gomes, Luciano Lavagno. "Hardware Design and Petri Nets", 2013, Springer US. ISBN: 1475731442, 9781475731446.
- [2] A. V. Lapin, D. A. Bulakh, A. V. Korshunov, G. G. Kazennov, "The use of Petri nets as the basis of algorithm for gate level digital circuits simulation", 2015 IEEE East-West Design & Test Symposium (EWDTS), vol. 00, pp. 1-4, 2015, doi:10.1109/EWDTS.2015.7493116