только отдельному человеку, но и обществу и государству в целом, так как социальные процессы и социальная деятельность государства напрямую зависит от уровня безопасности и уровня подготовки при действиях в ЧС каждого отдельного человека.

Библиографический список

- 1. Безопасность жизнедеятельности: учебник для студ. учреждений высш. проф. образования / [Л.А.Михайлов, В.М.Губанов, В.П.Соломин и др.]; под ред. Л.А. Михайлова. 4 е изд., стер. М.: Издательский центр «Академия», 2012. 272 с. (Сер. Бакалавриат).
- 2. Городская среда как источник опасности [электронный ресурс] URL: https://www.myunivercity.ru/Безопасность_жизнедеятельности/Городская_среда_как_источник_опасности/112 317 1830809 страница1.html [Дата обращения: 25.01.2021]
- 3. Кадровый голод в РФ. Министр просвещения РФ предупредила о нехватке учителей [электронный ресурс]. URL: https://www.snta.ru/press-center/vakansiya-uchitel-skolko-uchiteley-ne-khvataet-v-shkolakh-rossii/ [Дата обращения: 21.12.2020]
- 4. Прохоров В.С. Современное состояние и перспективы в области безопасности жизнедеятельности [Электронный ресурс]. URL: https://cyberleninka.ru/article/n/sovremennoe-sostoyanie-i-perspektivy-v-oblasti-bezopasnosti-zhiznedevatelnosti [Дата обращения: 29.01.2021].
- 5. Современные тенденции развития школьного курса «Основы безопасности жизнедеятельности» [электронный ресурс]. URL: http://www.sibuch.ru/node/558 [28.01.2020]

УДК 004

Шаров В.А.

МАТЕМАТИЧЕСКАЯ МОДЕЛЬ ВОЗНИКНОВЕНИЯ ОТКАЗОВ ИЕРАРХИЧЕСКИХ ЦИФРОВЫХ УПРАВЛЯЮЩИХ СИСТЕМ

Исследуются электронные цифровые управляющие системы. Отмечается, что с точки зрения надежности подобные системы имеют иерархическую четырехуровневую структуру, верхний уровень которой представлен самой системой, а на нижнем уровне находятся электронные элементы системы. С применением математического аппарата сетей Петри-Маркова построена математическая модель возникновения отказов на верхних иерархических уровнях

Ключевые слова: надежность, отказ, иерархическая структура **Sharov V.A.**

MATHEMATICAL MODEL OF FAILURES OF HIERARCHICAL DIGITAL CONTROL SYSTEMS

Electronic digital control systems are being investigated. It is noted that from the point of view of reliability, such systems have a hierarchical four-level structure, the upper level of which is represented by the system itself, and the lower level is the electronic elements of the system. Using the mathematical apparatus of Petri-Markov nets, a mathematical model of the occurrence of failures at the upper hierarchical levels is built

Key words: reliability, failure, hierarchical structure

В настоящее время при управлении различными объектами широко применяются электронные цифровые управляющие системы (ЭЦУС) [1, 2]. Увеличение роли цифровой техники породила техническую проблему обеспечения надежности систем управления [3, 4, 5]. Для обеспечения требуемых показателей надежности на этапе проектирования необходимо иметь адекватную модель их оценки, которая учитывает особенности функционирования аппаратных средств системы, вытекающие из цифрового характера управления. Таким образом, потребности в широком внедрении ЭЦУС и отсутствие общей теории анализа и расчета эффективности и отказоустойчивости указанных систем, объясняет необходимость и актуальность исследований, в данной области.

Под электронными цифровыми управляющими системами ниже будут пониматься технические средства, в которых взаимодействие между узлами и блоками осуществляется посредством передачи/приема цифровых сигналов. Под цифровыми, в контексте решаемой задачи, понимаются сигналы, принимающие два значения, которые при технической реализации кодируются, как правило, хорошо различающимися значениями информативных параметров сигнала: высоким и низким уровнем постоянных напряжений (потенциальные элементы цифровых устройств), сменой фазы сигнала на 180° (фазовые элементы), наличием или отсутствием импульса (импульсные), изменением частоты модуляции и т.п. В ряде технических комплексов ЭЦУС имеют настолько значительный вес, что их сбои и отказы приводят, как минимум, к затруднениям в выполнении целевых функций комплекса, а в отдельных случаях могут привести к серьезным авариям и даже техногенным катастрофам.

Иерархическая структура типовой ЭЦУС приведена на рис. 1. Иерархия представлена следующими уровнями: 0 - уровень цифрового управляющего комплекса; 1 - уровень отдельных подсистем, обеспечивающих определенные функции комплекса; 2 - уровень узлов и блоков ЭЦУС, состоящих из элементов; 3 - уровень элементов (интегральных схем, транзисторов, резисторов, и т.п.).

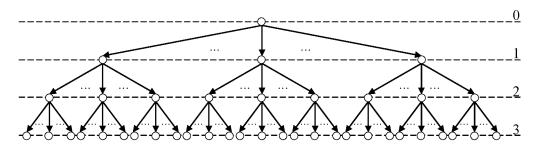


Рис. 1. Иерархическая структура ЭЦУС

На нижнем уровне иерархии ЭЦУС находятся элементы. Наиболее распространенными в настоящее время являются потенциальные элементы, в которых значения TRUE и FALSE закодированы в виде соответствующих уровней напряжений:

$$u := \begin{cases} TRUE \text{ when } u_n \ge u \ge u^1; \\ FALSE \text{ when } 0 \ge u \ge u^0, \end{cases}$$

где u_n - напряжение питания элементов, u^0 - пороговое напряжение значения $\mathit{FALSE};\ u^1$ - пороговое напряжение значения $\mathit{TRUE}.$

В диапазоне $u^0 < u < u^1$ сигнал может быть воспринят элементами цифровых управляющих устройств и как TRUE, и как FALSE.

Зоны уровней сигналов u для потенциальных элементов приведены на рис. 1.

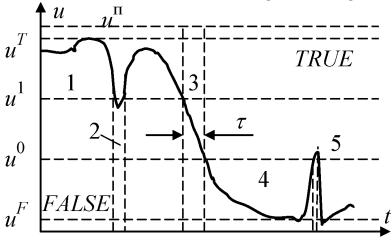


Рис. 2. Зоны уровней сигналов потенциальных элементов

Отказы элементов могут возникнуть как в их статическом положении, так и при переключении. К основным статическим параметрам относятся:

напряжение u^T , соответствующее состоянию TRUE;

напряжение u^F , соответствующее состоянию FALSE;

пороговое состояние логического элемента u^1 , малые отклонения от которого могут привести к переходу выходного сигнала элемента из состояния TRUE в неопределенное состояние;

пороговое состояние логического элемента u^0 , малые отклонения от которого могут привести к переходу выходного сигнала элемента из состояния FALSE в неопределенное состояние;

логический перепад $\Delta_{u} = u^{T} - u^{F}$;

допустимое напряжение статической помехи по цепи питания, которое указывается в паспорте на логический элемент, невыход помехи за указанный уровень гарантирует отсутствие сбоев для наихудшего случая работы элемента.

Отказы логических элементов в статическом состоянии проявляются в виде одной из следующих ситуаций:

нарушение логики работы элемента;

установление элемента в неопределенное состояние $u^{0} < u < u^{1}$.

При кратковременном проявлении ситуаций имеет место перемежающийся отказ (сбой) (см. зоны 2 и 5). При устойчивом проявлении перечисленных ситуаций в статическом состоянии имеет место отказ элемента.

К основным динамическим параметрам элементов относятся (рис. 3):

а - при переключении $FALSE \rightarrow TRUE$; б - при переключении $TRUE \rightarrow FALSE$

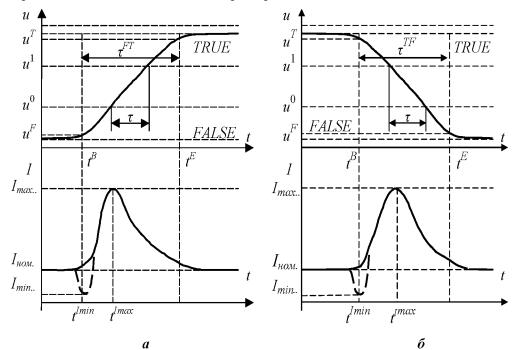


Рис. 3. Переходные процессы в потенциальных элементах

время $t^{TF} = t^E - t^B$ переключения логического элемента из состояния TRUE в состояние FALSE;, в течение которого происходит переход выходного напряжения от значения $0,1(u^T-u^F)$ до значения $u^F - 0,1(u^T-u^F)$;

время $t^{FT} = t^E - t^B$ переключения логического элемента из состояния *FALSE* в состояние *TRUE*;, в течение которого происходит переход выходного напряжения от значения $u^F - 0.1(u^T - u^F)$ до значения $0.1(u^T - u^F)$;

время τ^s задержки переключения логического элемента, отсчитываемое от значений $0,1(u^T-u^F)$ $(u^F-0,1(u^T-u^F))$ до значений $0,1(u^T-u^F)$ $(u^F-0,1(u^T-u^F))$.

Кроме того существует ненормируемый параметр τ , время нахождения сигнала в зоне неопределенности, который влияет как на динамический, так и на статический режим работы. Нормальным следует считать переходный процесс, в котором при переключении логического элемента время τ не превышает некоторого предела.

В динамическом режиме работы, т.е. при переключениях логических элементов возникает наибольшее количество как устойчивых, так и перемежающихся отказов. Это явление связано со следующими обстоятельствами. В состав реальных логических элементов кроме электрических элементов, проектируемых разработчиком, и выполняющих в изделии заранее запрограммированные функции, входят также т.н. «паразитные» элементы, формируемые в процессе изготовления, но не предусмотренные конструкторской документацией. К элементам подобного рода можно отнести сопротивления и индуктивности проводников, емкости близко расположенных проводников и т.п. За счет паразитных элементов возможно появление импульсной помехи, во входных цепях триггеров, что иллюстрируется рис. 3, где показано, как за счет паразитного резистора R при срабатывании элемента DD1 возможно возникновение импульса по цепи питания, который переключает RS-триггер DD4-DD5 [9].

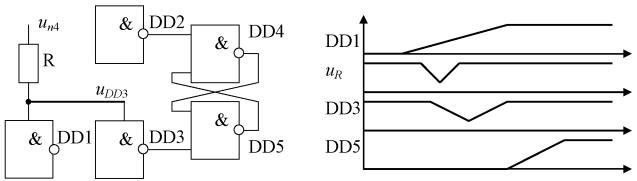


Рис. 4. Формирование импульсной помехи, переключающей RS-триггер

Следующий тип отказов возникает при взаимодействии элементов на втором и более высоких уровнях иерархии. Статические отказы, как правило, возникают при превышении нагрузки на выходе логического элемента его допустимой нагрузочной способности. В этом случае выходной сигнал нагружаемого элемента сдвигается в область $u^0 < u < u^1$, что может привести к сбоям в работе

нагружающих элементов. Кроме того, перегрузка приводит к повышенному расходу энергии на гпшожпнили элементе, что может привести его в неработоспособное состояние. Динамические отказы на этом уровне возникают за счет эффекта «гонок», который иллюстрируется рис. 5.

На рис. 5 а производится запись данных с выходов комбинационных логических схем L1, L2, L3 в регистр RG фронтом сигнала С. Переходный процесс в L1, L2, L3 начинается одновременно, но в силу различия задержки переключения во времени, заканчивается в разные моменты [9]. В результате время от окончания переходного процесса до тактирующего фронта сигнала С оказывается равным, соответственно, $\tau_1,\ \tau_2,\ \tau_3$. Каждый из перечисленных интервалов имеет разброс, и с учетом разброса, интервалы могут возникать отказы при записи данных в регистр.

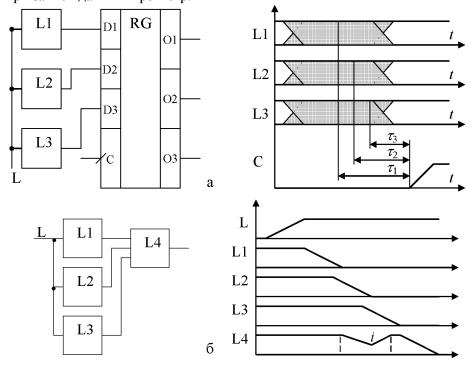


Рис. 5. Эффект "гонок"

В схеме, приведенной на рис. 5 б эффект «гонок» приводит при разбросе формирования сигналов на выходах комбинационных схем одновременном переключении сигнала L на входах комбинационных схем L1, L2, L3 к ложному срабатыванию комбинационной схемы L4.

На уровнях со второго по нулевой ЭЦУС функционирует как конечный автомат, включающий Jэлементов, каждый из которых при переходе ЭЦУС из текущего состояния в следующее должен сработать безошибочно. Исходя из этой особенности, моделью отказов ЭЦУС может быть сеть Петри-Маркова, представленная на рис. 6 [10]. В сети Петри-Маркова места $a_1,...,a_j,...,a_J$ моделируют пребывание соответствующих элементов в работоспособном, или неработоспособном состоянии; место a_{J+1} фиксирует факт бессбойной работы системы на текущем временном интервале функционирования; место a_{I+2} фиксирует факт отказа системы; переходы z_1, z_2, z_3 являются синхронизирующими. Плотность

распределения времени пребывания сети в состояниях $a_1,...,a_j,...,a_J$ определяется как $\delta(t-T)$, где T - период следования тактирующих импульсов; $\delta(...)$ - δ -функция Дирака; плотность распределения времени пребывания в месте a_{J+1} определяется как $\delta(t)$; время пребывания в месте a_{J+2} определяется как $f_{J+1}(t)$, т.е. плотность распределения времени , затрачиваемого на восстановление системы.

Вероятности p_j , $1 \le j \le J$ выполнения полушагов из мест a_j в переход z_2 определяются вероятностями отсутствия сбоя j-х элементов на момент переключения. Вероятности $1-p_j$, $1 \le j \le J$ выполнения полушагов из мест a_j в переход z_3 определяются вероятностями появления сбоя j-х элементов на момент переключения. Логические условия выполнения полушагов (z_2, a_{J+1}) и (z_2, a_{J+2}) являются следующими:

$$\lambda(z_2,a_{J+1}) = \bigwedge_{j=1}^{J} \lambda(a_j,z_2); \quad \lambda(z_2,a_{J+2}) = \bigvee_{j=1}^{J} \lambda(a_j,z_3),$$
 где $\lambda(a_j,z_2)$ и $\lambda(a_j,z_3)$ - логические

функции выполнения соответствующих полушагов; Л - групповая конъюнкция; V - групповая дизъюнкция;

$$\lambda(a_j, z_2), \lambda(a_j, z_3) = \begin{cases} 1, & \text{if semi-step is done;} \\ 0, & \text{if semi-step is not done.} \end{cases}$$

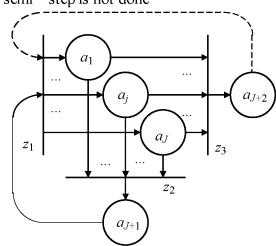


Рис. 6. Петри-Марковская модель отказов ЭЦУС

По сети Петри-Маркова, приведенной на рис. 6, может быть получена общая зависимость для времени наработки ЭЦУС до отказа:

$$T_O = \frac{T \cdot \prod_{j=1}^{J} p_j}{1 - \prod_{j=1}^{J} p_j}.$$

Вероятности p_j могут быть оценены в результате анализа факторов, воздействующих на каждый элемент ЭЦУС в отдельности. Если эти факторы являются независимыми, то каждая из вероятностей равна произведению вероятностей отсутствия воздействия соответствующих факторов.

Таким образом, для иерархической структуры ЭЦУС построена модель, позволяющая рассчитать время наработки до отказа системы на уровнях со второго до верхнего. Дальнейшие исследования в этой области могут быть направлены на определение численных значений различных факторов для различной элементной базы ЭЦУС.

Библиографический список

- 1. Landau I.D., Zito G. Digital Control Systems, Design, Identification and Implementation. Springer, 2006. 484 p.
- 2. Aström J., Wittenmark B., Computer Controlled Systems: Theory and Design. Tsinghua University Press. Prentice Hall, 2002. 557 p.
- 3. Sánchez-Silva M., Klutke G.-A. Reliability and Life-Cycle Analysis of Deteriorating Systems. Springer International Publishing. Switzerland. 2016. 355 P.
- 4. O'Conner P., Kleyner A. Practical Reliability Engineering, Willey and Sons, 2012. 456 p.
- 5. Додонов А.Г., Кузнецова М.Г., Горбачик Е.С. Введение в теорию живучести вычислительных систем / Отв. ред. В.А. Гуляев Киев: Наукова думка, 1990. 184 с.