

**Применение сетей Петри в функциональном и временном моделировании цифровых логических схем**

*А.В. Лапин*

*Национальный исследовательский университет «МИЭТ»,  
г. Москва, Россия,  
email: xanderius@mail.ru*

**Application of Petri nets in functional and timing simulation of digital logic circuits**

*A.V. Lapin*

*National Research University of Electronic Technology,  
Moscow, Russia,  
email: xanderius@mail.ru*

Предложен новый алгоритм событийного моделирования цифровых интегральных схем, основанный на использовании модифицированного математического аппарата сетей Петри. Представлены результаты работы алгоритма на примере моделирования на вентильном уровне ряда комбинационных и последовательностных схем.

*Ключевые слова:* цифровой симулятор, логическое моделирование, алгоритм событийного моделирования, сети Петри.

A new event driven simulation algorithm for digital integrated circuits simulation based on Petri nets modification has been presented. Results of some combinational and sequential digital circuits simulation using this algorithm have been shown.

*Keywords:* current mirror, CMOS technology, technology reserve, test structure.

При логическом моделировании цифровых схем, включающих в себя элементы с несколькими входами, может возникнуть ситуация, при которой происходят одновременные переключения входных сигналов на них. Это приводит к неоднозначности выбора симулятором очередности параллельно протекающих событий. Алгоритму симулятора необходимо определить, какое из переключений произойдет в первую очередь. В результате, поведение моделируемой схемы может отличаться от ожидаемого.

Для решения описанной проблемы в современных САПР вводится понятие дельта задержки. Несмотря на то, что использование такого

механизма позволяет выполнить имитацию параллельности исполнения команд, в нём присутствует неявный выбор очередности исполнения последовательных команд, что, в свою очередь, не позволяет эффективно реализовать параллельное моделирование. В зависимости от способа описания схемы алгоритм может работать по-разному, выбирая различную очередность переключений сигналов. Данная ситуация может быть рассмотрена на примере D-триггера (рис.1). В зависимости от порядка изменения входных сигналов результаты моделирования будут отличаться (рис.2).

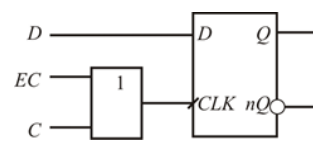


Рис.1. Тестовая схема, иллюстрирующая проблему выбора очередности моделирования

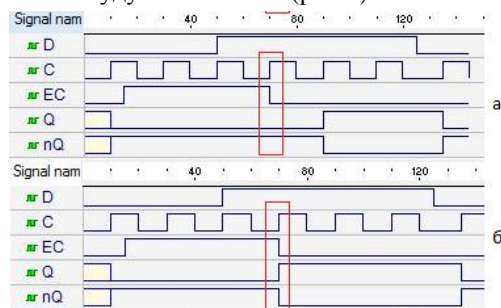


Рис.2. Временные диаграммы, иллюстрирующие неоднозначность выбора очередности исполнения параллельных конструкций. Выбрана последовательность С-ЕС (а) и ЕС-С (б)

Очевидно, что пока на вход ЕС схемы подаётся высокий уровень, тактовый сигнал С не влияет на работу триггера. Представим, что при моделировании данной схемы на входе D держится высокое значение сигнала, а вход ЕС переключается из низкого значения в высокое и, одновременно с этим, на вход С подаётся высокий уровень сигнала. В данном случае результат работы устройства будет определяться выбранной симулятором очередностью переключения сигнала.

Если алгоритм выберет очередность С-ЕС, первым переключится сигнал С, при этом алгоритм будет считать, что на вход ЕС всё ещё подаётся высокий уровень сигнала, следовательно, переключения выхода не произойдёт. Если же алгоритм выберет очередность ЕС-С, первым переключится сигнал ЕС и только затем - сигнал С. Очевидно, что при этом алгоритм будет считать, что на момент переключения входа С на

вход ЕС подаётся уже низкий уровень сигнала, следовательно, тактовый сигнал пройдёт на триггер и триггер переключится.

На рис.2 приведён пример того, как подобный выбор очередности выбора переключающихся входов может проявить себя при моделировании схемы. На рис.2,а показана временная диаграмма для кода, в котором конструкции расставлены таким образом, что алгоритм считает, что в момент времени 70 нс сначала переключается сигнал С, а затем ЕС. На рис.2,б показан результат моделирования, когда симулятор выбирает последовательность ЕС-С.

В данной статье предлагается алгоритм моделирования цифровых устройств, основанный на модифицированном алгоритме сетей Петри, лишённый описанной неоднозначности выбора очередности событий.

### **Модификация математического аппарата сетей Петри для логического моделирования**

В работе [1] показано применение сетей Петри как основы алгоритма логического моделирования цифровых ИС. Предлагаемый в работе алгоритм моделирования основан на модификации алгоритма функционирования сетей Петри [2]. Суть модификации для моделирования схем, задаваемых на вентильном уровне, заключается следующем.

1. Состояние представляет собой узел цифровой схемы, следовательно, в каждом состоянии не может находиться более одной метки. Наличие метки в состоянии эквивалентно значению уровня логической единицы в узле, отсутствие метки - уровню логического нуля. В случае реализации многозначной логики предлагается воспользоваться формализмом цветных сетей Петри [3] - вариантом сетей Петри, в котором каждая метка имеет некоторую внутреннюю характеристику, обычно обозначаемую цветом. В терминах многозначного логического моделирования цвет показывает состояние логического уровня, например: логический «0», логическая единица «1», неопределённое состояние «U», неизвестное состояние «X», высокоимпедансное состояние «Z» и другие значения логических уровней, применяемые в современных симуляторах при моделировании цифровых устройств.

2. Переход представляет собой логический вентиль. В простейшем случае для симулятора комбинационных схем переходы осуществляют функционирование в соответствии с заранее предопределённым набором встроенных логических примитивов: «НЕ», «ИЛИ», «ИЛИ-НЕ», «И», «И-НЕ», «ИСКЛЮЧАЮЩЕЕ ИЛИ».

3. Для срабатывания перехода не обязательно наличие метки во входных состояниях, всё зависит только от типа перехода. Так, для появления метки в выходном состоянии перехода, соответствующего ло-

гическому вентилю «НЕ», необходимо, чтобы на входном состоянии метки не было, что соответствует таблице истинности инвертора.

4. Факт наличия метки в состоянии на выходе перехода зависит не только от срабатывания перехода, но и от его типа. Наличие меток в состоянии на выходе перехода обуславливается типом логического вентиля и таблицей истинности, описывающей его работу (аналогично пункту 3).

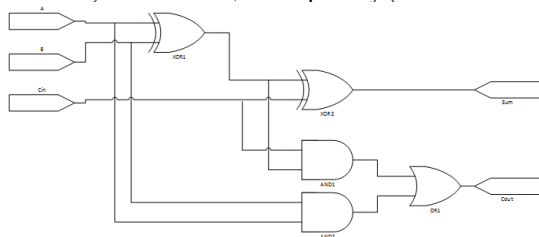


Рис.3. Схема полного сумматора

Наглядно продемонстрировать описываемую модификацию можно на примере схемы полного сумматора (рис.3). С учётом предложенных преобразований схема примет вид, показанный на рис.4.

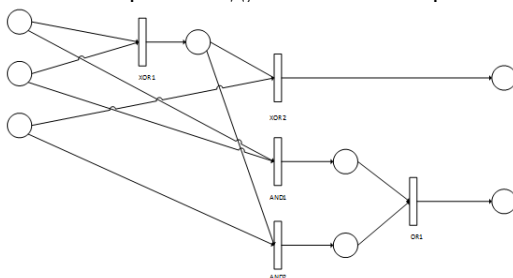


Рис.4. Схема полного сумматора, описанная в терминах предлагаемой модификации сетей Петри

При моделировании цифровых схем помимо чисто функционального моделирования также применяется временное моделирование, суть которого сводится к учёту времён задержек распространения сигналов в межсоединениях и задержек, обусловленных инертностью срабатывания самих элементов. Такие задержки разделяются на транспортные и инерциальные.

Независимо от типа, временные задержки по сути своей являются параметрами межсоединений, равно как логические значения на этих соединениях и логические функции вентилях. Последние, как было показано ранее, могут быть преобразованы в параметры цветных сетей Петри. Аналогично, задержки также можно задать в виде параметра для

места-состояния, определяя тем самым цветовую маркировку состояния в раскрашенной сети Петри.

#### **Реализация логического симулятора на основе предложенного алгоритма**

Для проверки работоспособности предложенного алгоритма на языке C++ была разработана программа логического моделирования цифровых комбинационных схем, в которой в полной мере реализован описанный выше модифицированный аппарат сетей Петри.

В качестве входных данных в данной версии используется упрощённое подмножество языка Verilog.

Временные диаграммы, иллюстрирующие корректную работу схемы триггера с рис.1 полученные в результате моделирования разработанным симулятором, показаны на рис.5.

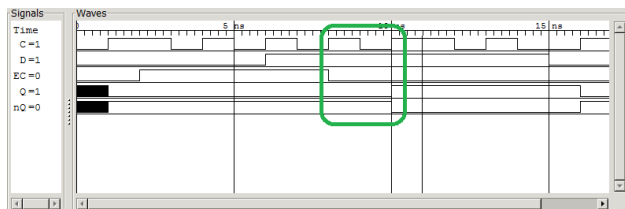


Рис.5. Результат моделирования тестовой схемы с помощью симулятора, основанного на использовании модифицированного алгоритма сетей Петри

Работоспособность разработанного алгоритма была проверена на следующих комбинационных и последовательностных схемах:

- мультиплексоры, демультиплексоры различной разрядности, сумматоры;
- сдвиговые регистры различной разрядности;
- схемы из набора iscas85.

Результаты моделирования схем с применением разработанного алгоритма соответствуют действительности.

#### **Литература**

1. Lapin A.V., Bulakh D.A., Korshunov A.V., Kazennov G.G. The use of Petri nets as the basis of algorithm for gate level digital circuits simulation // Proceedings of 2016 IEEE East-West Design and Test Symposium. - 2016. - EWDTs 2016. - № 7807690.
2. Yakovlev A., Gomes L., Lavagno L. Hardware Design and Petri Nets // Kluwer Academic Publishers. - 2000. - 331 p.
3. Kurt Jensen, Lars M. Kristensen. Coloured Petri Nets // Springer-Verlag Berlin Heidelberg. - 2009. - 384 p.