

Организация высокоскоростного канала передачи многопоточковой информации на основе асинхронной измерительной магистрали ввода—вывода

М. Л. БАРБУЛ, В. Г. ДОМРАЧЕВ, В. М. ИСАЕВ, Е. Г. КОМАРОВ, Ю. Т. КОТОВ

Московский государственный университет леса,
Москва, Россия, e-mail: barbul@bk.ru

Рассмотрена организация высокоскоростного канала передачи многопоточковой информации на основе асинхронной магистрали ввода—вывода для мониторинга конструктивно сложных технических объектов в реальном масштабе времени.

Ключевые слова: датчики, вычислительные системы, каналы передачи информации, магистраль ввода—вывода, сети Петри.

The organization of high-speed multistream information transfer-channel based on asynchronous input—output mainline to monitor the structurally complex technical objects in real time scale has been considered.

Key words: sensors, computer systems, information transfer channels, highway IO, Petri nets.

Конструктивно сложные технические объекты требуют постоянного мониторинга их состояния в течение всего времени эксплуатации. В первую очередь это касается мобильных объектов, таких как летательные аппараты, наземные и водные виды транспорта.

Главной особенностью мониторинга состояний объектов является получение необходимой информации об их параметрах и характеристиках в реальном масштабе времени. Для наблюдения за состояниями объектов используют различные системы, основу которых составляют периферийные устройства — датчики (сенсоры) для снятия первичной информации. Их число и местоположение на объекте определяется его структурной сложностью [1, 2].

Информацию снимают датчики с помощью специальной программы, алгоритм которой заложен в вычислительной системе (ВС). При большом числе датчиков передача многопоточковой информации от источников до ВС часто занимает продолжительное время по сравнению с временем ее обработки. В дальнейшем это отрицательно сказывается на достоверности данных об объекте в реальном масштабе времени.

В вычислительных системах для передачи многопоточковой информации используют различные архитектурно-структурные решения: расширенные каналы передачи, высокоскоростные аппаратные средства, алгоритмы обработки и др. [3]. В действующих на сегодняшний день ВС с длительным временем эксплуатации (например, на бортовых объектах), введение в структуру системы быстродействующих каналов передачи информации сопряжено не только с ее усложнением, но и с переустановкой базового и функционального программного обеспечения. Последнее обстоятельство в большинстве случаев неприемлемо для находящихся в эксплуатации объектов.

В статье рассмотрена организация высокоскоростного канала передачи многопоточковой информации на основе

асинхронной измерительной магистрали ввода—вывода, использующей устройства с ограниченным набором элементов и не требующей замены и доработки дорогостоящего базового и функционального программного обеспечения, используемого в вычислительных системах.

В любой операции обмена информацией по каналам связи между процессором, основной памятью (ОП) и периферийными устройствами участвуют два устройства — датчик (управляющее устройство) и исполнитель (управляемое устройство). Обмен между ними осуществляется, как правило, асинхронно. Такой организации обмена при многопоточковой информации свойственны значительные потери времени из-за необходимости исполнителю подтверждать ответным сигналом (квитанцией) факт прихода каждого управляющего сигнала датчика.

Действительно, анализ алгоритма выполнения, например, операции «чтение», и временной диаграммы обмена информацией в канале передачи информации датчик — исполнитель позволяет установить зависимость между длительностью передачи слов данных T_0 канала и ее динамическими параметрами [3]:

$$T_0 = 6t_{\text{и}} + 2t_{\text{п}} + 9t_{\text{л}} + t_{\text{ф.д}}, \quad (1)$$

где $t_{\text{и}}$ — время, затрачиваемое на передачу информации от датчика к исполнителю, и наоборот; $t_{\text{п}}$ — время перекося, учитывающее, что сигналы по параллельным линиям связи распространяются не одновременно; $t_{\text{л}}$ — время срабатывания входных логических элементов устройства, подключенного к каналу, при значении 0,5 логического перепада между «0» и «1» электрических сигналов; $t_{\text{ф.д}}$ — время формирования данных в устройстве, соответствующее циклу чтения данных из ОП, соответственно.

Значения параметров $t_{\text{и}}$, $t_{\text{п}}$ в выражении (1) определяют расстоянием между взаимодействующими устройствами и рассчитываются для канала передачи информации мак-

симальной протяженности. Значения параметров t_p , $t_{ф.д}$ обусловлены типом элементной базы, используемой для реализации вычислительных систем. Следовательно, время передачи информации по каналу в значительной степени зависит от ее длины и не согласуется с динамическими параметрами быстродействующих устройств.

Повышение быстродействия ВС, прежде всего, связано с согласованием ее устройств и, в первую очередь, процессоров и ОП. Быстродействия можно достигнуть введением между ними автономной магистрали обмена информацией, т. е. созданием интерфейса второго уровня. Известны несколько путей ее технической реализации [3].

Весьма эффективно использование дополнительной асинхронной магистрали для связи процессоров и ОП с повторением протокола обмена магистральной ввода—вывода, с той лишь разницей, что интервалы времени между детерминированными сигналами временной диаграммы взаимодействия датчика и исполнителя сокращаются. Время обмена информацией t_0 между процессорами и ОП с применением дополнительной магистрали, как показывают расчеты с использованием (1), можно уменьшить, но при сокращении времени выборки информации из ОП до единиц наносекунд и менее. Для функционирования канала, определяющего первый уровень интерфейса, совместно с магистралью ввода—вывода (второй уровень интерфейса) необходимо использовать адаптер интерфейса, позволяющий согласовать их временные диаграммы. Однако проблемы, связанные с асинхронным принципом обмена информацией, при этом сохраняются. С увеличением быстродействия ОП такой способ ее взаимодействия с процессорами становится менее эффективным, поскольку позволяет сократить только время $t_{ф.д}$ исполнителя, оставляя без изменений временную диаграмму функционирования интерфейса первого уровня.

Второй способ, лишенный указанного недостатка, заключается в разработке автономного синхронного канала,

позволяющего процессорам ВС непосредственно обращаться к ОП [3]. При этом канал выполняет только функции ввода—вывода для организации взаимодействия процессоров и периферийных устройств. Синхронный канал позволяет более рационально использовать физическое быстродействие основных устройств ВС. Значение t_0 в нем определяется временем обращения к ОП, которое для запоминающих устройств без разрушения информации представляет временной интервал, равный сумме времени цикла чтения или записи информации и времени поиска нужной ячейки ОП. Кроме того, при введении конвейерных регистров возможна реализация совмещения выполнения текущей команды в одном из процессоров и выборки из ОП последующей команды.

Основной сложностью, требующей разрешения при введении автономного синхронного канала связи процессоров и ОП, является его согласование с работой магистрали ввода—вывода. Традиционные способы решения этой задачи предусматривают введение внешнего управления, что влечет включение специальных команд ввода—вывода в систему команд вычислительной системы. Однако это требует переработки всего накопленного программного обеспечения (как функционального, так и базового) для ВС конкретной архитектуры и не гарантирует модульность ее построения, изменение состава периферийного оборудования приведет к необходимости дорогостоящей модернизации системы команд, а, следовательно, и переработке процессоров.

Для определения более приемлемого варианта согласования процессов функционирования магистрали ввода—вывода и автономного канала связи процессора и ОП рассмотрим информационный обмен по каналу ввода—вывода с помощью сетей Петри [4]. В качестве примера возьмем широко применяемый в ВС управления объектами интерфейс ввода—вывода MPI — Message Passing Interface (интерфейс передачи сообщений) [5]. На рис. 1 представлено описание сетью Петри процесса взаимодействия устройств ВС по каналу MPI в режиме чтения информации.

Назначение позиций Р и переходов Т приведено в табл. 1.

Таблица 1

Назначение узлов сети Петри в описании взаимодействия устройств ВС магистрального типа с одноуровневым интерфейсом

Узел	Назначение узла
P1	Процессор готов к приему информации
P2	В канале на линии синхронизации обмена отсутствует сигнал обмена данными
P3	Процессор устанавливает на соответствующих линиях канала сигнал «Выборка устройства» и адрес ячейки ОП или регистра периферийного устройства
P4	Ведомое устройство, опознавшее адрес, выставляет в соответствующей линии канала сигнал ответа
P5	Ведомое устройство готово к выдаче в канал данных
P6	Процессор выставил на соответствующей линии канала сигнал «Диаграмма чтения»
P7	Ведомое устройство выдало в канал данные

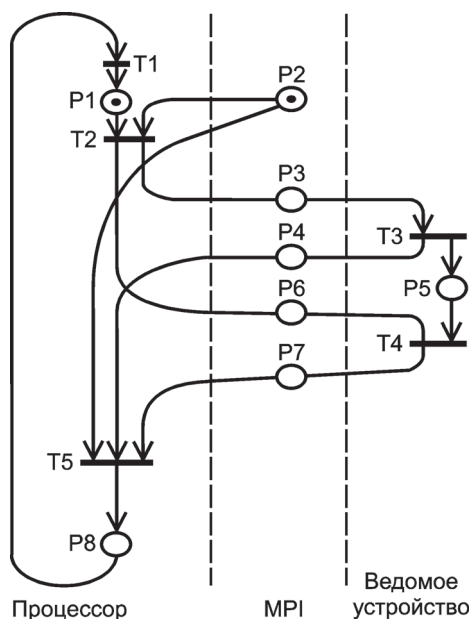


Рис. 1. Описание сетью Петри взаимодействия устройств вычислительной системы через канал MPI в режиме чтения информации

Окончание таблицы 1

Узел	Назначение узла
T1	Данные обрабатываются в процессоре
T2	Блок управления магистралью вычислительной системы вырабатывает сигналы управления каналом
T3	Ведомые устройства (ОП, периферийные устройства) считывают с соответствующих линий канала и опознают адрес. Устройство, опознавшее адрес, вырабатывает ответные сигналы.
T4	Ведомое устройство выдает в канал данные
T5	Процессор принимает из канала данные

Рассмотрим наиболее распространенный случай, когда функции арбитра канала совмещены в одном из процессоров ВС. Тогда, в случае готовности к информационному обмену и при его отсутствии (сигнал синхронизации отсутствует), процессор и периферийные устройства начинают вырабатывать сигналы управления каналом в соответствии с временной диаграммой MPI.

К особенностям MPI следует отнести разделение всего адресного пространства между системной ОП и периферийными устройствами. Во всех случаях адресное пространство канала в зоне адресов, в которых старшие разряды кодов равны единицам, используется для адресации регистров периферийных устройств (число старших разрядов определяется количеством периферийных устройств на объекте), остальной объем — для ячеек внутренних запоминающих устройств. Отметим, что разделение адресного пространства между ОП и периферийными устройствами характеризует не только MPI. Этим отличается любой канал ввода—вывода магистрального типа. Разница между ними заключается в объемах соответствующих областей при размещении в адресном пространстве ВС.

Анализ работы MPI и расчеты пропускной способности канала передачи многопоточной информации показывают, что самым оптимальным вариантом организации ВС является использование двухуровневого интерфейса магистрального типа, в состав которого входят автономный синхронный канал связи процессор — ОП (интерфейс первого уровня) и асинхронная магистраль ввода—вывода (интерфейс второго уровня). При этом интерфейс второго уровня должен содержать специальное устройство, которое на аппаратном уровне и без потери скорости передачи информации анализирует потоки измерительной информации и задействует имеющиеся ресурсы ВС.

В качестве такого устройства можно использовать блок управления асинхронным каналом (БУАК) связи, решающий следующие задачи: анализ адреса по мере его поступления из процессора и формирование управляющего сигнала с последующей передачей его в процессор; формирование тракта прохождения измерительной информации в соответствии с результатами анализа адресной информации; передача измерительной информации без задержки на входы ОП и далее в процессор либо хранение этой информации и выдача через асинхронную магистраль на входы процессоров в моменты, предусмотренные временной диаграммой функционирования интерфейса ввода—вывода.

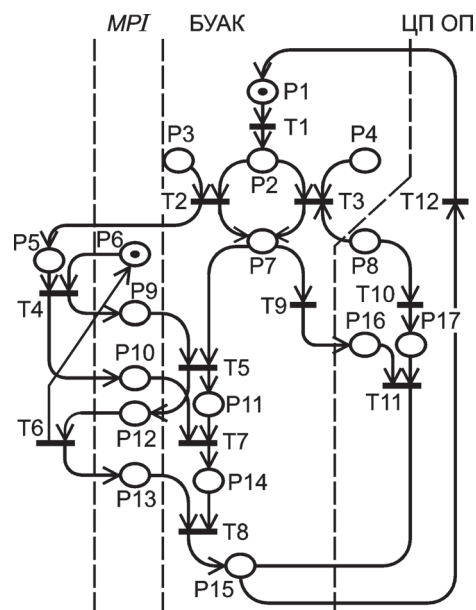


Рис. 2. Описание сетью Петри взаимодействия основных устройств вычислительной системы с двухуровневым интерфейсом на основе БУАК

Рассмотрим работу канала высокоскоростной передачи многопоточной измерительной информации с использованием БУАК.

На рис. 2 представлена сеть Петри, описывающая процесс взаимодействия БУАК с основными устройствами вычислительной системы (в режиме чтения информации в процессор) при введении в нее дополнительного асинхронного канала передачи измерительной информации между процессором и ОП.

Назначение позиций Р и переходов Т этой сети приведено в табл. 2.

Таблица 2

Назначение узлов Петри в описании взаимодействия устройств ВС с двухуровневым интерфейсом

Узел	Назначение узла
P1	На выходы БУАК из процессора поступила адресная информация
P2	Установлен результат анализа адреса, поступившего из процессора
P3	Выполнилось условие обмена процессора с периферийными устройствами
P4	Выполнилось условие обмена процессора с ОП
P5	В процессор направлен сигнал запуска блока управления асинхронным каналом
P6	В MPI на линии синхронизации обмена отсутствует сигнал
P7	В БУАК хранится информация, поступившая из процессора

Окончание таблицы 2

Узел	Назначение узла
P8	В процессор направлен сигнал запуска блока информирования временной диаграммы синхронного канала
P9	Блок управления асинхронным каналом выработал сигнал выборки устройства
P10	Блок управления асинхронным каналом выработал сигнал диаграммы чтения
P11	БУАК готово к формированию тракта прохождения информации
P12	БУАК выдало в MPI адрес периферийного устройства
P13	Периферийное устройство выдало MPI слово данных
P14	В БУАК сформирован тракт прохождения информации (периферийные устройства — процессор)
P15	В БУАК поступило слово данных и передано на входы процессора
P16	Информация из процессора передана на входы ОП
P17	На управляющие входы ОП поступили сигналы из блока синхронного канала
T1	В БУАК проводится анализ данных
T2	В БУАК вырабатывается сигнал запуска блока управления асинхронного канала
T3	В БУАК вырабатывается сигнал запуска блока синхронного канала
T4	БУАК обрабатывает сигналы в соответствии с временной диаграммой управления работой MPI
T5	БУАК выдает в MPI адрес периферийного устройства
T6	Периферийное устройство, опознавшее свой адрес, вырабатывает сигналы в соответствии с временной диаграммой MPI
T7	БУАК подготавливает тракт прохождения информации
T8	БУАК пропускает данные из периферийного устройства в процессор по сформированному тракту
T9	БУАК пропускает информацию из процессора на входы ОП
T10	Блок синхронного канала вырабатывает управляющие сигналы
T11	В ОП по полученному адресу считывается слово данных
T12	В процессоре производится обработка полученного слова данных

Из рис. 2 следует, что для решения ранее описанных задач БУАК должен содержать: регистр для хранения поступившей из процессора информации и дешифратор для анализа старших разрядов адреса; совокупность мультиплексоров и демультиплексоров для формирования тракта проведения информации (процессор — ОП или процессор — периферийные устройства) и направления движения данных (в процессор или из него); ряд формирователей для определения последовательности выдачи из БУАК информации.

Рассмотрим вариант построения быстродействующего канала передачи многопоточковой информации с использованием БУАК, реализованного на жесткой логике, для функционирования которой не требуется генерация специальных микроопераций и доработка используемого базового и функционального программного обеспечения [6]. Конструктивно большую интегральную схему БУАК можно выполнить в составе микропроцессорного комплекса большой интегральной схемы с фиксированной системой команд, расширяющей функциональные возможности диспетчера памяти ВС. Ее конструктивно-технологические размеры определяются числом входных и выходных линий связи и существующими технологическими ограничениями на количество контактных площадок кристаллов большой интегральной схемы.

Главную особенность применения большой интегральной схемы БУАК обуславливает тот фактор, что она включается между процессором и ОП, обеспечивая прохождение измерительной информации (адресов и данных) непосредственно через себя (рис. 3). Подобная реализация позволяет проектировать многопроцессорные ВС с разделяемой памятью.

Блок управления асинхронным каналом обеспечивает ввод информации в процессор (режим «чтение») и выход из него (режим «запись»). Режимы работы устройства устанавливаются с помощью подачи на соответствующие входы сигнала логических «1» и «0». Взаимодействие элементов БУАК в составе ВС осуществляется следующим образом.

В режиме записи информации из процессора (рис. 4) через адресные входы АО—АМ в регистр P2 поступает адрес, старшие разряды которого анализируются в дешифраторе адреса ДШ. По результату анализа определяются тракты прохождения слова данных, занесенного в P1, и адреса, размещаемого в P2. Если адрес указывает ячейку ОП, то нулевым сигналом с выхода дешифратора адреса отпирается логический элемент И2.



Рис. 3. Блок-схема построения быстродействующего канала передачи информации с использованием БУАК

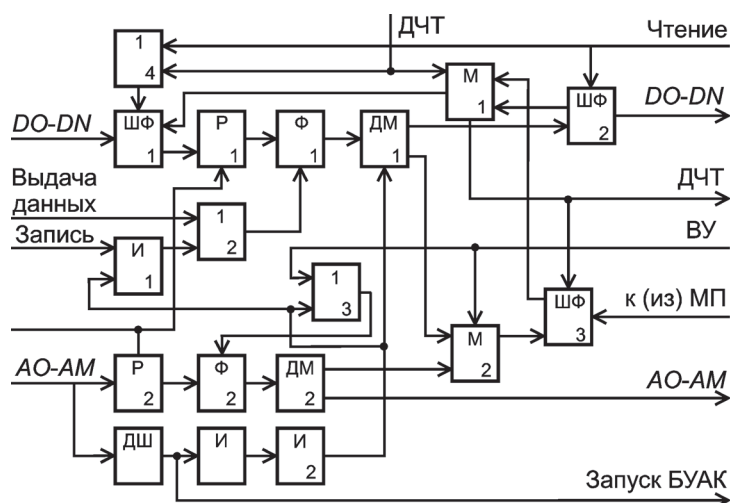


Рис. 4. Структурная схема БУАК:

АО—АМ — адресные входы; DO—DN — данные; P1, P2 — регистры данных и адреса; ШФ1, ШФ2, ШФ3 — шинные формирователи; Ф1, Ф2 — формирователи; ДШ — дешифратор адреса; ДМ1, ДМ2 — демультиплексоры данных и адреса; М1, М2 — мультиплексоры; И — логический элемент «И»; ДЧТ — диаграмма чтения; ВУ — выборка устройства; МП — модуль памяти; БУАК — блок управления асинхронным каналом

Синхросигнал, по которому в P1, P2 занесена соответствующая информация, проходит на управляющие входы пары демультиплексоров, устанавливая тракты дальнейшего прохождения адреса (ДМ2—М2—ШФ3—ОП) и данных (ДМ1—ШФ2—ОП). В случае, если адрес указывает регистр периферийного устройства, то единичным сигналом, запирающим И2, с выхода ДШ запускается блок управления каналом.

БУАК формирует управляющие сигналы ВС. Из них в рассматриваемом режиме используют сигналы «Выборка устройства» и управления выдачей данных из магистрального приемопередатчика. Первый воздействует на М2 и Ф2, вследствие чего адрес с Р2 через ДМ2, М2, ШФ3 поступает в периферийные устройства. Второй, вырабатываемый в момент снятия сигнала вычислительного устройства, направляет в канал связи через ДМ1, М2, ШФ3 слово данных, хранящееся в Р1.

В режиме чтения соответствующий единичный сигнал управляет ШФ1 и ШФ2 таким образом, что информация через них проходит в процессор. Одновременно с сигналом «чтение» на входы АО—АМ БУАК из процессора поступает адресная информация. По результату анализа старших разрядов адреса в ДШ устанавливается один из двух трактов прохождения слова данных в процессор: ОП—ШФ2—М1—ШФ1 (адрес указывает ячейку ОП); ПУ—ШФ3—М1—ШФ1 (адрес указывает регистр периферийного устройства). В этом режи-

ме при считывании информации из периферийных устройств в БУАК используются сигналы ВУ и «диаграмма чтения».

Управление БУАК осуществляется под воздействием результата анализа адреса и управляющих сигналов канала и асинхронной магистрали. Очевидно, что для данного варианта структурной организации ВС не требуется существенных ее доработок и всех процессоров, поскольку управление работой БУАК осуществляется с использованием имеющихся в составе вычислительной системы ресурсов. Также БУАК управляется автоматически и аппаратно, что дает возможность сохранить без изменения используемое программное и функциональное программное обеспечение объекта ВС.

Расчеты пропускной способности канала передачи многопоточковой информации с использованием БУАК в двухуровневом интерфейсе ВС магистрального типа показывают возможность ее повышения в пределах 30—70 % по сравнению с одноуровневым каналом связи. Указанный процентный разброс обусловлен числом датчиков информации, временем их обмена информацией с процессором и ожидания информации от датчиков и рядом других факторов.

Таким образом, использование блока управления асинхронным каналом позволяет существенно повысить пропускную способность канала передачи многопоточковой информации при сохранении без доработок используемого программного обеспечения, являющегося наиболее дорогостоящим сегментом в вычислительной системе объекта.

Литература

1. **Мячев А. А.** Система ввода—вывода. М.: Энергоатомиздат, 1983.
2. **Гамкрелидзе С. А. и др.** Принципы формирования требований к эксплуатационным параметрам и характеристикам унифицированных средств вычислительной техники специального назначения // Датчики и системы. 2001. № 8. С. 30—31.
3. **Гук М. Ю.** Аппаратные интерфейсы ПК. Энциклопедия. СПб.: Питер, 2002.
4. **Зайцев Д. А.** Декомпозиция сетей Петри // Кибернетика и системный анализ. 2004. № 5. С. 131—140.
5. **МРІ: Стандарт интерфейса передачи сообщений** / Пер. с англ. Шпаковского Г. И., Минск: Изд-во БГУ, 2001.
6. **А. с. 1564640 СССР.** Устройство для сопряжения процессоров с разделяемыми ресурсами Ю. Т. Котов, В. В. Харько, В. А. Герасков // Открытия. Изобретения. 1989. № 18.

Дата принятия 01.04.2014 г.