

Е.А., Желанова О.Е.// Информационно-измерительные и управляющие системы. 2016. Т. 14. № 10. С. 25-30.

13. Информационный подход к построению моделей объектов в системах мониторинга/ Лапина Т.И.// Информационно-измерительные и управляющие системы. 2010. Т. 8. № 7. С. 39-42.

Белова Т.М., Кофанова Е.С., Тулупцева А.С.

Россия, г.Курск, Юго-Западный государственный университет
tm_belova@mail.ru

ПРЕДСТАВЛЕНИЕ ПАРАЛЛЕЛЬНЫХ И АСИНХРОННЫХ АЛГОРИТМОВ В ВИДЕ СТРУКТУР ДАННЫХ

Рассматривается представление параллельных и асинхронных алгоритмов при помощи сетей Петри.

В настоящее время для большинства сфер человеческой деятельности разработаны и успешно реализуются параллельные и асинхронные алгоритмы. В качестве примера можно привести алгоритмы управления технологическими процессами, станочными линиями, робототехническими комплексами. Параллелизм и асинхронность отражают характерные свойства алгоритмов логического управления взаимодействующими процессами [1-4]. Как правило, эти алгоритмы реализуются на основе формальной модели сетей Петри.

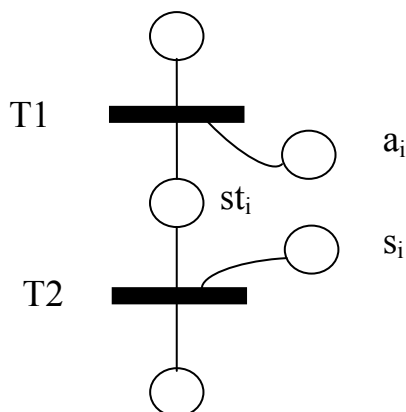


Рисунок 1 – Фрагмент сети Петри управления

Среди других графоподобных моделей сети Петри выделяются тем, что имеют изобразительные средства, позволяющие, во-первых, описывать в явном виде динамику управления параллельными процессами (такими средствами являются позиции и метки, а динамика управления моделируется движением меток в сети) и, во-вторых, описывать взаимодействия между устройством управления и объектом управления (позиции без входных и выходных дуг).

На рисунке 1 показан фрагмент сети Петри управления.

Определение. Сетью Петри управления (СПУ) назовем сеть Петри $N = \langle P, T, \bullet \rangle$, если ее множество позиций P содержит подмножество $P_f = \{f_i\}$, $i = \overline{1, n}$ такое, что $\forall f_i : (\bullet f_i = \bullet s_i, f_i \bullet = a_i \bullet, \text{ где } s_i \bullet = \emptyset, \bullet a_i = \emptyset)$.

В результате выполнения перехода Tl вырабатывается сигнал инициализации управляемого процесса (a_i). Ожидание завершения управляемого процесса отражается наличием метки в позиции st_i . После завершения управляемого процесса поступает сигнал s_i . Наличие меток в обеих входных позициях перехода Tl приводит к срабатыванию этого перехода.

С целью обеспечения возможности изменения алгоритма управления, необходимо представить его в виде структуры данных. Наиболее подходящей структурой данных, реализующей СПУ, является мультисписок. Исполнителем алгоритма управления является интерпретатор структуры данных. Можно провести аналогию с проигрывателем, который воспроизводит звук, записанный на пластинке. Роль проигрывателя выполняет интерпретатор, а пластинкой служит структура данных. Изменение структуры данных приводит к изменению алгоритма управления.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Ачасова С. М., Бандман О. Л. Корректность параллельных вычислительных процессов [Текст]. — Новосибирск: Наука, 1990, 253 стр.
2. Белова Т.М. Структура программы для представления алгоритмов управления процессом тестирования с помощью структуры данных [Текст]/ Т.М. Белова, В.Г. Белов, К.А. Жерденко // Информационные системы и технологии: материалы докладов II Международной научно-практической заочной конференции «ИСТ -2016». – Курск, ЗАО «Университетская книга», 2016. – С. 52 -54.
3. Мельник Е.В. Процедурная генерация трехмерных текстур для компьютерного моделирования 3D-объектов [Текст]/ Е.В. Мельник // Известия Юго-Западного государственного университета. 2012. № 4(43). Ч.2. С.100-103
4. Мельник Е.В. Оптимизация методов функциональной обработки функций одной переменной [Текст]/ Е.В. Мельник // Известия Юго-Западного государственного университета. 2012. № 1(46). С. 50-51.
5. Информационные системы/ Лапина Т.И.// Курск, 2016.
6. Информационно-статистические методы в задачах управления социально-экономическими системами/ Лапина Т.И.// Курск, 2016.
7. Подход к классификации цифровых сигналов в системах контроля доступа/ Лапина Т.И., Лапин Д.В., Петрик Е.А.// Информационно-измерительные и управляющие системы. 2013. Т. 11. № 9. С. 058-064.
8. От редактора выпуска/ Лапина Т.И.// Информационно-измерительные и управляющие системы. 2014. Т. 12. № 5. С. 3.

9. Проектирование экспертных систем на основе продукционного подхода/ Титенко Е.А., Лапина Т.И., Ханис В.А., Мирталибов Т.А.// Информационно-измерительные и управляющие системы. 2015. Т. 13. № 6. С. 15-19.

10. Кодирование текстовых потоков данных в системах электронной коммерции на основе скремблирования/ Лапина Т.И., Лапин Д.В., Петрик Е.А., Желанова О.Е.// Информационно-измерительные и управляющие системы. 2016. Т. 14. № 10. С. 25-30.

11. Информационный подход к построению моделей объектов в системах мониторинга/ Лапина Т.И.// Информационно-измерительные и управляющие системы. 2010. Т. 8. № 7. С. 39-42.

Бобынцев Д.О.

Россия, г.Курск, Юго-Западный государственный университет

E-mail: daniel8728@yandex.ru

ПОДХОД К ОРГАНИЗАЦИИ СТАТИЧЕСКОЙ ОПЕРАТИВНОЙ ПАМЯТИ В СПЕЦИАЛИЗИРОВАННОМ ВЫЧИСЛИТЕЛЬНОМ УСТРОЙСТВЕ

Предложено построение оперативной памяти статического типа с применением базовых и вариативных блоков в специализированном вычислительном акселераторе.

Современные матричные вычислительные системы требуют планирования размещения параллельных подпрограмм по вычислительным узлам с целью создания условий для рациональной загрузки межпроцессорных каналов обмена данными [1]. Для решения данной задачи на этапе планирования размещения необходимо учитывать данные обо всех вариантах кратчайших маршрутов между процессорами и оценивать коммуникационную задержку с учётом этих данных. Так как эти данные имеют большой объём, оценку коммуникационной задержки целесообразно выполнять в специализированном вычислительном устройстве, в котором требуется быстродействующая оперативная память, поэтому предложено использование статической оперативной памяти [2]. В качестве ячеек памяти целесообразно использовать регистры, организованные в матрицу, что позволяет использовать словарную адресацию памяти, используя 2 адресные шины – RA для адресации строк и CA для адресации столбцов. Общая схема ячейки памяти приведена на рис. 1.

Так как увеличение ёмкости памяти, построенной по данному принципу, приводит к увеличению длины цепочки распространения сигнала, а также увеличению аппаратной сложности блока памяти, связанному также с избыточностью ячеек, предлагается построение памяти на основе базовых блоков 256x256 ячеек, которые будут заполняться полностью, и вариатив-