

Ricevitore asincrono per decodifica protocollo di trasmissione NEC

Descrizione Progetto

Il progetto consiste nella realizzazione di un ricevitore asincrono che decodifica un'informazione codificata in protocollo di trasmissione NEC, proveniente dal modulo IR receiver.

Esso comprende il diagramma degli stati che descrive il funzionamento dell'automatismo, il flow chart di analisi, l'implementazione su AVR ATmega328 in ambiente Wokwi.

Il codice in C-Language che decodifica il segnale proveniente dal modulo IR receiver, limita l'utilizzo delle funzioni di libreria alla micros(), utilizzata per simulare gli impulsi di clock. Si avvale inoltre dell'utilizzo degli interrupt esterni per rilevare gli impulsi provenienti dal modulo IR receiver.

Specifiche del protocollo NEC

Il protocollo NEC IR codifica le chiavi utilizzando un formato frame a 32 bit così suddiviso:

Indirizzo (bit 0-7), complemento di indirizzo (bit 8-15), comando (bit 16-23), complemento di comando (bit 24-31).

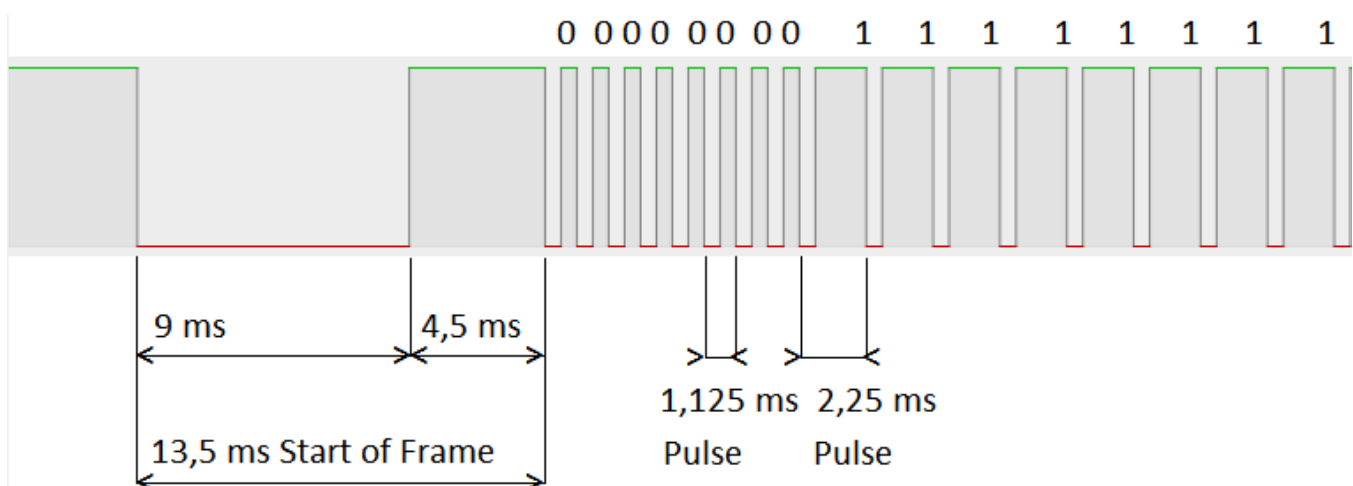
La linea è normalmente allo stato logico alto.

La trasmissione inizia quando la linea passa dallo stato logico alto a quello basso per un periodo di 9 millisecondi, per poi tornare allo stato logico alto per un periodo di 4,5 millisecondi (Start of Frame)

Ogni bit viene trasmesso utilizzando la distanza dell'impulso come mostrato nell'immagine.

'0' logico: Uno stato logico basso per un periodo di 562,5 μ s seguito da uno stato logico alto per un periodo di 562,5 μ s, con un tempo di trasmissione totale di 1,125 ms

'1' logico: Uno stato logico basso per un periodo di 562,5 μ s seguito da uno stato logico alto per un periodo di 1,6875 ms, con un tempo di trasmissione totale di 2,25 ms



Il messaggio trasmesso dall' IR receiver nel momento in cui esso viene attivato, è composto da quanto segue:

Uno stato logico basso per un periodo di di 9 ms (16 volte la lunghezza del burst di impulso utilizzato per un bit di dati logici), uno stato logico alto per un periodo di 4,5 ms (Start of Frame).

L'indirizzo a 8 bit per il dispositivo ricevente

L'inverso logico a 8 bit dell'indirizzo

Il comando a 8 bit

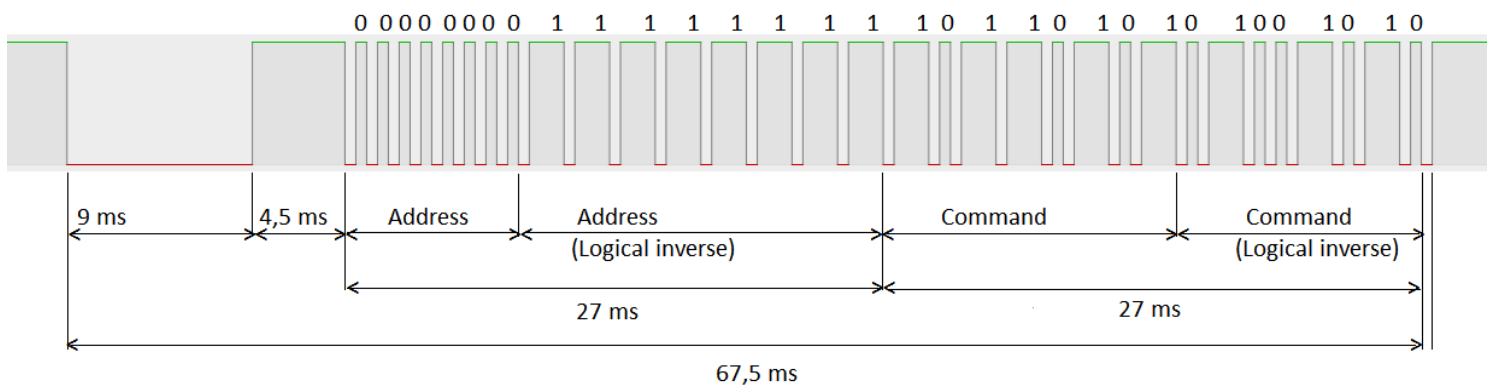
L'inverso logico a 8 bit del comando

Uno stato logico basso di 562,5 μ s, per indicare la fine della trasmissione del messaggio (End of Frame).

I quattro byte di dati vengono inviati ciascuno per primi con il bit meno significativo.

L'immagine sottostante illustra il formato di un frame di trasmissione NEC IR, per un indirizzo di 00h (00000000b) e un comando di ADh (10101101b).

Per trasmettere un frame sono necessari un totale di 67,5 ms. Occorrono 27 ms per trasmettere i 16 bit di indirizzo (indirizzo + inverso) e i 16 bit di comando (comando + inverso).



Per implementare efficacemente il diagramma degli stati e il flow chart di analisi, si consideri la base del tempo $1T = 562,5 \mu$ s, che delinea la seguente situazione:

La trasmissione inizia quando la linea passa dallo stato logico alto al basso e vi rimane per un tempo $16T$, per poi passare allo stato logico alto per un tempo $8T$ (Start of Frame).

Il bit vale '0' se vi è uno stato logico basso per un tempo $1T$ seguito da uno stato logico alto per un tempo $1T$.

Il bit vale '1' se vi è uno stato logico basso per un tempo $1T$ seguito da uno stato logico alto per un tempo $3T$.

Uno stato logico basso dopo la lettura dei 32 bit per un tempo $1T$, indica la fine della trasmissione del messaggio (End of Frame).

Descrizione del funzionamento dell'automa con riferimento al diagramma di stato.

Il segnale proveniente dal modulo IR receiver, viene decodificato dall'automa il cui meccanismo è il seguente:

Fin quando il pin Digital output del modulo IR receiver è allo stato logico alto, lo stato dell'automa di decodifica, rimane in attesa IDLE. Solo nel momento in cui il segnale passa allo stato logico basso, l'automa modifica il suo stato in HLSW e conteggia il tempo in cui il segnale rimane in questo stato. Il conteggio del Timer è subordinato all'assunzione del tempo $1T = 562,5$ microsecondi. Al variare del segnale logico, quindi da basso ad alto, l'automa esegue un controllo sul Timer di conteggio che in questa prima fase di decodifica, deve essere di tempo $16T$, corrispondente a 9 millisecondi. A questo punto, se il tempo non corrisponde, l'automa ritorna nello stato di attesa IDLE ed attende un nuovo segnale logico basso. Viceversa l'automa entra nello stato LLSW e conteggia il tempo in cui il segnale rimane in questo stato logico.

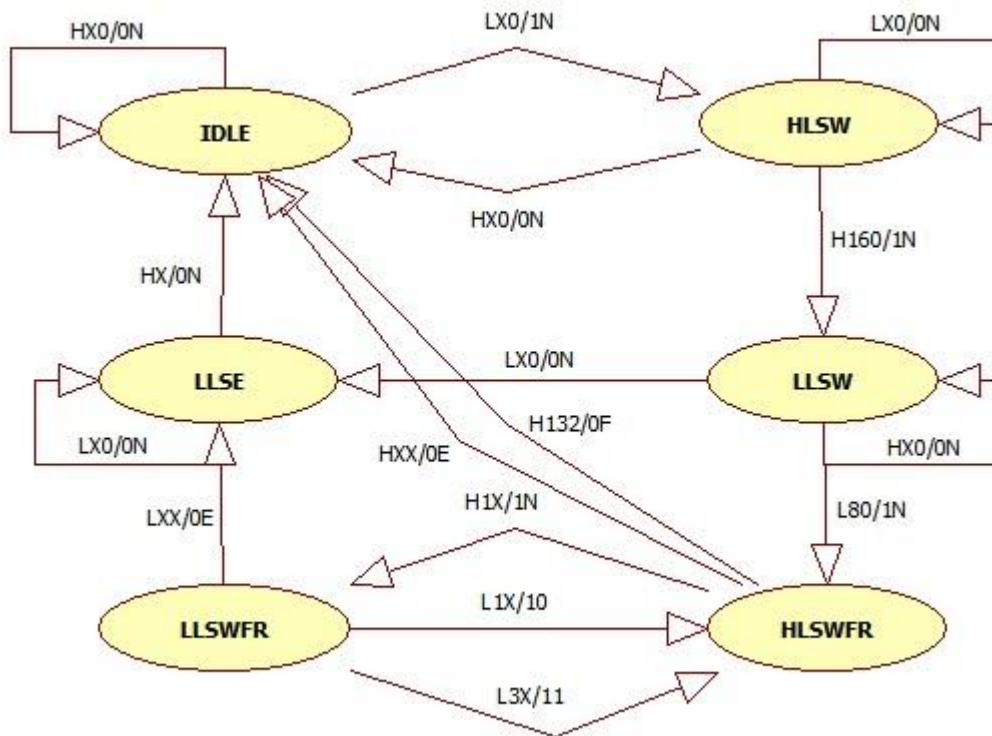
Al variare del segnale logico, quindi da alto a basso, l'automa esegue un nuovo controllo sul Timer di conteggio che deve essere di tempo $8T$, corrispondente a 4,5 millisecondi. A questo punto, se il tempo non corrisponde, l'automa va nello stato LLSE che identifica un errore dovuto alla lettura dello stato logico basso fuori tempo prestabilito.

Solo nel momento in cui lo stato logico cambia in alto, l'automa ritorna nello stato iniziale IDLE.

Viceversa l'automa entra nello stato HLSWFR che contraddistingue il riconoscimento del segnale di Start, quindi l'automa si attiva per il riconoscimento dei 32 bit proveniente dal modulo IR receiver.

Al variare del segnale logico, quindi da basso ad alto, l'automa esegue un nuovo controllo sul Timer di conteggio che deve essere di tempo $1T$, corrispondente a 562,5 microsecondi. Se il tempo non corrisponde, l'automa ritorna nello stato di attesa IDLE, segnalando un errore in output. Viceversa l'automa entra nello stato LLSWFR e conteggia il tempo in cui il segnale rimane in questo stato logico. Al variare del segnale logico, quindi da alto a basso, l'automa esegue un nuovo controllo sul Timer di conteggio che può essere di tempo $1T$, corrispondente a 562,5 microsecondi ed associato al riconoscimento del bit 0 segnalato in output, oppure di tempo $3T$, corrispondente a 1.687,5 microsecondi ed associato al riconoscimento del bit 1 segnalato in output. In entrambi i casi l'automa ritorna nello stato HLSWFR pronto a ripetere la lettura dei segnali relativi ai bit, fin quando il contatore dei bit letti è minore uguale a 32. Se maggiore l'automa termina il suo ciclo di lettura riportando in output F e si rimette nello stato di IDLE pronto per ricevere un nuovo frame. Infine se il Timer di conteggio nello stato HLSWFR non corrisponde a nessuno dei precedenti tempi, l'automa ritorna nello stato LLSE che identifica un errore dovuto alla lettura dello stato logico basso fuori tempo prestabilito.

Diagramma di stato



Input:

Line: H o L

Timer: Durata segnale da ultima transizione

NBit: Numero dei bit letti

Output:

StartTime: inizio del conteggio del timer (1 o 0)

LoadBit : N (no), 0 (bit 0), 1 (bit 1), F (fine), E (errore)

Stati:

IDLE: (stato riposo, attesa stato logico basso)

HLSW: high logic state waiting (attesa stato logico alto)

LLSW: low logic state waiting (attesa stato logico basso)

LLSE: low logic state error (errore stato logico basso)

HLSWFR: high logic state waiting for reading (attesa stato logico alto per lettura)

LLSWFR: low logic state waiting for reading (attesa stato logico basso per lettura)

Flowchart di dettaglio

