2.3 Asynchrone Schaltkreise

Zur Vorlesung Rechenanlagen SS 2019



Asynchrone Schaltkreise

Wir wollen Schaltkreise über kombinatorischen Bausteinen betrachten, die weder rückkopplungsfrei sein, noch auf jedem Zyklus ein Latch haben müssen.

Solche Schaltkreise bilden eine echte Obermenge der kombinatorischen Schaltkreise. Sie können Gedächtnis haben, ohne explizit getaktet zu werden. Wir nennen solche Schaltkreise daher auch **asynchron**e Schaltkreise.

Problem:

Welche Belegungen können diese Schaltungen erreichen und wie analysiert man sie?

Delayunabhängige Analyse

Da die Verzögerungszeiten im allgemeinen nie exakt bekannt sind, wollen wir eine robuste Analyse vornehmen, d.h. wir wollen untersuchen, welche Belegungszustände unabhängig von der Größe der Verzögerungszeit einzelner Bausteine erreicht werden können. Man kann dazu zwei Modelle betrachten:

- das Bausteinverzögerungsmodell (Muller model)
- das Leitungsverzögerungsmodell (Huffman model)

Leitungs- vs. Bausteinverzögerung

Das Leitungsverzögerungsmodell beruht darauf, dass man jeder Leitung (jedem Zweig eines Signals) eine beliebige Verzögerung größer 0 zuordnen darf. Eine Belegung r ist dann von einer Belegung q erreichbar, wenn man Verzögerungen so zuordnen kann, dass r nach Schalten aller Zweige mit der zugeordneten Verzögerung von q erreicht wird.

Das Bausteinverzögerungsmodell beruht darauf, dass man jedem Bausteinausgang (jedem Signaltreiber, bzw. jedem Signal) eine beliebige Verzögerung größer 0 zuordnen darf. Eine Belegung r ist dann von einer Belegung q erreichbar, wenn man Verzögerungen so zuordnen kann, dass r nach Schalten aller Signale mit der zugeordneten Verzögerung von q erreicht wird.

Leitungs- vs. Bausteinverzögerung

Das Leitungsverzögerungsmodell ist offensichtlich allgemeiner. Grundsätzlich kann man es aber mit dem Bausteinverzögerungsmodell simulieren, wenn man auf jeden Zweig eines Signals mit mehreren Anschlüssen einen Baustein legt, der nur die Identität berechnet.

Wir beschränken unsere Betrachtungen daher auf das einfachere Bausteinverzögerungsmodell.

Die erste Frage, die sich nun stellt, ist die, wann überhaupt ein Schaltvorgang bei einer Belegung $p = (p_1, ..., p_m)$ der Signale stattfinden kann.

Delayunabhängige Analyse ff

Definition

Eine Belegung p'geht aus einer Belegung p durch einen Schaltvorgang hervor genau dann, wenn

$$p'_i = p_i$$
 für $i \neq s$ und $p'_s = C[s](p) = \overline{p_s}$

Wir schreiben dann auch p > p'(p kann nach p' schalten)

Gilt $p \succ p'$, so korrigiert der Schaltkreis offensichtlich eine in χ_C verletzte Gleichung der Form $s \equiv C[s]$. Also gilt offenbar

Lemma

Eine Belegung p ist stabil $\Leftrightarrow \forall p' \in \mathbf{B}^m: \neg (p \succ p')$

Delayunabhängige Analyse ff

Bemerkung:

Beobachtet man einen Schaltkreis ausgehend von einer instabilen Belegung *p* in der Zeit, dann wird man o.E. stets eine Folge mit

$$p = p^{(0)} > p^{(1)} > \cdots > p^{(n)} > \cdots$$

beobachten. Welche Folge man konkret beobachtet, hängt von den Schaltzeiten ab. Die benachbarten Elemente der Folge unterscheiden sich stets in genau einem Bit s_i , d.h. es gibt zu jedem i ein s_i , mit

$$p_{s_i}^{(i)} \neq p_{s_i}^{(i+1)} = C[s_i](p^{(i)})$$

Die Tatsache, dass wir keine gleichzeitigen Schaltvorgänge betrachten, schadet nicht, weil es "bis auf Messfehler" keine Gleichzeitigkeit gibt.

Delayunabhängige Analyse ff

Bemerkung ff:

Solche Folgen
$$p = p^{(0)} > p^{(1)} > \cdots > p^{(n)} > \cdots$$

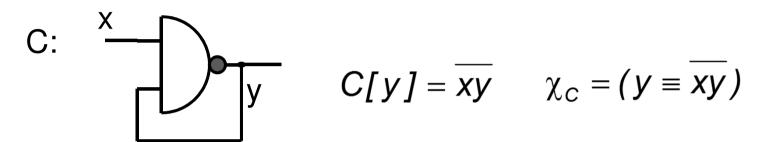
können in einer stabilen Belegung enden, sie können aber auch endlos sein. Um herauszufinden, ob eine Folge endlos wird, genügt es aber, alle Folgen der Länge $\leq 2^{\#S}$ zu untersuchen, da es höchstens $2^{\#S}$ Belegungen gibt, sich also nach $2^{\#S}$ Schritten eine Belegung wiederholen muss.

$$p^{(0)} \succ p^{(1)} \succ \cdots \succ p^{(i)} \succ \cdots \succ p^{(j)}$$

Wiederholt sich erstmals eine Belegung, kann man diese Teilfolge immer wieder anhängen. Wir sagen dann auch: "der Schaltkreis schwingt".

Beispiel:

Wir betrachten



Falldiskussionen:

1.
$$(x,y) = (0,0)$$
: Instabil, da $0 \ne 1 = \overline{0 \cdot 0}$ Also $(0,0) > (0,1)$

2.
$$(x,y) = (0,1)$$
: Stabil, da $1 = \overline{0 \cdot 1}$

3.
$$(x,y) = (1,0)$$
: Instabil, da $0 \ne 1 = \overline{1 \cdot 0}$ Also $(1,0) > (1,1)$

4.
$$(x,y) = (1,1)$$
: Instabil, da $1 \neq 0 = \overline{1 \cdot 1}$ Also $(1,1) \succ (1,0)$

Damit liefert für
$$x = 1$$
 $(1,0) > (1,1) > (1,0) > \cdots$

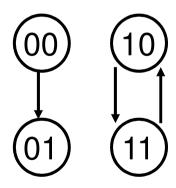
eine endlose Folge von Schaltvorgängen.

Belegungsübergangsdiagramm

Wir können die möglichen Schaltverhalten eines Schaltkreises leicht in Form von Eigenschaften eines (ggf. gigantischen) Diagrammes (im Rechner) ablesen, des Belegungsübergangsdiagramms:

- Punkte (Knoten) im Diagramm: Alle Belegungen
- **Pfeile** (Kanten) im Diagramm: von p nach $q :\Leftrightarrow p \succ q$

Im Beispiel:



Es gibt zwei bemerkenswerte Dinge:

- Punkte, die keinen ausgehenden
 Pfeile haben, sog. Senken. Sie entsprechen den stabilen Belegungen.
- **Zyklen**. Sie entsprechen endlosen Schaltfolgen.

Beispiel ff

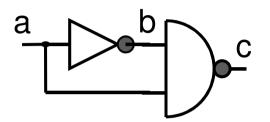
Wir erkennen also in unserem Beispiel zwei Verhaltensweisen:

Für x = 0 bewegt sich die Schaltung nach einer gewissen Zeit sicher in einen stabilen Zustand.

Für x = 1 beginnt sie zu schwingen, wobei die Periode und Form von den konkreten Schaltzeiten des Bausteins abhängt.

Beispiel:

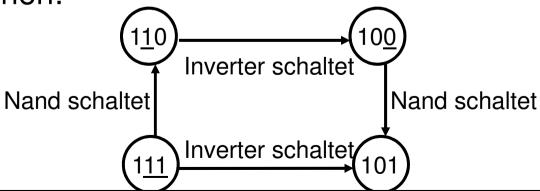
Wir betrachten den kombinatorischen Schaltkreis



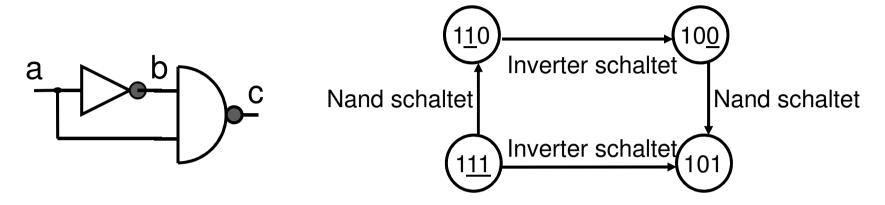
Statisch ergibt sich hier die Zuordnung

$$F[c] = C[c](b = F[b],a)$$
$$= \overline{F[b] \cdot a} = \overline{\overline{a}a} = \overline{0} = 1$$

Also eine Al Bundy Realisierung der Konstanten 1. Analysieren wir nun einmal die möglichen Einschwingvorgänge, die von der instabilen Belegung (1,1,1) erreichbar sind. Wir zeichnen die Signalwerte von Signalen s mit $p_s \neq C[s](p)$ unterstrichen:



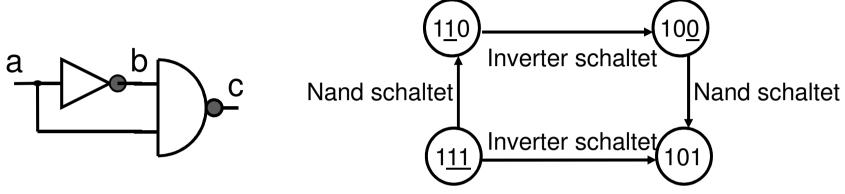
Beispiel ff



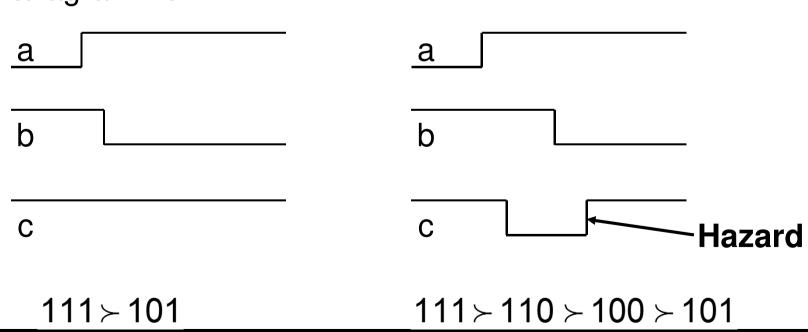
Wird die Schaltung, etwa durch Schalten des Eingangs *a* im stabilen Zustand *011* nach *111* gebracht, dann gibt es je nach Laufzeitzuordnungen zwei Verhaltensweisen:

- Nand schaltet schneller als der Inverter: dann wird der obere Weg mit 3 Schaltvorgängen genommen.
- Inverter schaltet schneller als das Nand: dann wird der stabile Folgezustand direkt mit einem Schaltvorgang erreicht.

Beispiel ff



Zeitdiagramme:



Anmerkungen

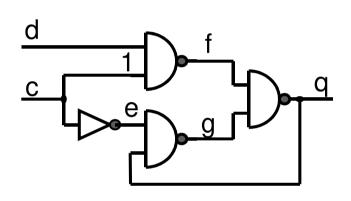
Das Diagramm zeigt uns also alle möglichen Einschwingvorgänge auf. Will man sicherstellen, dass eine Schaltung keine unerwünschten Belegungen annimmt, kann man dies durch erschöpfendes Durchsuchen im Diagramm nachprüfen.

Die Diagramme werden riesig, weil die Zahl der Punkte exponentiell mit der Zahl der Signale wächst. Interessiert man sich nur für gewisse Einschwingvorgänge, kann man das Diagramm wie im letzten Beispiel von einem interessierenden Belegungszustand her aufbauen und durchsuchen. Besser ist natürlich eine maschinelle Durchsuchung.

Weiß man mehr über Verzögerungszeiten, kann man auch Pfade im Diagramm durch dieses Wissen ausschliessen.

Noch ein Beispiel: Problemlatch

Wir untersuchen folgende, sogar in Lehrbüchern zu findende Schaltung für ein zustandsgesteuertes D-Latch:



$$C[e] = \overline{c}$$
 $C[f] = \overline{cd}$

$$C[g] = \overline{eq}$$
 $C[q] = \overline{fg}$

$$c = 0$$
: dann ist der Zustand $(c,d,e,f,g,q) = (0,d,1,1,\overline{q},q)$ stabil für jedes d und q

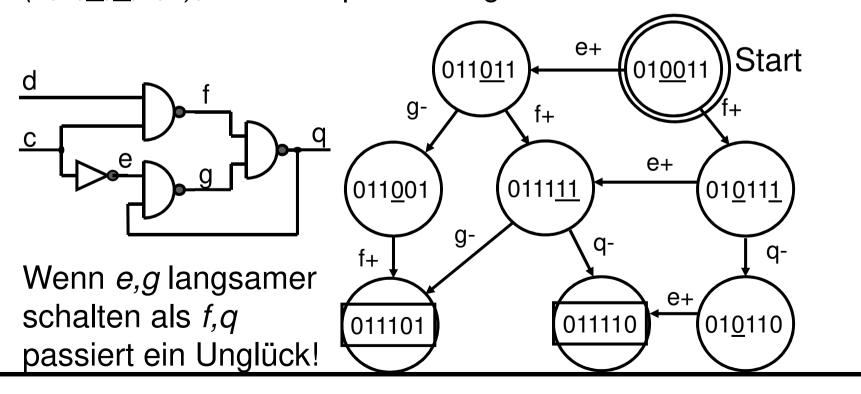
$$c = 1$$
: dann ist der Zustand $(c,d,e,f,g,q) = (1,d,0,\overline{d},1,d)$ stabil für jedes d (das Latch ist transparent)

$$\chi_{c} = (e \equiv \overline{c})(f \equiv \overline{cd})(g \equiv \overline{eq})(q \equiv \overline{fg})$$

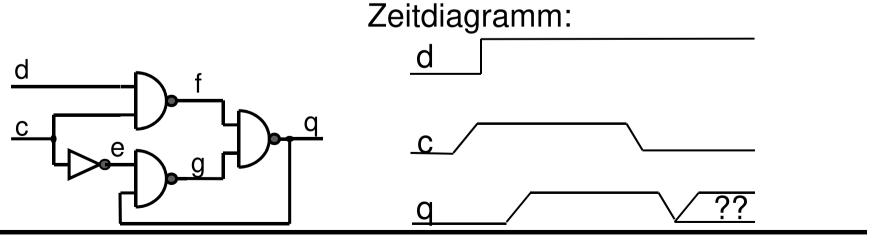
$$\chi_{c}(0,d,1,1,\overline{q},q) = (1 \equiv \overline{0})(1 \equiv \overline{0d})(\overline{q} \equiv \overline{1q})(q \equiv \overline{1\overline{q}})$$

$$= (1 \equiv 1)(1 \equiv 1)(\overline{q} \equiv \overline{q})(q \equiv \overline{\overline{q}}) = 1 \underline{(c=1 \text{ analog!})}$$

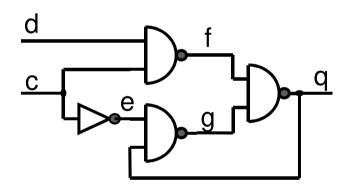
Untersuchen wir nun mal das Einschwingverhalten des Latches bei der Übernahme einer 1, wenn q schon 1 war, d.h. im stabilen Zustand (c,d,e,f,g,q) = (1,1,0,0,1,1) lassen wir c auf 0 fallen und erreichen den instabilen Zustand (0,1,0,0,1,1), der zur Speicherung der 1 führen soll:



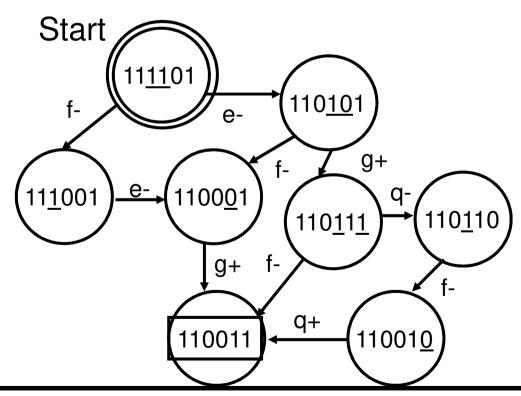
Problem: Wenn der Inverter *e* gefolgt vom Nand *g* langsamer schaltet als die beiden Nands *f,q,* übernimmt dieses Latch sogar eine *0* statt einer *1*! Selbst wenn ein Inverter schneller als ein Nand schaltet, was in der Praxis der Fall ist, kann es dadurch bei ungünstigen Leitungslaufzeiten oder Streuungen der Verzögerungszeiten zu einer falschen Übernahme, zumindest zu einem leichten Pegeleinbruch am Ausgang *q* kommen.



Auch beim Übergang in den transparenten Zustand kommt es zu Hazards, auch wenn schon q=d=1 war: wir lassen dazu im stabilen Zustand (c,d,e,f,g,q) = (0,1,1,1,0,1) den Takt c auf 1 gehen in den instabilen Zustand (1,1,1,1,0,1)

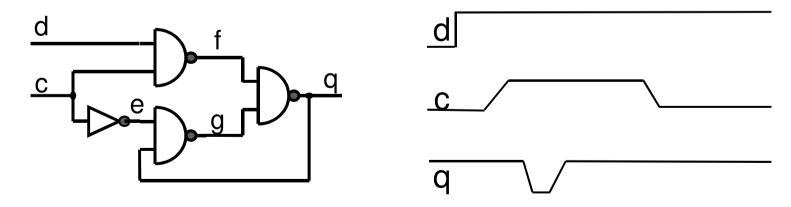


Wenn *f* langsamer schaltet als *e,g,q* gibt es einen Hazard an *q*.



Problem: Wenn der Inverter *e* gefolgt vom Nand *g* und *q* schneller schaltet als das Nand *f*, bleibt der Ausgang, obschon ein Übergang von *1* auf *1* erfolgen sollte, kurze Zeit nicht stabil. Dies schadet allerdings weniger, weil der erreichte Zielzustand korrekt ist, und das Latch ohnehin in der transparenten Phase ist, d.h. man nicht unbedingt Stabilität erwartet.

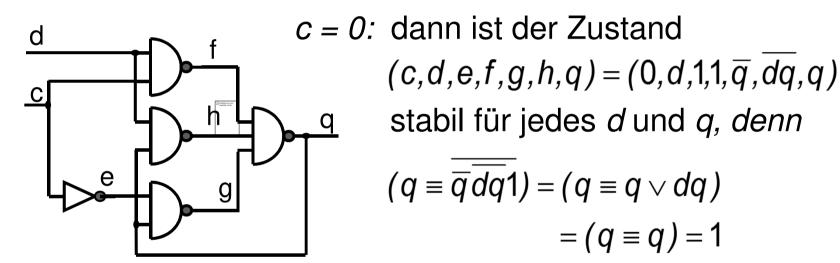
Zeitdiagramm:



Beispiel: hazardfreies Latch

Folgende Schaltung beseitigt das Problem:

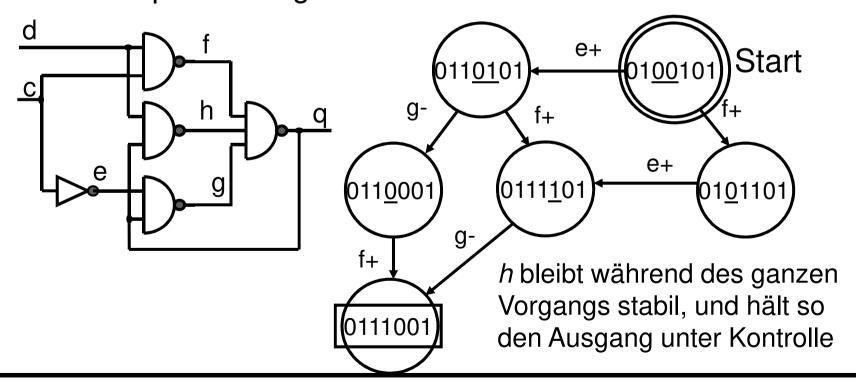
Ein hazardfreies zustandsgesteuertes D-Latch



c = 1: dann ist der Zustand $(c,d,e,f,g,h,q) = (1,d,0,\overline{d},1,\overline{d},d)$ stabil für jedes d (das Latch ist transparent)

Hazardfreies Latch ff

Untersuchen wir nun wieder den Problemfall einer Übernahme einer 1, wenn q schon 1 war, d.h. im stabilen Zustand (c,d,e,f,g,h,q) = (1,1,0,0,1,0,1) lassen wir c auf 0 fallen und erreichen den instabilen Zustand (0,1,0,0,1,0,1), der zur Speicherung der 1 führen soll:



Metastabilität

In bistabilen Schaltungen kann es durch Einschwingvorgänge bei der Übernahme wie in unserem Beispiel, oder auch durch Synchronisationsprobleme mit externen Signalen zu **Metastabilen Zuständen** kommen, d.h. länger anhaltende Belegungen, die weder als *0* noch als *1* interpretiert werden können.

Metastabilität ist grundsätzlich nicht vermeidbar:

Grund: Speicherelemente halten ihren Zustand auf einer Rückkopplungsschleife. Diese können wir beschreiben durch ein Übertragungssystem *H*, wie in folgendem Bild

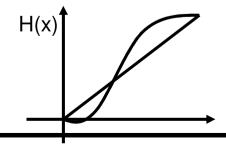


Metastabilität ff

In den stabilen Zuständen H(x)=x=0 und H(x)=x=1 sollten sich Störungen an x nur sehr gering an H(x) auswirken, d.h. es sollte gelten:

$$\frac{\partial H}{\partial x}(0) \ll 1$$
, sowie $\frac{\partial H}{\partial x}(1) \ll 1$

Die Übertragungsfunktion H der Schleife bildet also eine stetige Kurve, die mit Steigung <<1 in (0,0) beginnt und mit Steigung <<1 im Punkt (1,1) endet. Diese Kurve schneidet die Diagonale in mindestens einem Punkt (y,y). D.h. y ist ein **unvermeidbarer metastabiler Zustand** der Schleife.



Man erkennt aber auch:

Die Steigung ist (im Falle nur eines y) >>1

Metastabilität ff

Metastabile Zustände sind also grundsätzlich nicht vermeidbar. Die interessantere Frage ist aber, wann sie schädlich sind, und wie man Schaden vermeiden kann.

Sie sind offenbar nur dann schädlich, wenn sie als Werte abgefragt werden, d.h. die zentrale Frage ist, wie lange ein solcher metastabiler Zustand anhalten kann.

Wir haben gesehen, dass die Steigung in einem metastabilen Zustand sehr steil ist. Die kleinste Störung an y bewirkt also dramatische Veränderungen an H(y) und damit an y selbst, so dass das System sehr schnell wieder in einen der stabilen Zustände kippt. Je größer diese Steigung ist, umso unwahrscheinlicher ist eine längere Verweildauer im metastabilen Zustand:

 $p(y \text{ hält länger als } t) \approx e^{-\alpha t}$

Metastabilität ff

Fazit

Metastabilität ist nicht vermeidbar. Vor allem dann, wenn man asynchrone externe Signale hat, deren Änderungszeitpunkte man nicht beeinflussen kann, kann es zu metastabilen Zuständen von Latches kommen.

Maßnahmen

Konstruiere Bauteile so, dass die Wahrscheinlichkeit eines länger andauernden metastabilen Zustands sehr gering wird.

Lege Zeitpunkte, zu denen metastabile Zustände entstehen können, möglichst weit weg von Zeitpunkten, zu denen diese Einfluss auf das Systemverhalten nehmen können.

Hazards

Definition

Sei C ein kombinatorischer Schaltkreis und s ein Signal in C. Seien p,q zwei aufeinanderfolgende Eingabemuster.

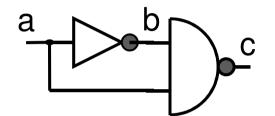
s hat einen (statischen) **Hazard** unter p,q genau dann, wenn F[s](p) = F[s](q), die Schaltung aber beim Einschwingen instabil an s ist.

s hat einen **dynamischen Hazard** unter p,q genau dann, wenn $F[s](p) \neq F[s](q)$, aber s mehr als einer Änderung unterliegt.

Veranschaulichung: Statische Hazards: s dynamisch s / ____

Hazards ff

Wir haben schon bei folgender einfacher Schaltung gesehen, dass statische Hazards entstehen können.



Hier drängt sich aber der Eindruck auf, dass Hazards vermeidbar wären.

Wann sind Hazards in kombinatorischen Schaltungen durch geschickteren Entwurf vermeidbar?

Definition

Seien $p,q \in \mathbf{B}^n$. Dann ist

$$scc(p,q) := \bigcap a$$

der kleinste Würfel, der *p* und *q* enthält. (smallest cube containing)

Unvermeidbare Hazards

Beispiele: $scc(0000,1011) = \overline{x}_2$

$$scc(0101,0111) = \overline{x}_1 x_2 x_4$$

Man kann den scc auch für größere Punktmengen oder für Funktionen definieren: $scc(f) = \bigcap a$

a Produkt ON(f)⊂ON(a)

Beispiel:

$$SCC(x_1\overline{x}_2 \vee x_1\overline{x}_3 \vee x_1\overline{x}_4) = x_1$$

Definition

Seien $p,q \in \mathbf{B}^n$ und sei s ein Signal in einem kombinatorischen Schaltkreis C. Dann ist ein Hazard beim Übergang der Eingänge von p auf q unvermeidbar

$$:\Leftrightarrow F[s]_{scc(p,q)} \notin \{0,1\}$$

Unvermeidbare Hazards ff

Offensichtlich ist für

$$F[s]_{scc(p,q)} \in \{0,1\}$$

die globale Signalfunktion F[s] des Signals s auf allen Punkten des scc(p,q) konstant (0 oder 1). Im anderen Falle gibt es einen Punkt q' im scc(p,q) mit

$$F[s](q') \neq F[s](p)$$

Wir nehmen nun beim Übergang der Eingänge von *p* nach *q* die Schaltzeiten der Eingänge so an, dass an den Eingängen die Folge

$$p = q_1, ..., q_{i-1}, q_i = q', q_{i+1}, ..., q_r = q, \text{ mit } dh(q_i, q_{i+1}) = 1$$

entsteht, d.h. für kurze Zeit q'anliegt. Dies enstpricht einer Durchquerung des scc(p,q) von der Ecke p zur Ecke q über die Ecke q'.

*Es ist dh(p,q) die **Hammingdistanz** zweier Vektoren p und q definiert als $dh(p,q) := \sum_{i=1}^{n-1} p_i \oplus q_i$

Unvermeidbare Hazards ff

Nun berechnet der Schaltkreis an s als Reaktion darauf

$$F[s](p) = F[s](q_1),...,F[s](q_i),...,F[s](q_r)$$

$$|| F[s](q') \neq F[s](p)$$

einen Hazard, unabhängig davon, wie *F[s]* berechnet wird. Die Funktion *F[s]* allein bestimmt die Gefahr eines Hazards. Wir nennen solche Hazards daher auch **funktionale Hazards**.

Beispiel: schon ein einfaches AND hat einen unvermeidbaren Hazard beim Übergang von 01 nach 10:

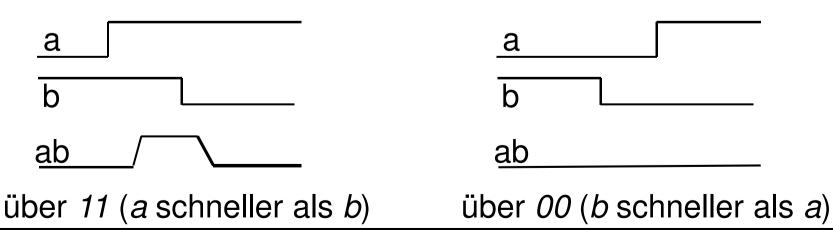
$$scc(01,10) = 1$$
 $\int_{00}^{01} \int_{10}^{11} (ab)_{scc(01,10)} = (ab)_1 = ab \notin \{0,1\}$

Unvermeidbare Hazards ff



Wird beim Schalten von 01 nach 10 der Weg über 00 genommen, bleibt der Ausgang stabil 0. Sind dagegen die Zeiten so gestreut, dass der Weg über 11 genommen wird, erhalten wir am Ausgang einen Hazard.

Zeitdiagramme:



Intervallabschätzung von Laufzeiten

Die bisher gemachten Annahmen waren sehr pessimistisch. Man kann auch leicht Zeitintervalle schätzen, in denen sich Signale ändern können. Mit solchen Informationen kann man Hazards ausschließen, etwa weil man weiß, dass die dazu nötigen Änderungen in disjunkten Zeitintervallen stattfinden:

Annahme: Wir kennen zu jedem Paar (Eingang x, Ausgang y) eines Bausteins eine minimale Reaktionszeit und eine maximale Reaktionszeit von y auf eine Änderung an x:

$$d_{min}(x, y)$$
 sowie $d_{max}(x, y)$

Wir können nun leicht jedem Signal eines kombinatorischen Schaltkreises ein Zeitintervall zuordnen, in dem es sich überhaupt ändern kann:

Intervallabschätzung ff

Sei *C* ein kombinatorischer Schaltkreis und sei *s* ein Signal in *C*. Dann setzen wir:

$$t_{min}(s) := 0$$
, falls s Primäreing ang

$$t_{min}(s) := min\{t_{min}(sig(g.x)) + d_{min}(x,y) \mid g.y = treiber(s)\}$$

sonst.

Und ebenso:

$$t_{max}(s) := t_{skew}$$
, falls s Primäreing ang

$$t_{max}(s) := max\{t_{max}(sig(g.x)) + d_{max}(x,y) \mid g.y = treiber(s)\}$$

sonst.

Intervallabschätzung ff

Auf Grundlage dieser Definitionen zeigt man leicht durch Induktion nach der Tiefe von s:

Lemma

Ändern sich die Primäreingänge eines kombinatorischen Schaltkreises *C* zum Zeitpunkt *t*, dann ist das Signal *s* höchstens im Zeitintervall

$$[t + t_{min}(s), t + t_{max}(s)]$$

instabil.