

EHB 324 Logic Design Laboratory

Final Exam

Experiment 7

Three counters will be designed with the 74161 IC, which is a synchronous 4-bit counter shown in the figure. Complete the circuit that provides the desired counting cycle by drawing the necessary gates and connections around the integrated circuit given in each case. Enable T and P inputs are 1 active inputs. Clear input is asynchronous 0 active, Load is synchronous 0 active input.

- a) 0 – 5 counter
- b) 6 – 10 counter
- c) 11 – 15 counter

Deney 7

Şekil’de gösterilen senkron 4-bit sayıcı olan 74161 entegresi ile üç adet sayıcı tasarımı yapılacaktır. Her şıkta verilen entegrenin etrafına gereken kapıları ve bağlantıları çizerek istenen sayma döngüsünü sağlayan devreyi tamamlayınız. Enable T ve P girişleri 1 aktif girişlerdir. Clear girişi asenkron 0 aktif, Load ise senkron 0 aktif giriştir.

- a) 0 – 5 sayıcı
- b) 6 – 10 sayıcı
- c) 11 – 15 sayıcı

