

Logic Design Laboratory

Final Exam

Experiment 6

A synchronous sequential circuit will be realized for the state diagram given in the figure. JK flip-flops will be used in the circuit ($Q = Jq' + K'q$).

- Fill in the state table with state variables “ q_1, q_2 ”, input signal x and output signal y .
- Obtain the reduced Boolean functions of J_1, K_1, J_2, K_2 and y .
- Draw the circuit diagram using 7476 IC and AND, OR, NOT (VE, VEYA, TMLEME) gates.

Deney 6

Şekil’de verilen durum diyagramına ilişkin senkron ardışıl devre gerçekleştirilecektir. Devrede JK tipi flip-floplar kullanılacaktır. ($Q = Jq' + K'q$)

- Durumlar değışkenleri “ q_1, q_2 ”, giriş işareti x , çıkış işareti y olacak şekilde durum tablosunu doldurunuz.
- J_1, K_1, J_2, K_2 ve y işaretlerinin indirgenmiş Boole fonksiyonlarını elde ediniz.
- Devre şemasını 7476 entegresi ve VE, VEYA, TMLEME (AND, OR, NOT) kapıları kullanarak çiziniz.

