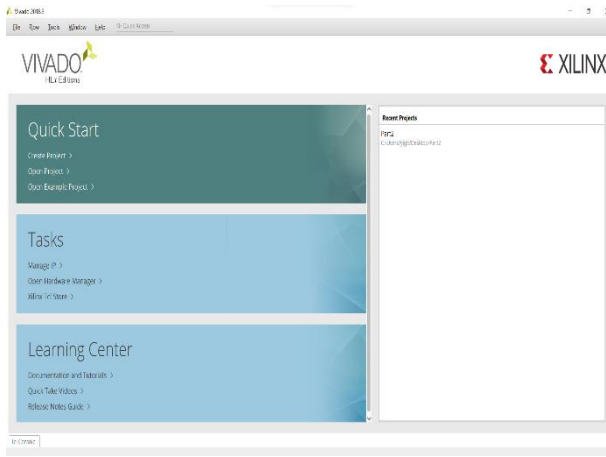
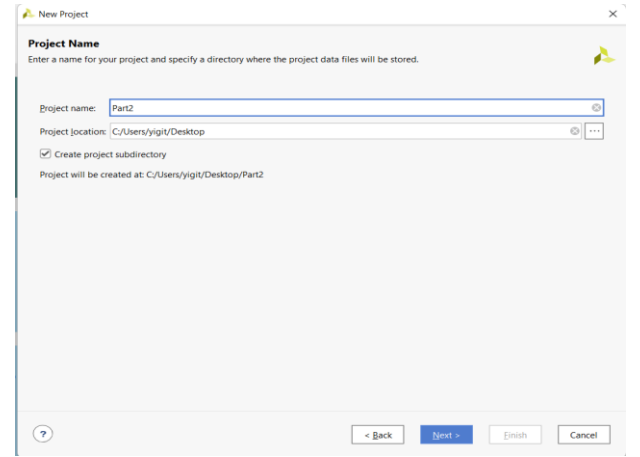


**Xilinx ISE 14.7 kuramadığımdan dolayı simülasyon sonuçlarını Vivado'nun 2018.3 sürümünden yaptım.**

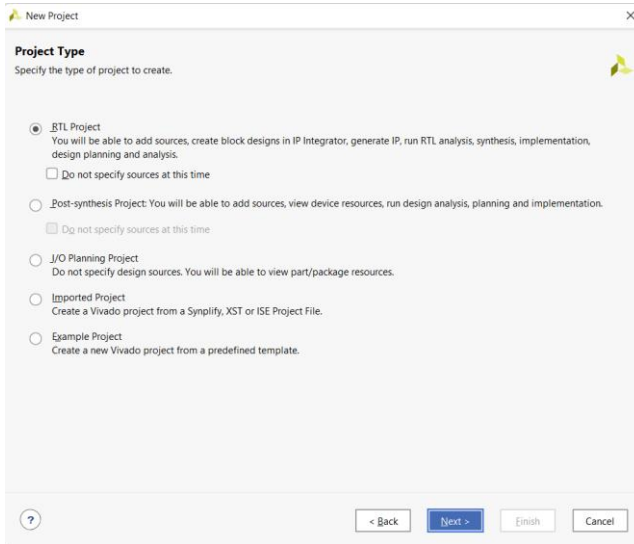
- 1- Ninovaya yüklenmiş olan **OR\_gate.vhd** ve **OR\_gate\_tb.vhd** dosyalarını indirerek part 2 adında oluşturduğum proje dosyasına import ettim. (**Create Project → Project Name: Part 2 → RTL Project → Add Files → Ninovadaki orgate ve orgate\_tb dosyası → Proje oluşturuldu**)



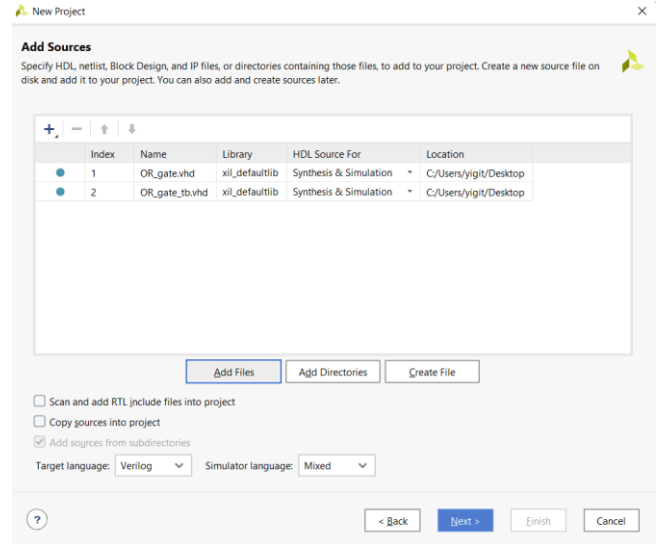
1



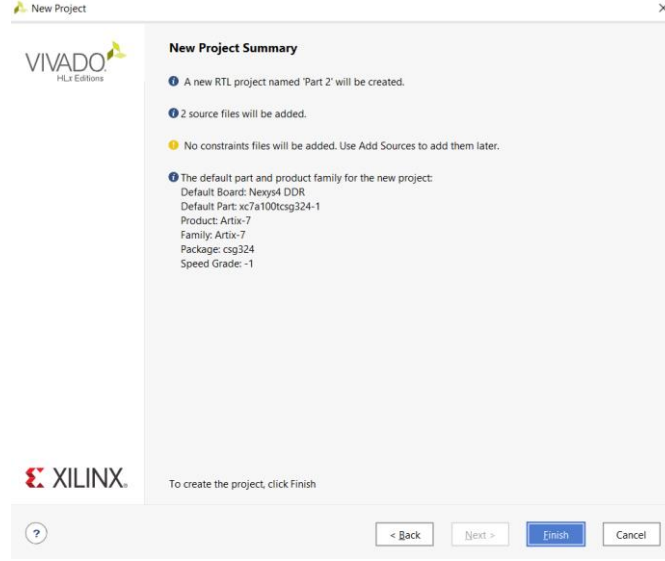
2



3

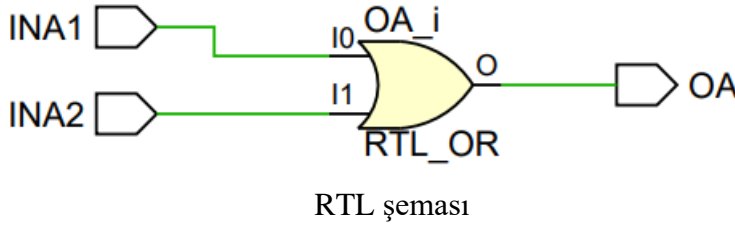


4



5

- 2- Kaynak dosyaları ekledikten sonra OR\_gate.vhd dosyasını “set as Top” komutuyla implementasyonun yapılacağı dosya olarak belirliyorum ardından “Run implementation” komutuyla devrimi oluşturuyorum. İlgili VHDL dilinde yazılmış olan kodun RTL şeması aşağıdaki gibidir.



RTL şeması

Cell Properties		
OA_OBUF_inst_i_1		
I1	I0	O=I0 + I1
0	0	0
0	1	1
1	0	1
1	1	1

Doğruluk tablosu

- 3- “set as Top” komutuyla OR\_gate\_tb.vhd dosyasını işlem yapılacak dosya olarak belirliyorum ardında "Run simulation" komutuyla test bench dosyama çalıştırıyorum. 0ns-60ns arasındaki oluşan değerler aşağıdaki fotoğrafta belirtilmiştir.

