

# ÖDEV-1

Yigit Bektaş Gürsoy

040180067

~~Yigit Bektaş Gürsoy~~

1-)  $64CD_{16}$

Hexadecimal	6	4	C (12)	D (13)
Binary :	0 1 1 0	0 1 0 0	1 1 0 0	1 1 0 1

$\Rightarrow 0110\ 0100\ 1100\ 1101_2$

Binary :	0	1	1	0	0	1	0	0	1	1	0	0	1	1	0	1
Octal :	0	6	2	3	1	5										

$= 62315_8$

Decimal :  $6 \cdot 16^3 + 4 \cdot 16^2 + 12 \cdot 16^1 + 13 \cdot 16^0 = 25805_{10}$

2-)  $431_{10}$

$431 \div 16$	$26 \div 16$	$1 \div 16$
$\begin{array}{r} 431 \\ -32 \\ \hline 111 \\ -96 \\ \hline 15 \end{array}$	$\begin{array}{r} 26 \\ -16 \\ \hline 10 \end{array}$	$\begin{array}{r} 1 \\ -0 \\ \hline 1 \end{array}$

$431_{10} = 1AF_{16}$

$431_{10} \div 8$	$53 \div 8$	$6 \div 8$
$\begin{array}{r} 431 \\ -40 \\ \hline 31 \\ -24 \\ \hline 7 \end{array}$	$\begin{array}{r} 53 \\ -48 \\ \hline 5 \end{array}$	$\begin{array}{r} 6 \\ -0 \\ \hline 6 \end{array}$

$431_{10} = 657_8$

$431 \div 2$	$215 \div 2$	$107 \div 2$	$53 \div 2$	$26 \div 2$	$13 \div 2$	$6 \div 2$	$3 \div 2$
$\begin{array}{r} 431 \\ -22 \\ \hline 11 \\ -10 \\ \hline 1 \end{array}$	$\begin{array}{r} 215 \\ -20 \\ \hline 15 \\ -14 \\ \hline 1 \end{array}$	$\begin{array}{r} 107 \\ -106 \\ \hline 1 \end{array}$	$\begin{array}{r} 53 \\ -52 \\ \hline 1 \end{array}$	$\begin{array}{r} 26 \\ -26 \\ \hline 0 \end{array}$	$\begin{array}{r} 13 \\ -12 \\ \hline 1 \end{array}$	$\begin{array}{r} 6 \\ -6 \\ \hline 0 \end{array}$	$\begin{array}{r} 3 \\ -2 \\ \hline 1 \end{array}$

$(431)_{10} = (110101111)_2$

3-)

a)  $(10110.0001)_2$

b)  $(16.5)_{16}$

c)  $(26.24)_8$

d)  $(DADA.8)_{16}$

e)  $(1010.1101)_2$

a)  $0.2^0 + 1.2^1 + 1.2^2 + 0.2^3 + 1.2^4 = 2 + 4 + 16 = 22$

$$0.2^{-1} + 1.2^{-2} + 0.2^{-3} + 1.2^{-4} = \frac{1}{4} + \frac{1}{16} = \frac{5}{16} = 0.3125$$

$$(10110.0101)_2 = (22.3125)_{10}$$

b)  $6.16^0 + 1.16^1 = 22 \quad 5.16^{-1} = 0.3125$

$$(16.5)_{16} = (22.3125)_{10}$$

c)  $6.8^0 + 2.8^1 = 6 + 16 = 22$

$$2.8^{-1} + 4.8^{-2} = 0.3125$$

$$(26.24)_8 = (22.3125)_{10}$$

d)  $10.16^0 + 13.16^1 + 10.16^2 + 13.16^3 = 56026$

$$11.16^{-1} = 0.6875$$

$$(DADA.8)_{16} = (56026.6875)_{10}$$

e)  $0.2^0 + 1.2^1 + 0.2^2 + 1.2^3 = 10$

$$1.2^{-1} + 1.2^{-2} + 0.2^{-3} + 1.2^{-4} = 0.8125$$

$$(1010.1101)_2 = (10.8125)_{10}$$

4- a)  $1.10010$

b)  $110010$

a)  $1.2^0 = 1 \quad 1.2^{-1} + 0.2^{-2} + 0.2^{-3} + 1.2^{-4} + 0.2^{-5} = 0.5625$

$$(1.10010)_2 = (1.5625)_{10}$$

$$(1.10010)_2 = (1.9)_{16}$$

b)  $0.2^0 + 1.2^1 + 1.2^2 = 6 \quad 0.2^{-1} + 1.2^{-2} + 0.2^{-3} = 0.25$

$$(110.010)_2 = (6.25)_{10}$$

$$(110.010)_2 = (0110.0100)_4 = (6.4)_{16}$$

10'lük sistemde virgül kaldırılmasıyla oluşan değerler 10'un katlarıdır. Eğer bir birim sağa kaydırırsak sayımız 10 kat büyür, sola kaydırırsak 10 kat küçülür. Aynı şey diğer sayı sistemlerinde de geçerlidir. 2'lik sistemde virgüli 2 sağa kaydırmak sayımızı  $2^2=4$ , 4 kat büyütür.

②

Yigit Belkiz Giris

040180063

Yigit

5-)  $f(x,y,z) = \bar{x}y + z$

Yigit Bektaş Gürsey

060180063

Yigit

	x	y	z	$\bar{x}y + z$
(0)	0	0	0	0
(1)	0	0	1	1
(2)	0	1	0	1
(3)	0	1	1	1
(4)	1	0	0	0
(5)	1	0	1	1
(6)	1	1	0	0
(7)	1	1	1	1

$z=1$  durumlarında

$$f = \bar{x}y + 1 = 1 \text{ olur}$$

$z=0$  durumlarında

$\bar{x}y = 1$  olduğu durumlarda

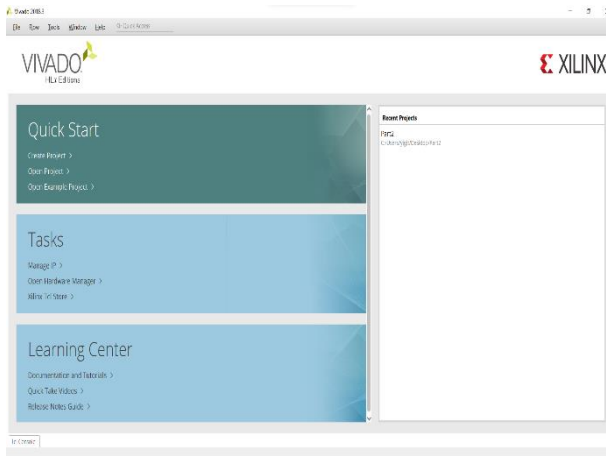
$$f = 1 \text{ olur,}$$

Diğer durumlarda 0 olur.

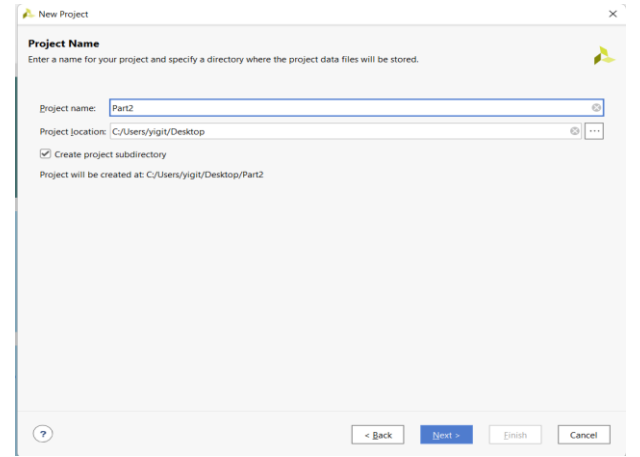
3

**Xilinx ISE 14.7 kuramadığımdan dolayı simülasyon sonuçlarını Vivado'nun 2018.3 sürümünden yaptım.**

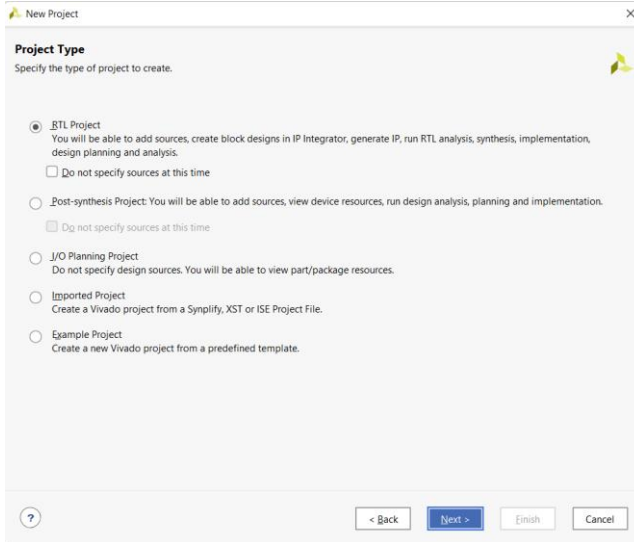
- 1- Ninovaya yüklenmiş olan **OR\_gate.vhd** ve **OR\_gate\_tb.vhd** dosyalarını indirerek part 2 adında oluşturduğum proje dosyasına import ettim. (**Create Project → Project Name: Part 2 → RTL Project → Add Files → Ninovadaki orgate ve orgate\_tb dosyası → Proje oluşturuldu**)



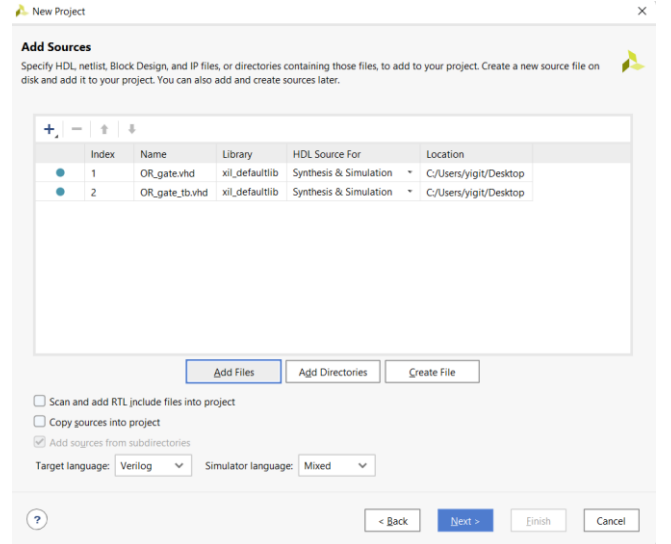
1



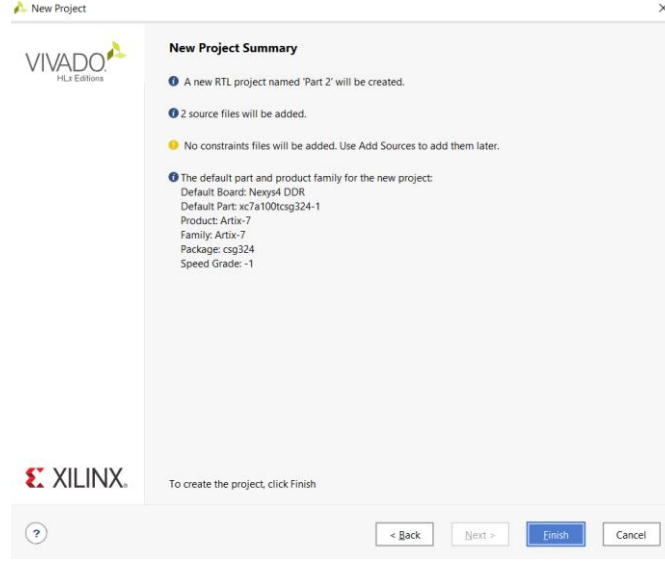
2



3

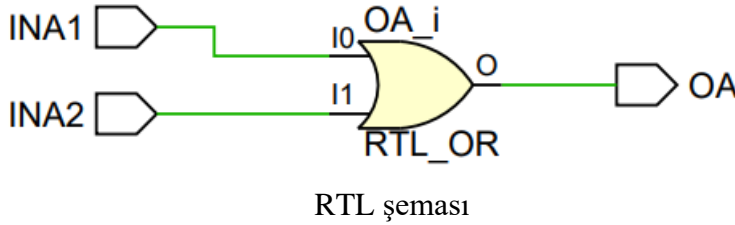


4



5

- 2- Kaynak dosyaları ekledikten sonra OR\_gate.vhd dosyasını “set as Top” komutuyla implementasyonun yapılacağı dosya olarak belirliyorum ardından “Run implementation” komutuyla devrimi oluşturuyorum. İlgili VHDL dilinde yazılmış olan kodun RTL şeması aşağıdaki gibidir.



RTL şeması

Cell Properties		
OA_OBUF_inst_i_1		
I1	I0	O=I0 + I1
0	0	0
0	1	1
1	0	1
1	1	1

Doğruluk tablosu

- 3- “set as Top” komutuyla OR\_gate\_tb.vhd dosyasını işlem yapılacak dosya olarak belirliyorum ardında "Run simulation" komutuyla test bench dosyamı çalıştırıyorum. 0ns-60ns arasındaki oluşan değerler aşağıdaki fotoğrafta belirtilmiştir.

