实验1 时钟选择与GPIO操作：实验记录

危国锐\* 于严谦

( 上海交通大学电子信息与电气工程学院，上海 200240 )

**Todo：**

1. 使用示波器，参考资料[4]，完成表1-1.

表 1-1 系统时钟频率的设定方式对 PF0 信号频率的影响

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 序号 | 外部时钟 | 振荡器源 | | 系统时钟源 | | PLL VCO频率 | | 希望设定的系统时钟频率（MHz） | DEBUG 观测到的时钟频率数值(MHz) | USR\_SW1-PJ0 为释放状态下，示波器观测的PF0 信号频率(Hz) |
| SYSCTL\_XTAL\_25MHZ | MOSC(25M)  SYSCTL\_OSC\_MAIN | PIOSC(16M)  SYSCTL\_OSC\_INT | SYSCTL\_USE\_PLL | SYSCTL\_USE\_OSC | SYSCTL\_CFG\_VCO\_320 | SYSCTL\_CFG\_VCO\_480 |
| 1 |  |  | √ |  | √ |  |  | 16 | 16 |  |
| 2 |  |  | √ |  | √ |  |  | 12 | 16 |  |
| 3 |  |  | √ |  | √ |  |  | 8 | 8 |  |
| 4 | √ | √ |  |  | √ |  |  | 25 | 25 |  |
| 5 | √ | √ |  |  | √ |  |  | 12 | 12.5 |  |
| 6 | √ | √ |  |  | √ |  |  | 1 | 1 |  |
| 7 | √ | √ |  | √ |  |  | √ | 25 | 24 |  |
| 8 | √ | √ |  | √ |  |  | √ | 20 | 20 |  |
| 9 | √ | √ |  | √ |  |  | √ | 8 | 8 |  |
| 10 |  |  | √ | √ |  |  | √ | 20 | 20 |  |
| 11 |  |  | √ | √ |  |  | √ | 8 | 8 |  |
| 12 |  |  | √ | √ |  |  | √ | 1 | 15 |  |
| 13\* |  |  | √ |  | √ |  |  | 4 | 4 |  |
| 14\* |  |  | √ |  | √ |  |  | 3 | 3.2 |  |
| 15\* |  |  | √ |  | √ |  |  | 2 | 2 |  |
| 16\* |  |  | √ |  | √ |  |  | 1.1 | 1.142 857 |  |
| 17\* |  |  | √ |  | √ |  |  | 1.000 001 | 1.066 666 |  |
| 18\* |  |  | √ | √ |  |  | √ | 2 | 10 |  |
| 19\* |  |  | √ | √ |  |  | √ | 4 | 8.571 428 |  |

**拓展探究：**

1. 将经过PLL后的系统时钟调整至最大值120MHz，观察人眼感受到的LED灯的工作效果，是否还能清晰辨别其存在亮-灭闪烁？就你的实验观测，人眼能较清晰辨别的LED灯亮-灭闪烁的最高频率大约为多少？

答：

2. 实验1\_1最后的外部可见功能时，按下USR\_SW1-PJ0，有时要经过明显迟滞，LED灯才能切换为快闪，这是为什么？（提示：后续实验将提供避免这种迟滞的技术方案）。

答：因为本实验中的延时是通过令系统执行空循环实现的（可成为阻塞式延时）。延时期间，处理器被空循环占用，只有在循环执行完毕后，系统才会执行包括读USR\_SW1-PJ0值和更新D4-PF0在内的其他动作。

3. 实验1\_1中关于表1-1的系统时钟设置操作，特意安排了几种情况，观测实际得到的时钟工作频率与希望设定的系统时钟频率无法正确对应。换言之，系统时钟频率设定取值并不能“随心所欲”。请结合MCU厂商技术资料，定性分析其中可能的原因。

答：系统时钟是由系统时钟源（PLL或VCO）经硬件分频后得到的[2]，这种实现机制决定了分频系数不能任意[1]。所以API函数SysCtlClockFreqSet()的文档中给出了使用限制[1]。

**参考资料：**

[1] “*TivaWare™ Peripheral Driver Library USER’S GUIDE*” ( SW-TM4C-DRL-UG-2.1.4.178 )

第26.1节 *Introduction*：关于系统时钟源选为PLL时，频率的限制：When using the PLL, the input clock frequency is constrained to specific frequencies that are specified in the device data sheet.

第26.2节 *API Functions*：API函数 SysCtlClockFreqSet() 的用法。

[2] “*Tiva™ TM4C1294NCPDT Microcontroller DATA SHEET*” ( DS-TM4C1294NCPDT-15863.2743 SPMS433B )

第5.2.5节 *Clock Control*：

[3] “*Tiva™ C Series TM4C1294 Connected LaunchPad Evaluation Kit EK-TM4C1294XL User's Guide*” ( SPMU365B )

第2.1.6节 *BoosterPacks and Headers*：Table 2-4. X11 Breadboard Adapter Even-Numbered Pad GPIO and Signal Muxing (continued)，可见X11 Breadboard Adapter的Pin-Port对应关系包含：Pin#66对应Port#PF0，Pin#96对应GND。

第5章 *Schematic*：Sheet#1指明按键USR\_SW1同端口PJ0连接，Sheet#4指明LED灯D4同端口PF0连接。

[4] 课程视频.

[工程实践与科技创新II-A\_1.5常用调试方法 (sjtu.edu.cn)](https://vshare.sjtu.edu.cn/play/b9c32627cc259b7309177662d3e6f0ce) 给出常用调试方法，包括使用示波器调试：

