

***2019-2 Digital Logic Design
Final Project***

최종 프로젝트

◆ 제출:

- ◆ 12월 16일 월요일 자정까지 (delay 없음)
- ◆ 팀별(대표 학생 1명)
 - ◆ 구현 Verilog file + testbench Verilog file
 - ◆ 보고서:
 - ◆ 구현 내용, 입출력, FSM, 코드 설명 등
 - ◆ 시뮬레이션 결과
 - ◆ 케이스별 동작 결과를 상세히 설명
- ◆ 개인별
 - ◆ 팀원 리뷰

최종 프로젝트

◇ 평가:

◆ 팀별 평가

- ◆ 상: 모든 기능 구현 & 시뮬레이션 결과
- ◆ 중: 일부 기능 구현 & 시뮬레이션 결과
- ◆ 하: 구현 여부를 확인할 수 있는 시뮬레이션 결과 없는 경우

◆ 팀원 평가

- ◆ Pass & Fail
- ◆ 과반수 이상의 팀원이 Fail을 주었을 경우 팀별 평가에서 한 단계 강등됨
- ◆ 팀원 리뷰를 제출하지 않았을 경우 팀별 평가에서 한 단계 강등됨

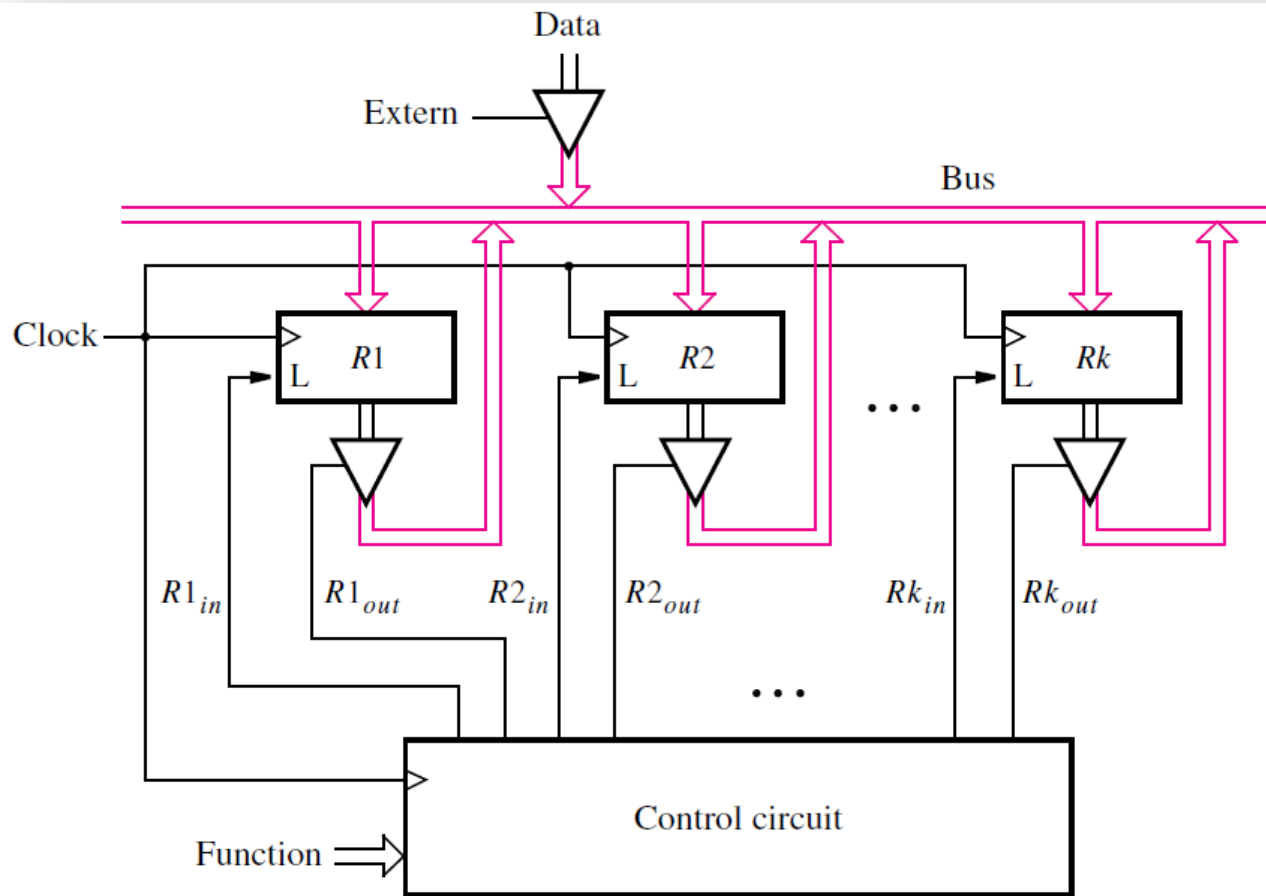
최종 프로젝트

◇ 주의 사항:

- ◆ 주어진 스펙보다 추가 기능 구현 시 부정 행위로 의심 받을 수 있음. 주어진 스펙 그대로 단순하게 구현하세요
- ◆ 표절 검사를 철저히 할 예정이며 표절이라고 결정된 경우 프로젝트 점수 0점
- ◆ 요구되는 기본 기능을 만족하는 한, 구현 방법은 여러분의 자유
 - ◆ Slide6의 architecture 를 기본
 - ◆ Tri-state buffer 로 bus 구현
 - ◆ 기본 5개 function 구현 등..

Bus structure

- tri state implementation**



Tristate buffer
구현 참고

```
module trin (Y, E, F);
  parameter n = 8;
  input [n-1:0] Y;
  input E;
  output wire [n-1:0] F;

  assign F = E ? Y : 'bz;

endmodule
```

3개의 8 bit register R1, R2, R3

register의 출력은 tristate buffer로 bus에 연결되어 있고 (8 bit data bus), Rout으로 컨트롤
register의 입력은 Rin으로 컨트롤. Rin=1일 때 bus의 데이터가 해당 register에 저장됨

Extern이라는 컨트롤 신호로 외부 data를 원하는 register에 저장할 수도 있음

한 순간(한 clock cycle)에는 하나의 register 또는 외부 데이터만 bus에 데이터를 보낼 수 있음

Function: 구현하고자 하는 기능을 명시함

Five Functions

1. swap – 3 steps 로 완수
 - 1) $R2 \rightarrow R3$
 - 2) $R1 \rightarrow R2$
 - 3) $R3 \rightarrow R1$
2. move – 1 step
 - 1) $R1 \rightarrow R2$
3. loadR1 – 1 step
 - 1) External data $\rightarrow R1$
4. loadR2 – 1 step
 - 1) External data $\rightarrow R2$
5. loadR3 – 1 step
 - 1) External data $\rightarrow R3$

구현 예:

```
input [2:0] func;
```

```
//000: swap, 001: move...
```

```
wire f1, f2, f3, f4, f5;
```

```
reg f1, f2, f3, f4, f5; //구현에 따라 wire or reg
```

```
//func 의 값을 보고 f1~f5 중 하나를 1로 set 하여 controller (FSM)을 구동시킨다.
```