

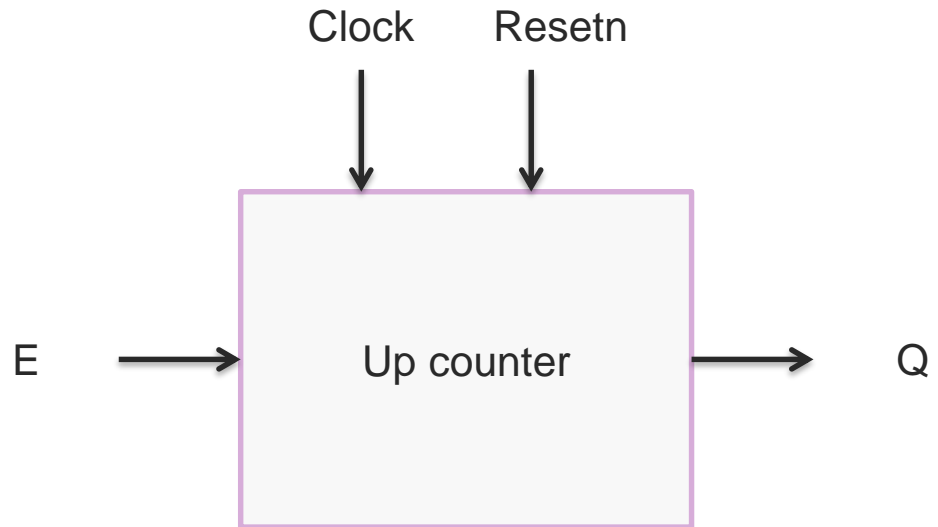
---

*Sequential system*  
*Verilog coding 하기*

# Code for a 4bit up counter

---

```
module upcount (Resetn, Clock, E, Q);  
  input Resetn, Clock, E;  
  output reg [3:0] Q;  
  
  always @(negedge Resetn or posedge Clock)  
    if (!Resetn) begin  
      Q <= 0;  
    end  
    else begin    //enable  
      if (E) Q <= Q + 1;  
    end  
endmodule
```



# 1. up counter with parallel load

```
module upcount (R, Resetn, Clock, E, L, Q);
```

```
    input [3:0] R;
```

```
    input Resetn, Clock, E, L;
```

```
    output reg [3:0] Q;
```

```
    always @(negedge Resetn or posedge Clock)
```

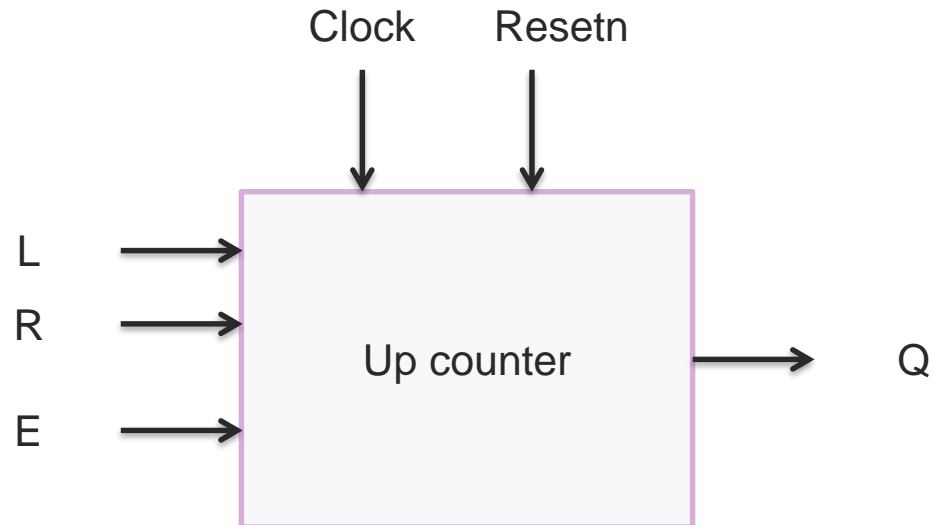
```
        if (!Resetn) begin
```

```
            Q <= 0;
```

```
        end
```

```
        ... your codes
```

```
endmodule
```



L(load)=1일 경우 Q에는 R 값이 로드 된다. 그렇지 않을 경우  
보통의 up counter처럼 E=1일 때 Q 값이 하나씩 증가한다.

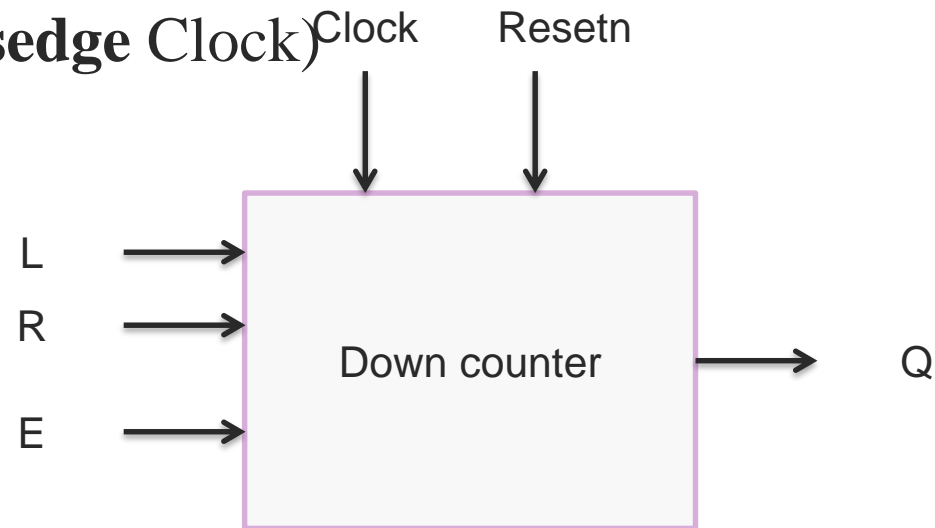
## 2. down counter with parallel load

```
module downcount (R, Resetn, Clock, E, L, Q);  
    parameter n = 8;  
    input [n-1:0] R;  
    input Clock, L, E;  
    output reg [n-1:0] Q;
```

```
    always @(negedge Resetn or posedge Clock)  
        if (!Resetn)  
            Q <= 0;
```

**... your codes**

```
endmodule
```



L(load)=1일 경우 Q에는 R 값이 로드 된다. 그렇지 않을 경우 보통의 down counter처럼 E=1일 때 Q 값이 하나씩 감소한다.

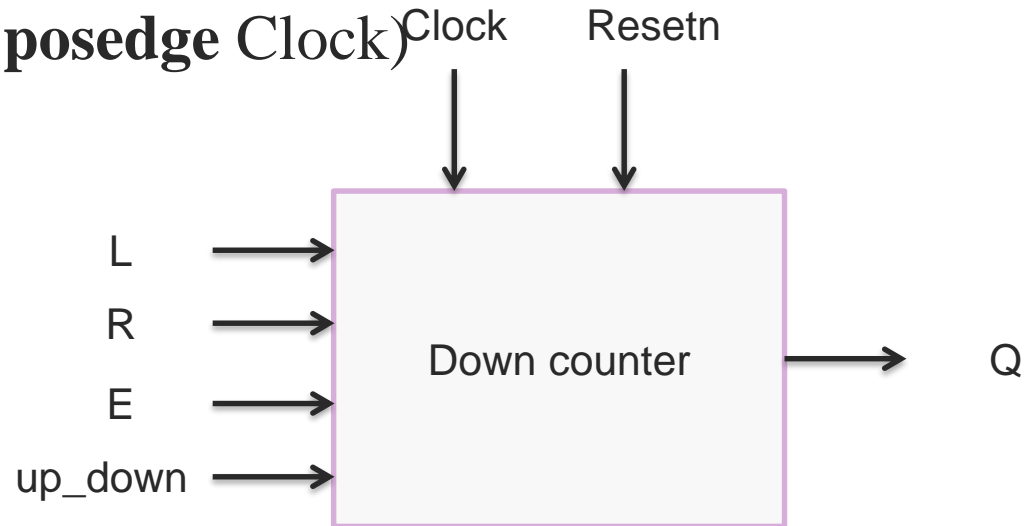
### 3. up/down counter with parallel load

```
module updowncount (R, Resetn, Clock, E, up_down, L, Q);  
    parameter n = 8;  
    input [n-1:0] R;  
    input Clock, L, E, up_down;  
    output reg [n-1:0] Q;
```

```
    always @(negedge Resetn or posedge Clock)  
        if (!Resetn)  
            Q <= 0;
```

**... your codes**

```
endmodule
```



L(load)=1일 경우 Q에는 R 값이 로드 된다. 그렇지 않을 경우  
E=1일 때 Q 값이 하나씩 증가 또는 감소한다.  
Up\_down=1일 때 증가, up\_down=0일 때 감소

# 과제

---

- ◇ 11/16 토요일 자정까지 (개인 과제)
  
- ◇ 제출 파일 (7 가지 파일)
  - ◆ 1) upcount.v, upcount\_top.v
  - ◆ 2) downcount.v, downcount\_top.v
  - ◆ 3) updowncount.v, updowncount\_top.v
  - ◆ 4) 보고서: 각각 모듈의 시뮬레이션 캡처 파일
  
- ◆ **제출 기한 연장 없음**
- ◆ **제출 포맷을 지키지 않은 경우 0점**