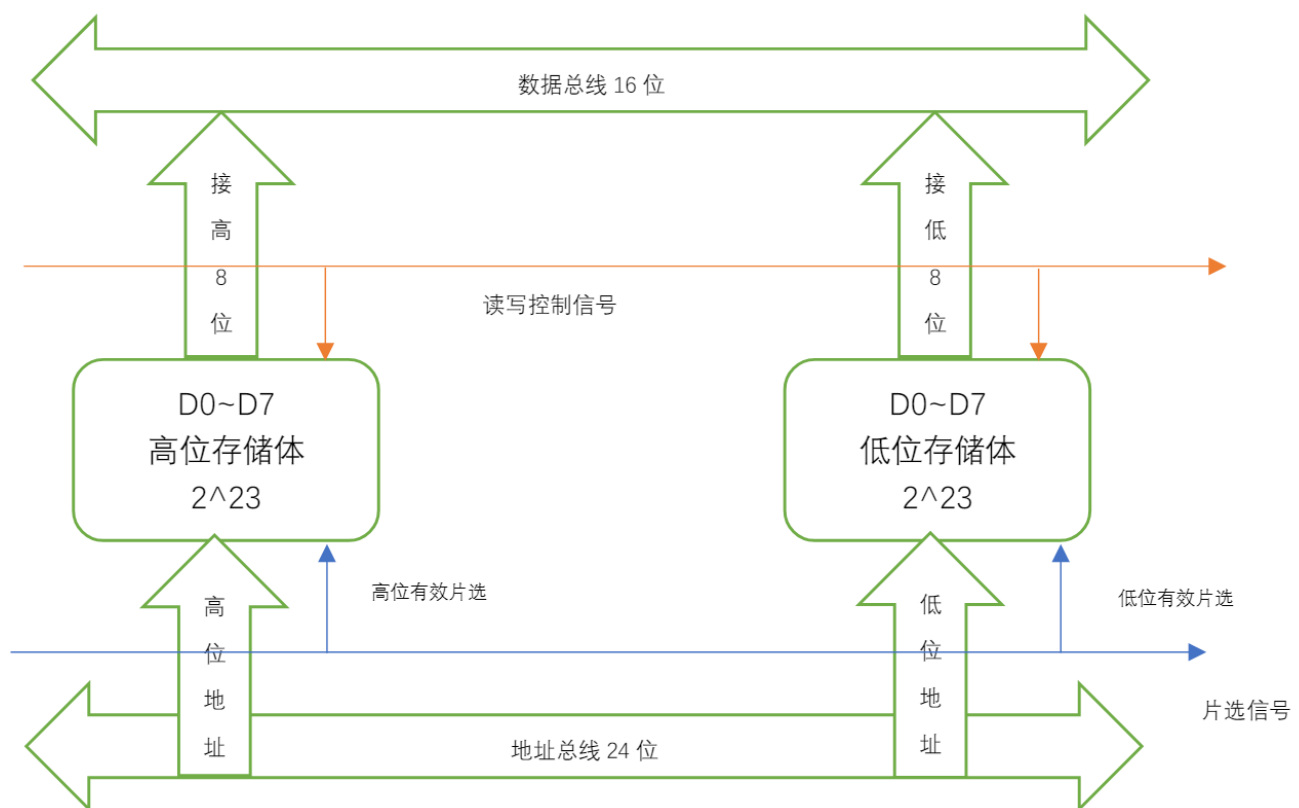


微嵌第二章答案

2.6 某16位计算机系统的数据总线位宽为16位，但是地址总线为24位，内存按照字节组织，该计算机系统的内存地址空间是多少？如果希望一次能够传送一个完整的字（16位），或者只传送这个字中的高8位或低8位，存储器应该如何组织？请画出存储器与总线连接的草图。

地址空间= 2^{24} = 16 777 216

示意图：



2.10 什么是微指令？什么是微程序？控制ROM的作用是什么？

- 微操作码+执行顺序控制位=微指令
- 微程序是由多条微指令有序排列而成的
- 控制ROM用来存放每条指令对应的微程序

2.13 请参照例2.1，分步骤写出第2条数据存储器指令“LDR R1, [R3]”的执行过程。

1. 把第二条指令的地址0x20000004 装入程序计数器PC, 程序计数器的内容0x20000004 送到地址形成部件，地址形成部件产生的地址信号经地址缓冲器/驱动器和地址总线，被送到地址译码器进行译码，寻址指令存放的内存单元。
2. 操作控制器发读信号，将0x20000004 单元的内容“LDR R1, [R3]”读出，由于是取指操作，“LDR R1, [R3]”经过数据总线被存入到指令寄存器IR。
3. 如果程序计数器的单位是字节，则PC 自动加4，指向下一条指令的存放地址。
4. 指令译码器ID 对指令操作码进行译码，操作控制器OC 按照操作时序发出相应的控制信号。

5. 指令的地址码部分对应着汇编指令的操作数部分。本条指令中，存放源操作数的内存地址位于R3 寄存器中，目的操作数是R1 寄存器。
6. 在操作控制器输出的控制信号作用下，R3 寄存器的内容经地址形成部件和地址驱动器送到地址总线，再经地址译码后寻址到源操作数存放的内存单元
7. 操作控制器发出读信号，将源操作数读出到数据总线，然后加载到R1 寄存器。

比较繁琐，耐心过一遍

2.14 假设A和B是同一条总线所连接的两个存储器单元，总线位宽大于或等于存储单元的位数。现在需要将A单元的内容传送到B单元中，能否在一个总线周期内完成传送任务？为什么？

不能。

存储器单元之间不能直接传送数据，必须先将源操作数从存储器中读出到某个寄存器暂存，再将暂存的内容写入目的存储单元。见PPT：P53

(对应可以了解下DMA，直接存储器访问)

***2.15 假设 I_j 和 I_{j+1} 是前后相继的两条指令，请举例说明指令流水线的“WAR”和“WAW”两种数据相关问题。**

- WAR为“读后写”，假设 I_j 为Sub R1, R2, R3, I_{j+1} 为Move R2, R4, 若在sub指令读取R2之前move就将R4中数据转移到了R2, 则会发生“WAR”。
- WAW为“写后写”，假设 I_j 为Add R1, R2, I_{j+1} 为Move R1, R3, 若move先将R3中数据转移到了R1, 则最终R1存放的是R2+R1的结果，而程序本意是保留R3转移到R1的数据。

2.16 名称解释：（1）转移目标指令；（2）转移代价；（3）转移延迟槽；（4）BTB。

- 转移目标指令：转移指令的目标指令，即下一条紧接着执行的命令
- 转移代价：假设在指令序列中，指令 I_j 是一条无条件转移指令，其在流水线上的执行步骤为：取指、译码、计算转移地址并更新程序计数器PC。第三个周期阶段之后，第四个周期将读取转移目标指令 I_k 。但在此之前，指令 I_{j+1} 和 I_{j+2} 也先后进入了流水线，转移必须将这两条指令丢弃。上述过程产生的两个流水线周期延迟被称为转移代价
- 转移延迟槽：转移指令 I_j 后面的一个时间片
- BTB：转移目标缓冲器。BTB收集和存储了近期所有转移指令的有关信息，并按照查找表的形式组织，为动态转移预测提供信息。

***2.18 在超标量计算机中，指令在被发射到不同的流水线之前，为什么要做“配对”检查？试举例说明该检查的必要性。**

在发射前，必须将待处理的指令进行挑选，只有不相干的指令才能被发射到不同的流水线上。若流水线2的指令要用到流水线1的结果，那便会产生窝工

2.20 什么是同构多核与异构多核？采用异构多核的目的是什么，试举例说明。

- 同构多核处理器的内核普遍采用通用处理器，每个处理器的结构相同，地位相等。
- 异构多核处理器具有不同功能和性能的内核以匹配实际应用需求，在提升芯片整体性能的同时，优化处理器结构，降低系统功耗。
- 例如，对于通用的个人计算机，可以将图形处理器GPU与通用CPU集成在一颗芯片上，从而构成一种异构多核处理器。在这样的架构下，程序中必须串行执行的部分由CPU执行，可以并行的处理任务交由GPU内核进行提速。

***2.24 某ARM920T的时钟频率为300MHz时，其每秒钟可执行的指令数能达到多少MIPS？**

$300\text{MHz} \times 1.1\text{MIPS/MHz} = 330\text{MIPS}$ （数据1.1MIPS/MHz查阅教材P75）

2.25 作为一种性能指标，MIPS是否能客观反映计算机的运算速度？为什么？

不够客观。

原因：

1. 考虑到RISC与CISC架构处理器指令集繁简程度不同，使用MIPS衡量二者间性能差异不妥
2. 对于同一处理器，MIPS还依赖于所运行的测试程序。