

Ld op3 000000

Format (3):

11	rd	op3	rs1	i=0	asi	rs2
31	29	24	18	13	12	4 0
11	rd	op3	rs1	i=1	simml3	
31	29	24	18	13	12	0

Add op3 000000

Format (3):

10	rd	op3	rs1	i=0	unused(zero)	rs2
31	29	24	18	13	12	4 0
10	rd	op3	rs1	i=1	simml3	
31	29	24	18	13	12	0

AND op3 010001

Format (3):

10	rd	op3	rs1	i=0	unused(zero)	rs2
31	29	24	18	13	12	4 0
10	rd	op3	rs1	i=1	simml3	
31	29	24	18	13	12	0

XOR op3 000111

Format (3):

10	rd	op3	rs1	i=0	unused(zero)	rs2
31	29	24	18	13	12	4 0
10	rd	op3	rs1	i=1	simml3	
31	29	24	18	13	12	0

SRL op3 100110

Format (3):

10	rd	op3	rs1	i=0	unused(zero)	rs2
31	29	24	18	13	12	4 0
10	rd	op3	rs1	i=1	unused(zero)	shcnt
31	29	24	18	13	12	4 0

Cmp = subcc op3 010100

Format (3):

10	rd	op3	rs1	i=0	unused(zero)	rs2
31	29	24	18	13	12	4 0
10	rd	op3	rs1	i=1	simm13	
31	29	24	18	13	12	0

BL cond=0011

Format (2):

00	a	cond	010	disp22		
31	29	28	24	21		0

LEGENDA:

Rd – reg destino. 5bits com address dele

Rs1 – reg operando. 5bitd com address dele

Rs2 - reg operando. 5bitd com address dele

Simm13 – imediato de 13bits; pode ser extendido para até 32 bits

i – i=0, operando é rs2; i=1, operando é simm13 ou shcnt

asi – para load/save alternae instrucon

shcnt – valor a ser deslocado

disp22 – 22bits para word-aligned, sign-extended, PC-relative displacements em uma branch

Registradores

Windowed Register Address	r Register Address
in[0] – in[7]	r[24] – r[31]
local[0] – local[7]	r[16] – r[23]
out[0] – out[7]	r[ 8] – r[15]
global[0] – global[7]	r[ 0] – r[ 7]