

54/74165

8 位移位寄存器（并行输入，互补串行输出）

简要说明

54/74165 为 8 位移位寄存器,其主要电特性的典型值如下:

型号	f _m	P _D
54/74165	26MHz	210mW
54/74LS165A	35MHz	90mW

当移位/置入控制端（ $\overline{SH/LD}$ ）为低电平时，并行数据（A—H）被置入寄存器，而时钟（CLK,CLK INH）及串行数据（SER）均无关。当 $\overline{SH/LD}$ 为高电平时，并行置数功能被禁止。

CLK和CLK INK在功能上是等价的，可以交换使用。当CLK和CLK INK有一个为低电平并且 $\overline{SH/LD}$ 为高电平时，另一个时钟可以输入。当CLK和CLK INK有一个为高电平时，另一个时钟被禁止。只有在CLK为高电平时CLK INK才可变为高电平。

引出端符号

- CLK,CLK INH

A—H

SER

Q_H

$\overline{Q_H}$

$\overline{SH/LD}$
- 时钟输入端（上升沿有效）

并行数据输入端

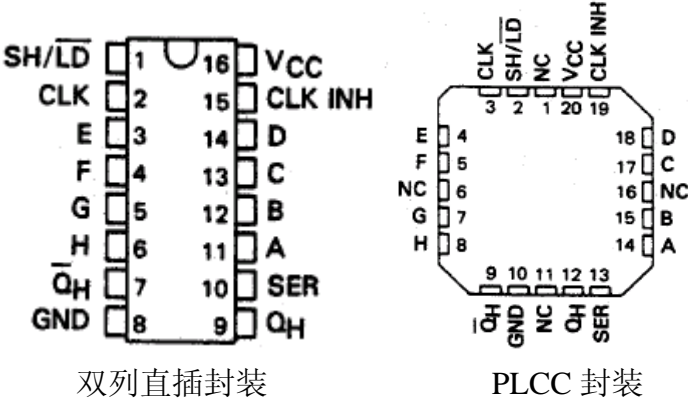
串行数据输入端

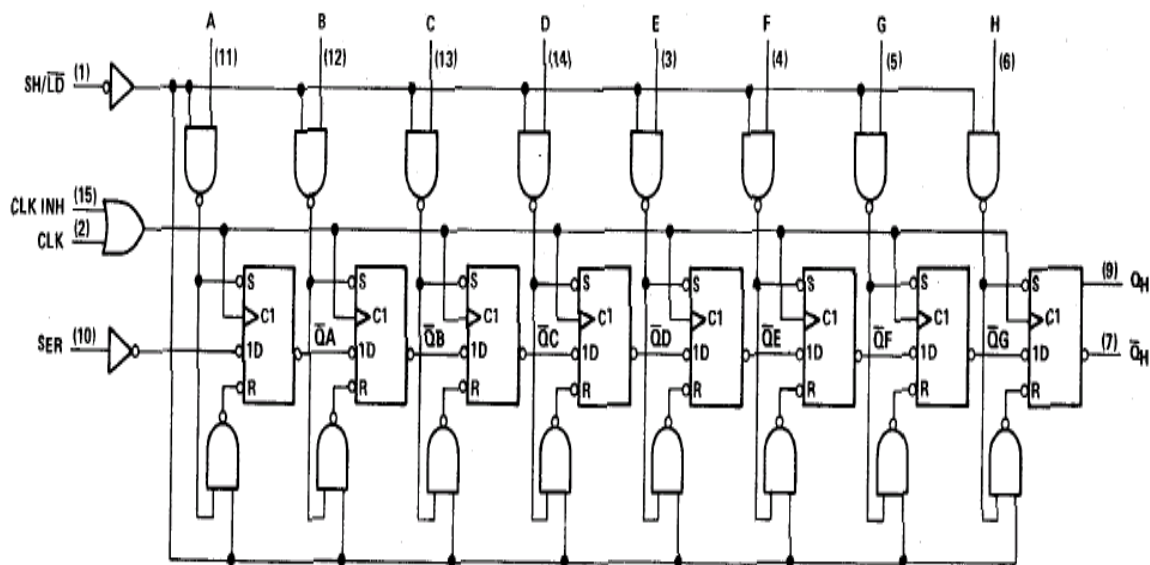
输出端

互补输出端

移位控制/置入控制（低电平有效）

逻辑及封装图





极限值

电源电压..... 7V

输入电压..... 5.5V

SH/LD与CLK INH间电压..... 5.5V

工作环境温度

54164..... -55~125℃

74164..... -0~70℃

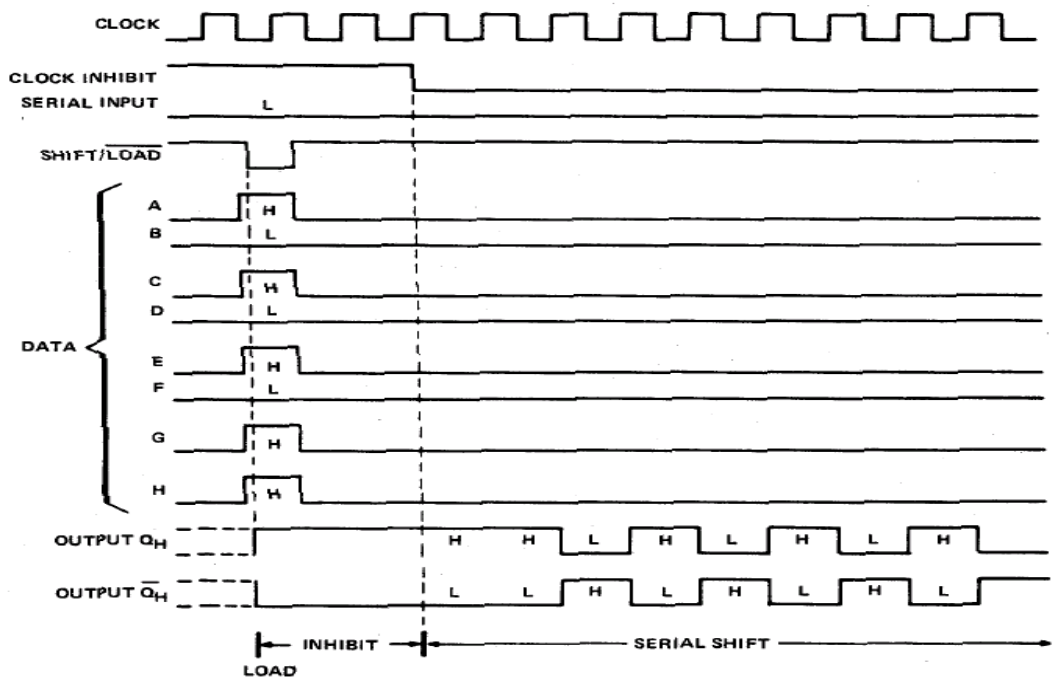
储存温度..... -65℃~150℃

真值表

INPUTS					INTERNAL OUTPUTS		OUTPUT QH
SHIFT/ LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A...H	QA	QB	
L	X	X	X	a...h	a	b	h
H	L	L	X	X	QA0	QB0	QH0
H	L	↑	H	X	H	QAn	QGn
H	L	↑	L	X	L	QAn	QGn
H	H	X	X	X	QA0	QB0	QH0

H—高电平 L—低电平 X—任意电平 ↑—低到高水平跳变

时序图



推荐工作条件:

		54/74165			单位
		最小	额定	最大	
电源电压 V_{CC}	54	4.5	5	5.5	V
	74	4.75	5	5.25	
输入高电平电压 V_{IH}		2			V
输入低电平电压 V_{IL}				0.8	V
输出高电平电流 I_{OH}				-400	μA
输出低电平电流 I_{OL}				8	mA
时钟频率 fcp		0		25	MHz
脉冲宽度 T_W	CLK	25			ns
	$\overline{L} D$	15			ns
建立时间 tset	CLK INK	30			ns
	A-H	10			ns
	SER	20			ns
	SH	45			ns
保持时间 t_H		0			ns

静态特性（ T_A 为工作环境温度范围）

参 数	测 试 条 件 ^[1]	'165		单位
		最小	最大	
V_{IK} 输入嵌位电压	V_{CC} =最小, V_{IK} =-12mA		-1.5	V
V_{OH} 输出高电平电压	V_{CC} = 最小 V_{IH} = 2V V_{IL} = 0.8V, I_{OH} = -800 μA	2.4		V

V _{OL} 输出低电平电压		V _{CC} =最小, V _{IH} =2V, V _{IL} =0.8V, I _{OL} =16mA		0.4	V
I _I 最大输入电压时输入电流		V _{CC} =最大 V _I =5.5V		1	mA
I _{IH} 输入 高电平电流	SH/ \overline{L} \overline{D}			80	μ A
	其余输入			40	
I _{IL} 输入 低电平电流	SH/ \overline{L} \overline{D}	V _{CC} =最大,V _{IL} =0.4V		-3.2	mA
	其余输入			-1.6	
I _{OS} 输出短路电流		V _{CC} =最大	54	-20	mA
			74	-18	
I _{CC} 电源电流		V _{CC} =最大CLK和CLK INK接 4.5V, SH/ \overline{L} \overline{D} 加脉冲, D先接 4.5V后接地		63	mA

[1]: 测试条件中的“最小”和“最大”用推荐工作条件中的相应值。

动态特性(T_A=25℃)

参 数 ^[2]		测 试 条 件	‘165		单位
			最小	最大	
fmax		Vcc =5V,C _L =15Pf,R _L =400 Ω	24		MHz
t _{PLH}	$\overline{L} \overline{D} \rightarrow Q_H, \overline{Q}_H$			31	ns
t _{PHL}				40	ns
t _{PLH}	CLK $\rightarrow Q_H, \overline{Q}_H$			24	ns
t _{PHL}				31	ns
t _{PLH}	H $\rightarrow Q_H$			17	ns
t _{PHL}				36	
t _{PLH}	H $\rightarrow \overline{Q}_H$			27	ns
t _{PHL}				27	

[2]: f_{max} 最大时钟频率。t_{PLH}输出由低电平到高电平传输延迟时间 t_{PHL}输出由高电平到低电平传输延迟时间