数字电子钟逻辑电路设计

20009200770 刘焕宇

一、设计功能简述

数字电子钟是日常生活中常见的一种工具。大到车站、码头、机场等公共场所的大型数显电子钟，小到我们随身携带的电子手表，数字电子钟与我们的生活息息相关，而且其整点报时、闹钟等功能也给人们提供了方便。因此，了解数字电子钟的工作原理是很有必要的，也非常有趣。因此这次数电课程设计，我选择了数字电子钟的逻辑电路设计。

数字电路与系统设计课程的核心是时序逻辑电路、组合逻辑电路和触发器，这也是最基本需要掌握应用的知识。通过这次课程，不仅可以加深我对数字电路的理解，也可以提高自己的动手能力以及实际问题中解决问题的能力，培养对数字电路设计的兴趣。

二、设计任务及具体要求

用中、小规模集成电路设计一台能显示日、时、分、秒的数字电子钟，要求如下：

1. 由晶振电路产生1Hz标准秒信号。

2. 秒、分为00～59六十进制计数器。

3. 时为00～23二十四进制计数器。

4. 周显示从1～日为七进制计数器。

5. 可手动校时：能分别进行秒、分、时、日的校时。只要将开关置于手动位置，可分别对秒、分、时、日进行手动脉冲输入调整或连续脉冲输入的校正。

6. 整点报时。整点报时电路要求在每个整点前呜叫五次低音（500Hz），整点时再呜叫一次高音（1000Hz）。

三、设计方案

1、秒针的设计

选择两个74160计数器级联，通过反馈异步置0法并设置十位电路模数为6，即当输出信号十位时，反馈置零。

总模数。

2、分针的设计

将秒针的RCO进位信号作为分针个位数的时钟信号，其余电路设计与秒针大体相同。

3、时针的设计

将分针的进位信号作为时针个位数的时钟信号，用门电路判断时针达到时，反馈置零

4、周天数的设计

由于天数的起始时间是一，一开始应该通过低电平有效，在时钟下降沿有效的基础上，直接通过信号读入预置的，之后当即天数达到8时，重新激活低电平有效天数返回，实现模7的功能

5、整点报时功能

通过或非门实现，当分和秒全为0时，蜂鸣器连通开始报时1000Hz。当分为59，秒为55~59时，第二个蜂鸣器响起500Hz，通过卡诺图合并化简55~59的，通过几个门电路即可实现功能、

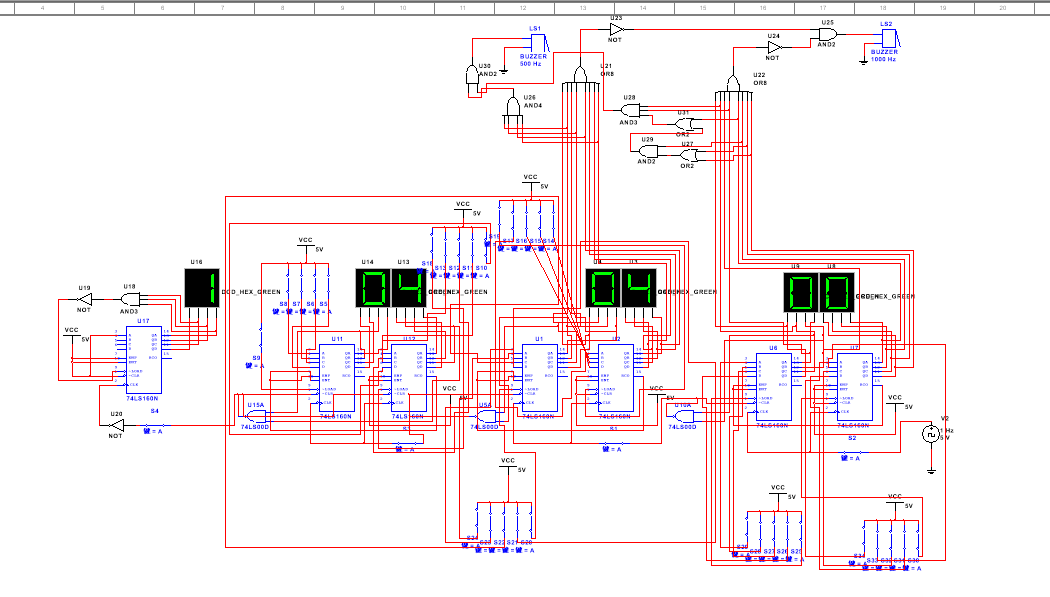
6、手动校时功能

给各个芯片的单独接到一个开关控制信号上，每个芯片的四个引脚各用四个开关控制，连接到高电平有效的电源上。当低电平有效时，通过调整开关，即可实现每一个位数的校时，同时时间还会继续计数。

四、整机电路图

实验器件清单：两个蜂鸣器（1000Hz、500Hz），方波交流信号源，74160芯片7块、DCD\_HEX电子显示屏7块、与门若干、或门若干、非门若干、与非门若干、开关若干、导线若干。

图1 实验电路图



详情见附件*数字电子钟.ms12*

五、总结与体会

1、完成了课程设计的基本要求，但是电子钟电路太过复杂，没有实用价值，尤其是校准功能，平均一个数字位需要四个开关。应该先把思路理清楚，在草稿纸上把草图画出来，再连接电路。

2、对74160芯片的各个引脚功能、多个芯片的级联、设计模数有了更深的认识。

3、对时序电路有了更深的认识。连接短路过程中，多次出现了时钟信号上升沿、下降沿弄混，引脚记忆错误等问题。

4、应该采用封装的电路设计思路，避免电路过于复杂、重复的情况再次出现。各个部件一开始要拉的开一些，留出引线和之后再次修改的空间。

5、锻炼了认真严谨的学习态度。不仅仅是做课程设计，无论是什么研究，都要有严谨踏实的学习态度，比如独立思考独立完成、认真接线、仔细检查等，这些都是对我们自身能力的一种培养。