

2021 秋数字逻辑与数字系统设计期末复习题

一、多选题

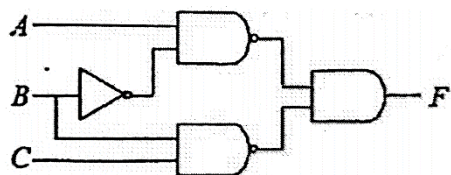
1、关于 PROM、PLA 和 PAL，下列说法错误的是（ ）。

- A: PLA 的与门阵列、或门阵列都是可编程的
- B: PAL 的与门阵列是可编程的，或门阵列是固定的
- C: PROM 的与门阵列是固定的，或门阵列是可编程的。
- D: PLA 与 PAL 的与门阵列都是可编程的
- E: PLA 与 PROM 的或门阵列是可编程的。
- F: PAL 与 PROM 的或门阵列都是固定连接，不可编程的。
- G: PLA 与 PROM 的与门阵列都是固定连接，不可编程的。

2、在逻辑功能上属于一对互反操作的是（ ）。

- A: 译码器和编码器
- B: 全加器和全减器
- C: 数码寄存器与移位寄存器
- D: 数据选择器与数据分配器
- E: 锁存器与触发器

3、关于如图所示电路，下列说法正确的是（ ）



- A: F 的最简与或式为 $A' C' + B$
- B: 不产生冒险
- C: 可能产生 0 态冒险
- D: 可能产生 1 态冒险
- E: 0 态、1 态均有可能发生

二、分析题

1. 图 14 电路中 74LS153 是双 4 选 1 数据选择器， A 、 B 、 C 是输入变量，写出输出 $Y_1(A,B,C)$ 、 $Y_2(A,B,C)$ 的最简逻辑表达式，列出真值表，并判断电路的逻辑功能。

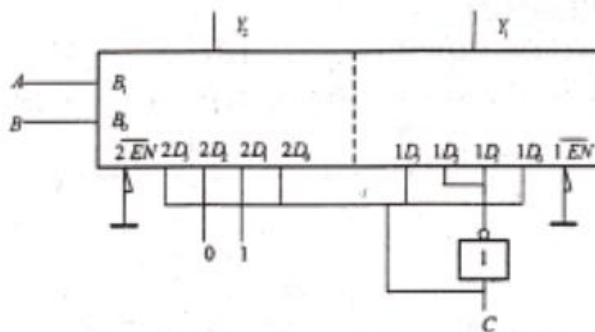
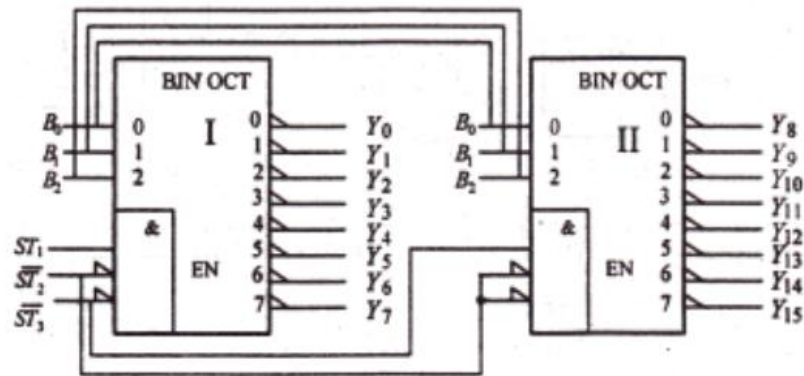


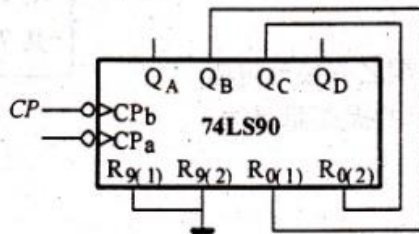
图 14

2. 如图所示电路中器件 1 和器件 2 为 3 线 -8 线译码器 74LS138

- (1) 欲用 2 个 3 线-8 线译码器组成 4 线-16 线译码器，其中 $B_2 B_1 B_0$ 按图 12 所示连接，补充画出使能端连接方式，用表达式表示： $ST_1 =$ $\overline{ST_2} =$ $\overline{ST_3} =$
- (2) 当输入信号为 $[B_3 B_2 B_1 B_0] = 1100$ 时，输出 $[Y_{15} Y_{14} Y_{13} \cdots Y_1 Y_0] = ?$

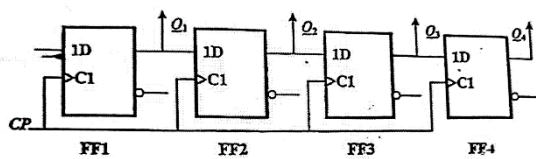


3. 下图为 74LS90 构成的电路，说明它是多少进制的计数器

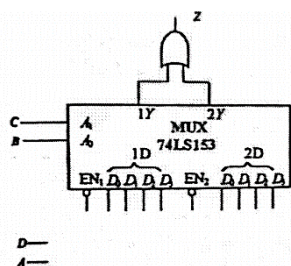


三、设计题

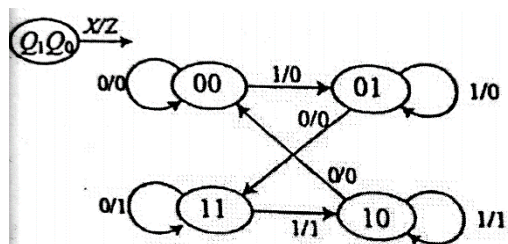
1. 用四个触发器，设计一个可产生 6 为序列脉冲 000111 的序列脉冲发生器，要求以 Q_4 作为输出，(1) 设计并在图中完成电路（要求：不允许使用其他元器件和逻辑门）；(2) 画出完整的状态转换图，并判断是否可以自启动



2. 试用双四选一数据选择器 74LS153 设计一个 8421BCD 码的识别电路，要求输入信号 DCBA 为 8421BCD 码时，输出 $Z=0$. 电路初始连接如图所示完成其余连接，可以使用非门



3. 试用上升沿的 JK 触发器设计一个同步时序电路，其状态转换图如图所示，x 为电路的输入信号，Z 为电路的输出信号，要求列出状态方程，驱动方程和输出方程，不必画出逻辑电路图。



4. 设计一个乘法电路，要求：被乘数 $x_3 x_2$ 与乘数 $x_1 x_0$ 组成的四位二进制数 $x_3 x_2 x_1 x_0$ 为 8421BCD 码，且当乘积大于或等于 2 时，输出 $z=1$ ，否则输出 $z=0$ 。

(1) 列出真值表

(2) 写出输入 Z 关于输入 $x_3 x_2 x_1 x_0$ 的最简与或式

(3) 使用与非门实现电路

(4) 使用两片 74LS 译码器和与非门实现该电路

5. 设计一个译码器电路，当输入为奇数时，即当输入 ABC 为 001 011 101 111 时，电路输出高电平

6. 设计一个 8421 码到 GRAY 码的转换器

7. 利用 T 触发器设计一个串行输入的奇校验检测器

注：本试题仅供参考，以复习知识点为主要目的

命题人员：计算学部讲师团数字逻辑命题组

命题时间：2021. 12. 6