

本题得分

一、(8 分) 填空和选择填空 (每空 1 分)

1 . 函数式 $F(A,B,C,D) = A \bar{D} B C$ 写成最大项之积的形式为 $M_1 \cdot M_2 \cdot M_3 \cdot M_4 \cdot M_5 \cdot M_6 \cdot M_7 \cdot M_8$ 。

2 . 函数式 $F(A,B,C) = m(3,5,6,7)$ 化成最简与或式为 $B\bar{C} + A\bar{C} + CB$ 。

3 . 在下列门电路中，输出端不可以并联使用的是 D 。

A . 集电极开路门 B . 三态门

C . CMOS传输门 D . 具有推挽式输出结构的 TTL 门电路

4 . 某 TTL 门电路的输入短路电流 $I_{IS} = 1.4\text{mA}$, 高电平输入漏电流 $I_{I\bar{H}} = 0.02\text{mA}$, 最大灌电流 $I_{OL\max} = 15\text{mA}$, 最大拉电流 $I_{OH\max} = 0.4\text{mA}$, 其扇出系数 $N = 10$ 。

5 . 电路如图 1 所示， G_1 为 TTL 三态门， G_2 为 TTL 与非门， $C=1$ 。若 B 端悬空，则万用表的读数近似为 1.4 V ；若 B 端改接至 0.3V ，则万用表的读数近似为 0.3 V 。

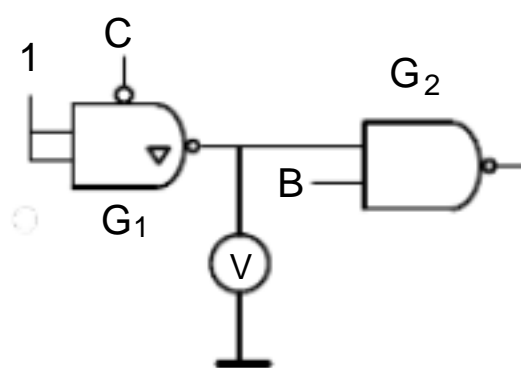


图 1

6 . 逐次逼近型 A/D 转换器属 直接型 (直接型，间接型) A/D 转换器。

7 . 需要 8 片 $1\text{K} \times 4\text{bit}$ 的 RAM 存储器才能扩展成 $4\text{K} \times 8\text{bit}$ 的存储器。

本题得分

二、(8 分) 图 2 所示电路由同步十六进制计数器 74LS161、四位加法器 74LS283 和与非门组成， C_0 为来自低位的进位信号，回答下面问题：

1 . 74LS161 和与非门构成多少进制计数器？

2 . 按着 $Q_3Q_2Q_1Q_0$ 的顺序，74LS161 输出是什么编码？

3 . 若要求从 $S_4S_3S_2S_1$ 输出为 BCD8421 码，则 $B_4B_3B_2B_1$ 及 C_0 应如何连接？

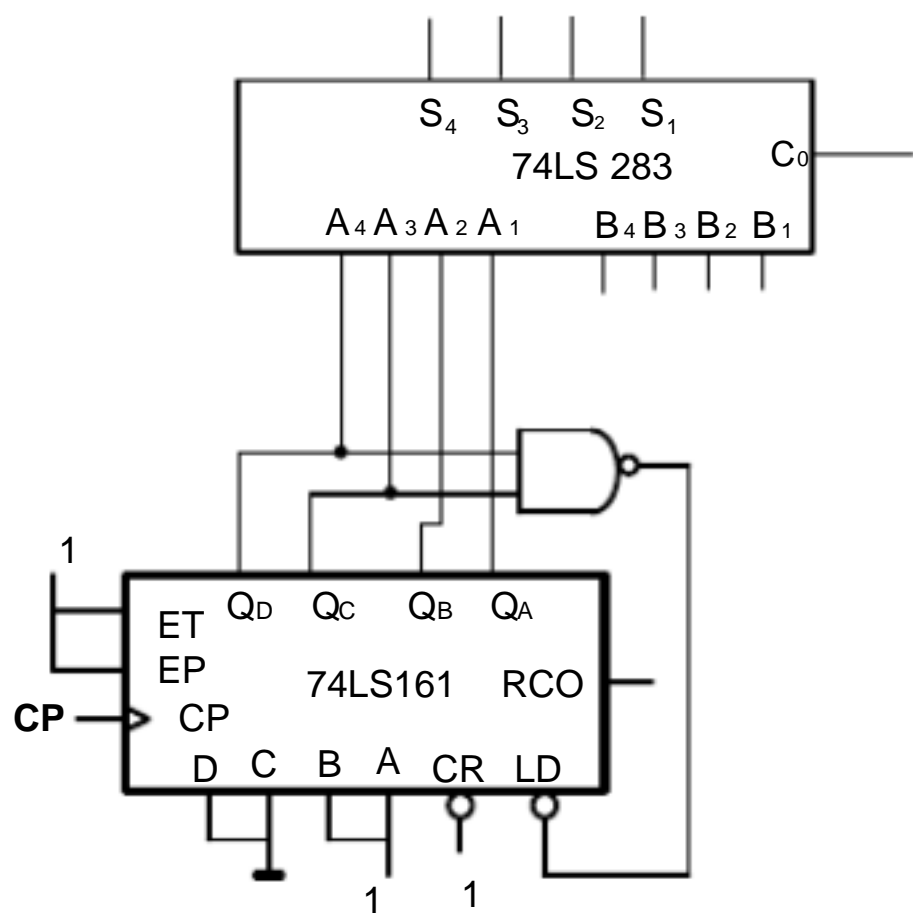


图 2

解：

1. 10 进制 (0011 1100)
2. 余三码
3. $B_4B_3B_2B_1$ 及 C_0 接 1101 和 0 或 1100 和 1

本题得分

三、(6 分) 由一片 8 位二进制加法计数器和一片 8 位 D/A 转换器构成的电路如图 3 所示。设 CP 的频率为 1kHz；计数器为异步清零方式；答下面问题：

1. 计数器是多少进制计数器？
2. 计算输出信号 Y 的最大输出电压值和周期。

8 位 D/A 转换器构成的电路如图 3 所示。D/A 转换器的最大输出电压为 5.1V。回

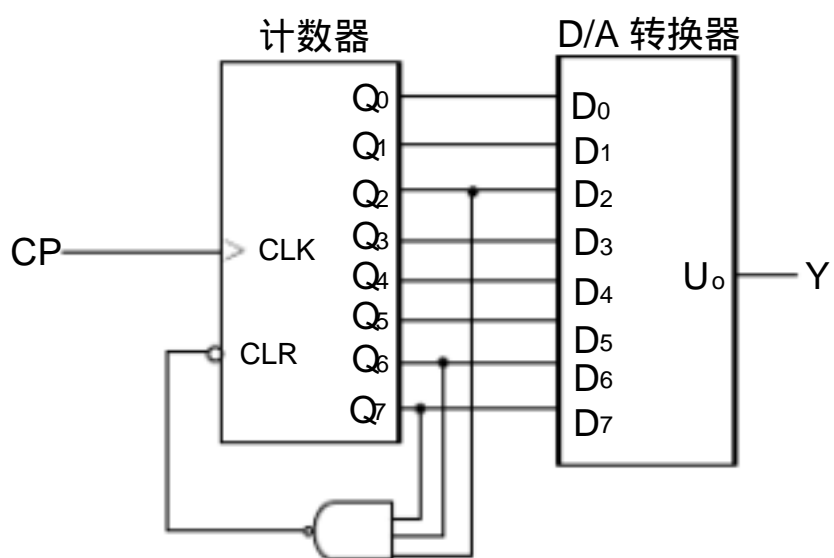


图 3

解：

1. 196 进制

$$2. U_{om} = \frac{5.1V}{255} \times 195 = 3.9V$$

$$T = 196ms$$

本题得分

四、(6 分)用 ROM实现 $Z = X^2Y$ 的计算，其中 X 、 Y 均为两位二进制数， Z 为多位二进制数，列出真值表，完成图 4 中阵列图的绘制。

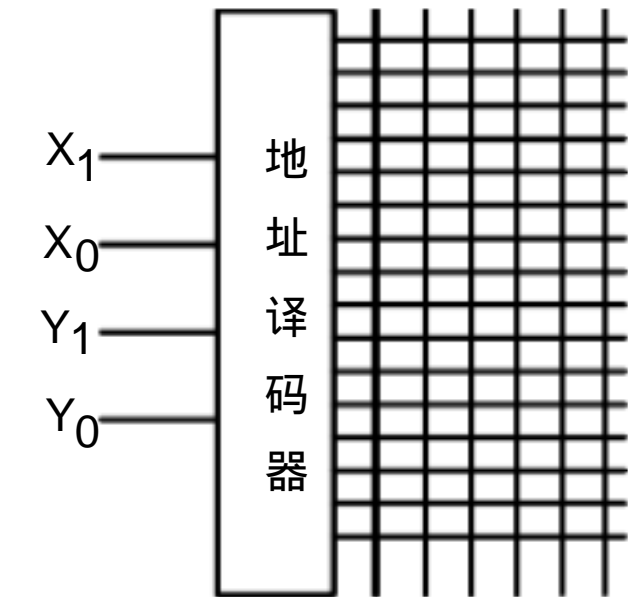
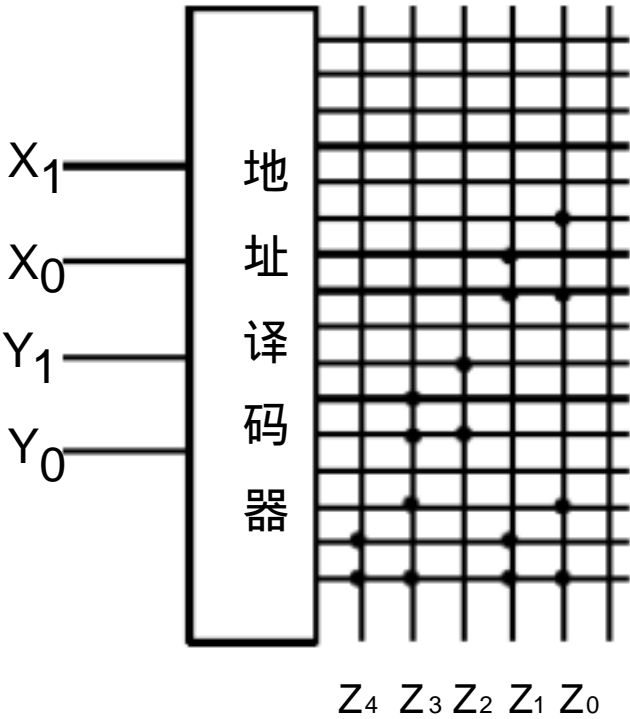


图 4

解：

X ₁	X ₀	Y ₁	Y ₀	Z ₄	Z ₃	Z ₂	Z ₁	Z ₀
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0
0	0	1	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0
0	1	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	1
0	1	1	0	0	0	0	1	0
0	1	1	1	0	0	0	1	1
1	0	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0	0
1	0	1	0	0	1	0	0	0
1	0	1	1	0	1	1	0	0
1	1	0	0	0	0	0	0	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	0	0	1	0
1	1	1	1	1	1	0	1	1



本题得分

五、(4 分)用图 5 中的 74LS138 译码器作地址译码器，地址信号为 $A_7 \sim A_0$ ， A_7 为最高位，要求 8 位地址为 C0H~C7H时，译码器依次输出有效信号，则译码器的输入应如何连接？连接时可以使用必要的逻辑门，品种不限。

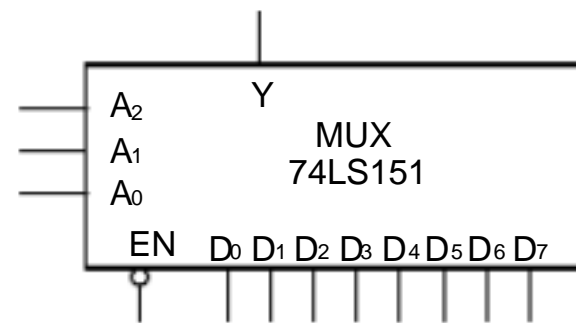
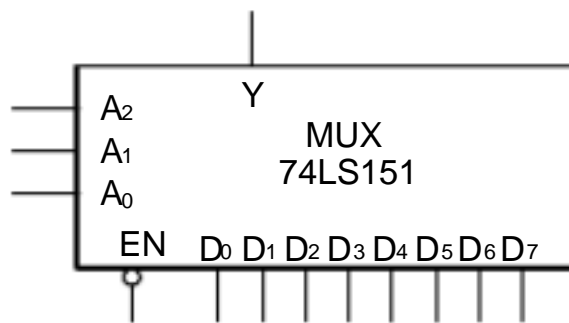
本题得分

七、（12分）多功能组合逻辑电路如图 7 所示，AB 为控制输入，CD 为两位二进制数输入， Y_2Y_1 为输出。当 $AB=00$ 时，对 CD 做加 1 运算；当 $AB=01$ 时，对 CD 做减 1 运算；当 $AB=10$ 时，对 CD 做加 0 运算；当 $AB=11$ 时，为禁止状态。回答下面问题：

1. 列真值表，分别写出 Y_1 和 Y_2 的逻辑表达式，并指出约束条件是什么？
2. 试用两片 8 选 1 数据选择器 74LS151 和必要的非门实现该电路。



图 7



本题得分

八、（12分）阅读程序，并回答下列问题。

1. 根据下面一段 Verilog HDL 语言的描述，说明所描述电路的逻辑功能。

```
module digl(W,Y,z);
  input [3:0] W;
  output reg [1:0] Y;
  output reg z;

  always @(W)
  begin
    z=1;
    casex(W)
      4'b1xxx: Y=3;
      4'b01xx: Y=2;
      4'b001x: Y=1;
      4'b0001: Y=0;
    default: begin
      z=0;
    end
  end
endmodule
```

```
        Y=2'bx;
            end
    endcase
    end
endmodule
```

2. 根据下面一段 Verilog HDL 语言的描述，说明所描述电路的逻辑功能，并画出相应的逻辑电路图。

```
module dig2(q2,d,clk);
    input clk,d;
    output q2;
    reg q2,q1,q0;
    always @(posedge clk)
    begin
        q2<=q1;
        q1<=q0;
        q0<=d;
    end
endmodule
```

3. 在题 2 电路的基础上，添加适当的逻辑门，设计一个序列脉冲发生器，使之在 clk 信号作用下，在 q_2 端循环地产生 01011100 这样一组 8 位序列脉冲，要求给出设计过程，并画出该序列脉冲发生器完整的逻辑电路图。

（注：专业文档是经验性极强的领域，无法思考和涵盖全面，素材和资料部分来自网络，供参考。可复制、编制，期待你的好评与关注）