

得分

一、选择与填空（共 8 分）

1. 函数表达式 $Y = \overline{AB} + C + D + C$ ，则其对偶式为（不必化简）：

$Y' =$ _____。

2. 图 1-2 为 CMOS 工艺数字逻辑电路，写出 F 的表达式： $F =$ _____。

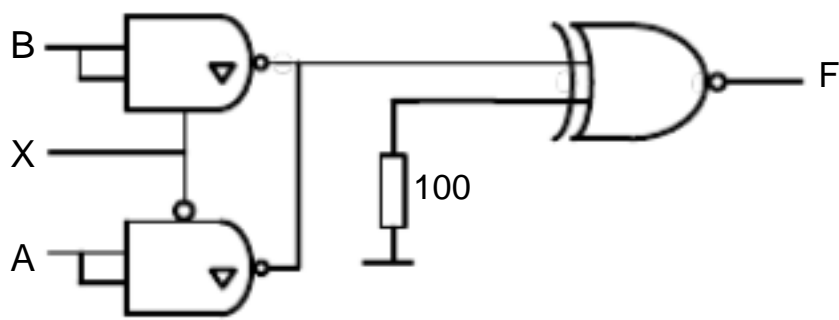


图 1-2

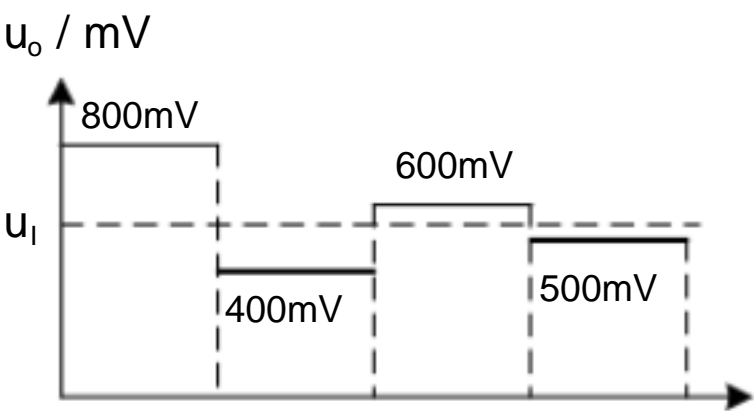


图 1-3

3. 图 1-3 为 4 位_____（逐次逼近型、双积分型、流水线型） A/D 转换器的转换示意图，转换结果为_____。

4. 对于一个 8 位 D/A 转换器，若最小输出电压增量为 0.01V，当输入代码为 01001101 时，输出电压 $u_o =$ _____V，分辨率 =_____。

5. 已知时钟脉冲频率为 f_{cp} ，欲得到频率为 $0.25f_{cp}$ 的矩形波，哪种电路一定无法实现该功能（ ）

- A. 四进制计数器； B. 四位二进制计数器；
C. 单稳态触发器； D. 施密特触发器。

6. 某 EPROM 有 8 条数据线，10 条地址线，其存储容量为_____ 字节。

一、（8 分）每空 1 分

1. $(A + B)CD$ ； 2. $\overline{X}A + XB$ 或 $\overline{A}X + \overline{B}X$ ； 3. 逐次逼近型，0101；

4. $0.77V$ ， $\frac{1}{2^8 - 1}$ 或 0.0039； 5. D； 6. 2^{10}

得分

二、回答下列问题（共 10 分）

1. 电路如图 2-1 所示。 $V_{CC} = 5V$ ，R 取值合适，写出 F 的表达式（不必化简）。

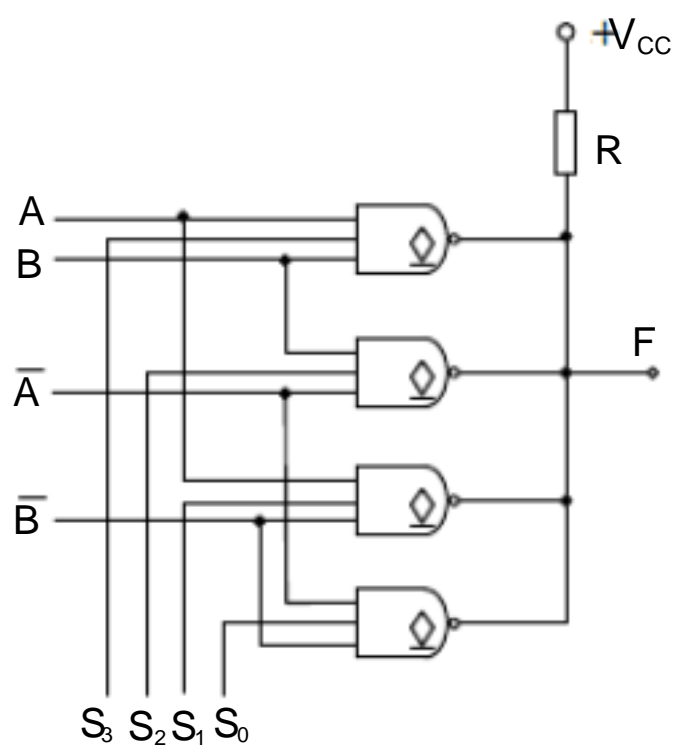


图 2-1

解： $F = \overline{ABS_3} \cdot \overline{ABS_2} \cdot \overline{ABS_1} \cdot \overline{ABS_0}$ _____ 3 分

2. 卡诺图化简： $P(A, B, C, D) = \sum m(0, 1, 2, 3, 5, 8)$, 约束条件为： $ABD + BCD + A\bar{B}C = 0$

解：

CD \ AB	00	01	11	10
00	1	1	1	1
01	0	1		0
11	0			0
10	1	0		

_____ 2 分

$P = \bar{A}\bar{D} + \bar{B}\bar{D}$ _____ 1 分

3. 在图 2-3 中, 用一片 74LS160 和一片 74LS161, 配合必要的逻辑门电路, 构成 128 进制计数器。要求: 使用置数方式, 且 74LS160 为低位芯片, 74LS161 为高位芯片。

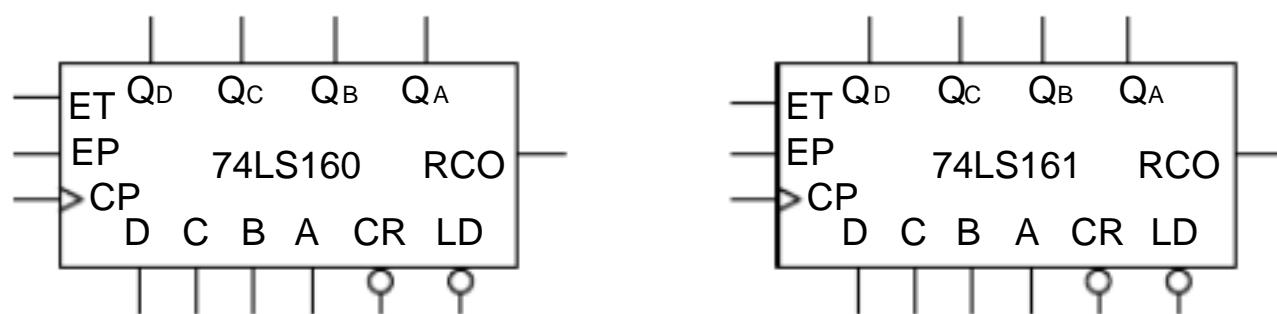
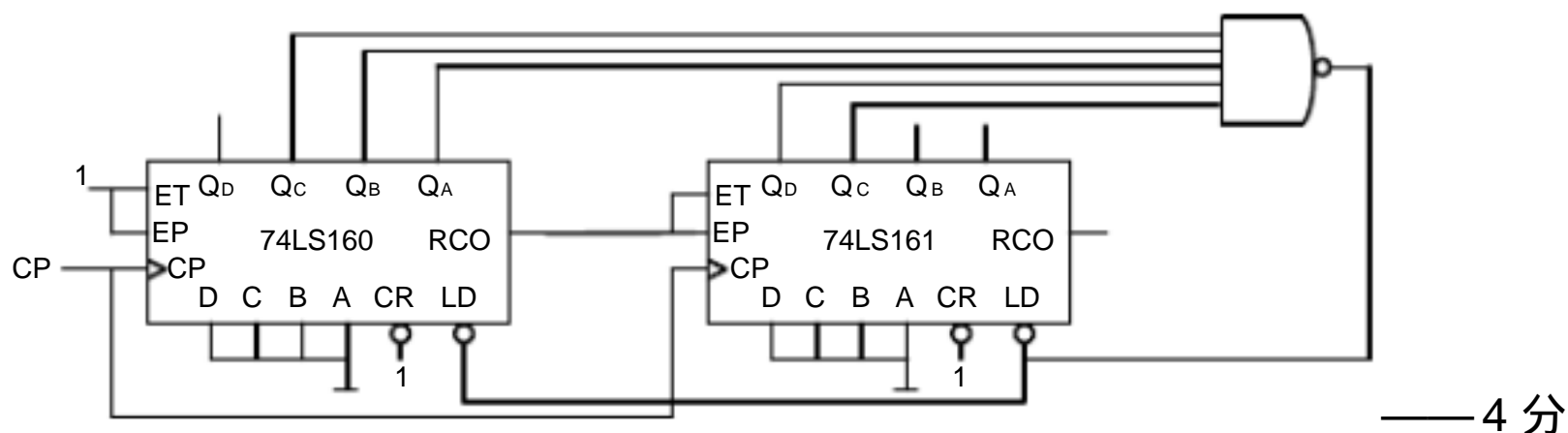


图 2-3

解：



得分

三、(10 分)一个保险箱有 3 个按键，当 3 个键都不按下时，保险箱关闭，不报警；当只有一个按键按下时，保险箱仍关闭，但报警；当有 2 个按键按下时，保险箱打开，不报警；当三个按键同时按下时，保险箱打开，但要报警。

试设计此逻辑电路。

要求：输入变量为 A、B、C，按键按下取值为“1”，否则取值为“0。”输出变量分别为保险箱开锁信号 X 和报警信号 Y，保险箱打开时 X=1，关闭时 X=0；报警时 Y=1，不报警时 Y=0。

1. 列写真值表，并用输入变量 A, B, C 最小项和的形式分别表示输出 X 和 Y（按照 ABC 的顺序确定最小项下标）；
2. 在图 3(a)中，用最小项译码器 74LS138 和与门实现该逻辑电路；
3. 在图 3(b)中，用双 4 选 1 数据选择器 74LS153 和非门实现该逻辑电路（要求变量 A, B 接入选择变量输入端）。

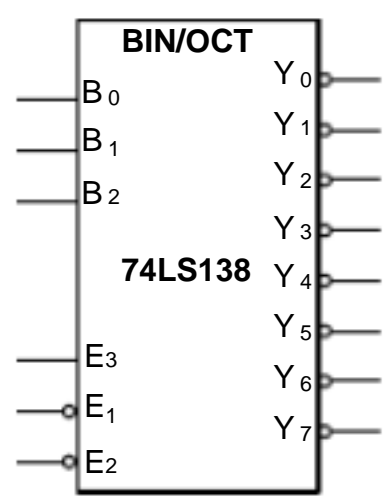


图 3(a)

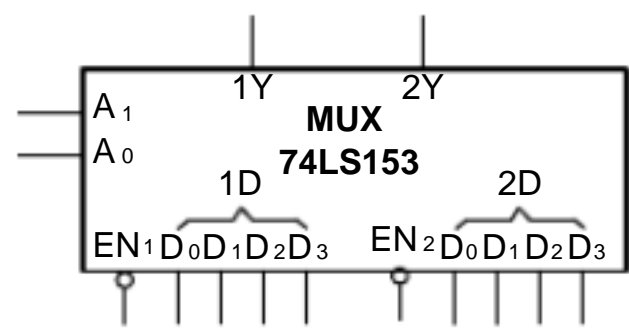


图 3(b)

三、（ 10 分）

1.

真值表_____ 2 分

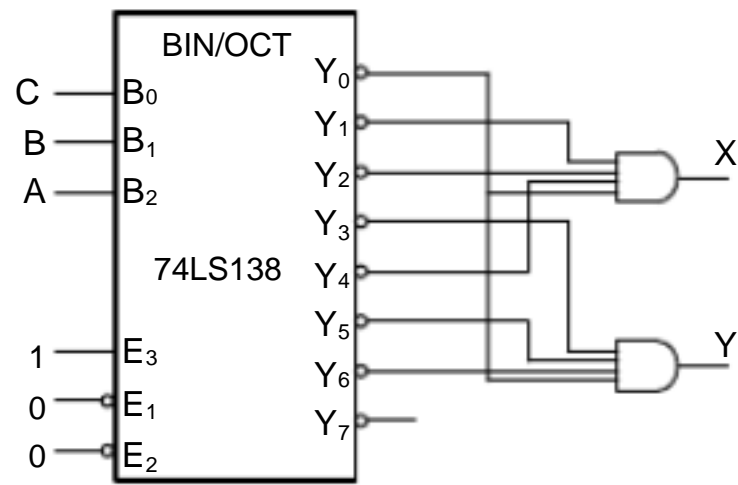
A	B	C	X	Y
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$X(A,B,C) = \sum m(3,5,6,7)$ _____ 1 分

$Y(A,B,C) = \sum m(1,2,4,7)$ _____ 1 分

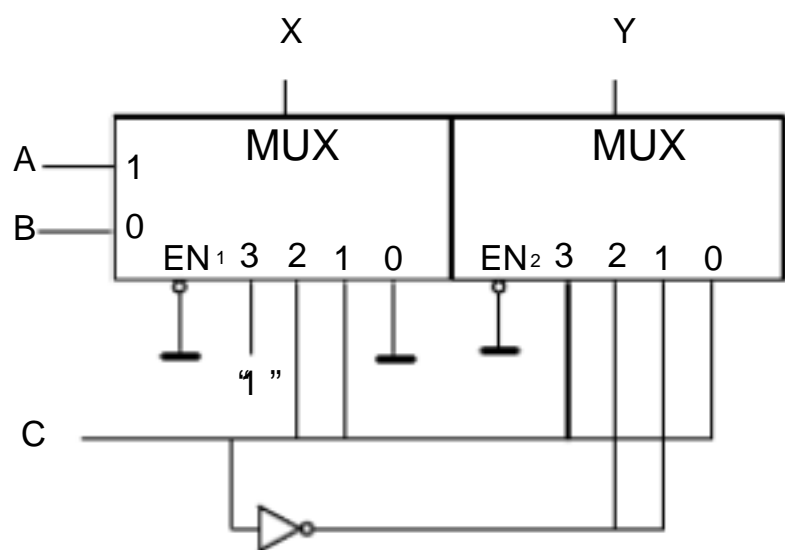
2. _____ 3 分

$X(A,B,C) = \overline{m_0}\overline{m_1}\overline{m_2}\overline{m_4}$
 $Y(A,B,C) = \overline{m_0}\overline{m_3}\overline{m_5}\overline{m_6}$



3. _____ 3 分

$X(A,B,C) = \sum m(3,5,6,7) = \overline{A}BC + A\overline{B}C + ABC\overline{C} + ABC$
 $Y(A,B,C) = \sum m(1,2,4,7) = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$



得分

四、(8分)电路如图 4 所示，设电路均为 TTL 工艺，74LS85 为四位数码比较器。其中 A_4 和 B_4 为高位；当 $[A_4A_3A_2A_1]=[B_4B_3B_2B_1]$ 时， $Y_{A=B}=1$ ，否则 $Y_{A=B}=0$ 。

1. 说明虚线框中电路作为独立电路模块时的功能；
2. 若希望以 $[Q_4Q_3Q_2Q_1]$ 作为输出，电路构成七进制计数器，则 $[I_4I_3I_2I_1]$ 应取多少？并画出完整的状态转换图，判断电路能否自启动。

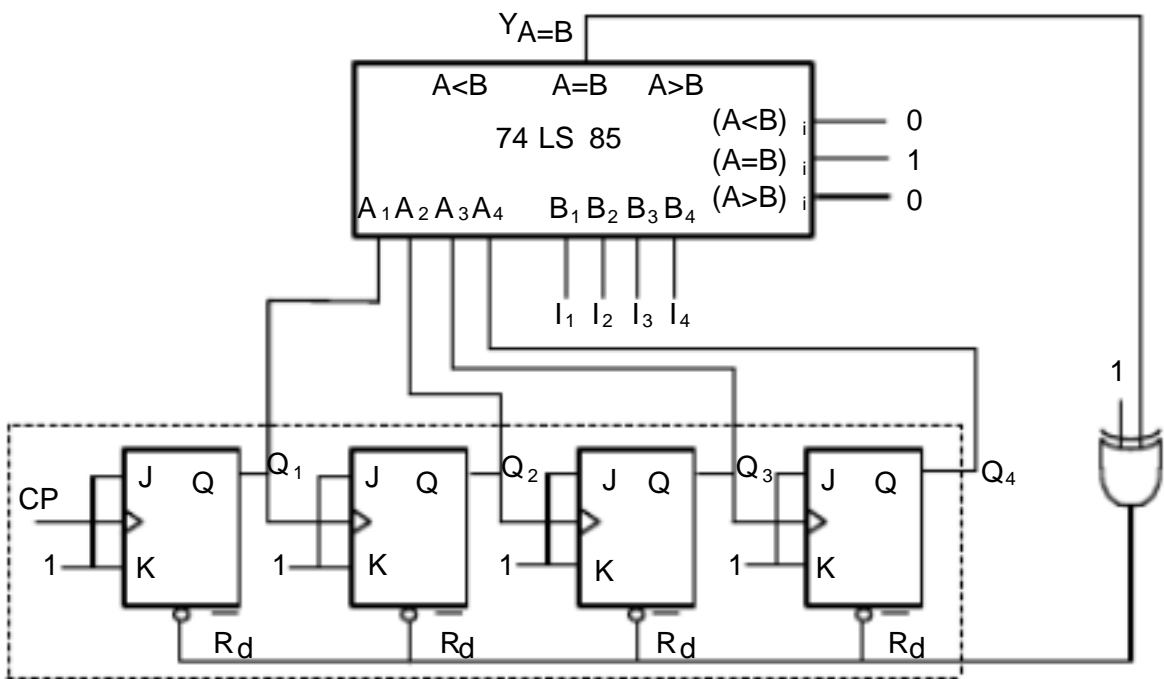
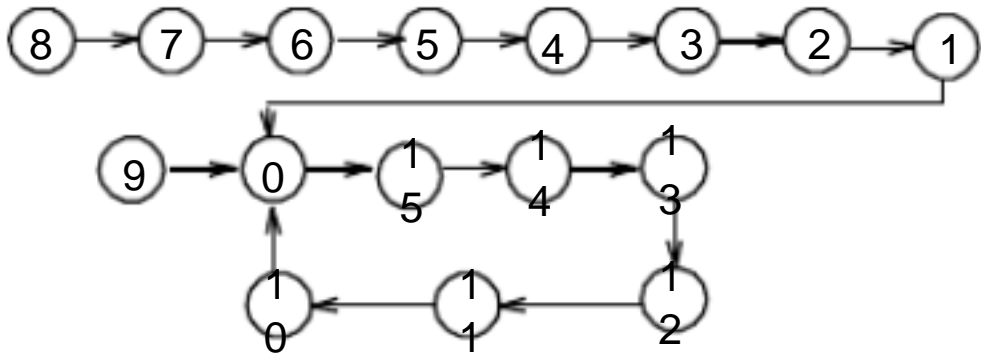


图 4

四、(8分)

1. 十六进制异步减法计数器_____ 2分
2. 若 $I_4I_3I_2I_1=1001$ _____ 2分

则当 $A_4A_3A_2A_1$ 为 1001 时， $Y_{A=B}=1$ ， $\bar{R}_d=0$ ，计数器异步清零。状态 1001 不能稳定存在，不是有效状态。故该电路有 7 个有效状态，为七进制减法计数器。其状态转换图



该电路可以自启动。_____

3
1

得分

五、由中规模 16 进制加法计数器 74LS163 和 2/8 分频异步计数器 74LS93 构成的电路如图 5 所示。(10 分)

1. 给出虚线框内电路中 74LS163 的输出 $[Q_d Q_c Q_b Q_a]$ 的完整状态转换表和完

- 整状态转换图，并说明构成几进制计数器；
2. 用 D 触发器和必要的门电路实现虚框内的电路功能，给出最简与或形式的驱动方程即可，不必画出电路图；
3. 若图中时钟 CP 的频率为 1792Hz，计算 74LS163 的输出 Q_d 的频率和占空比；
4. 分别计算图中 74LS93 的输出 Q_D 和 Q_A 的频率。

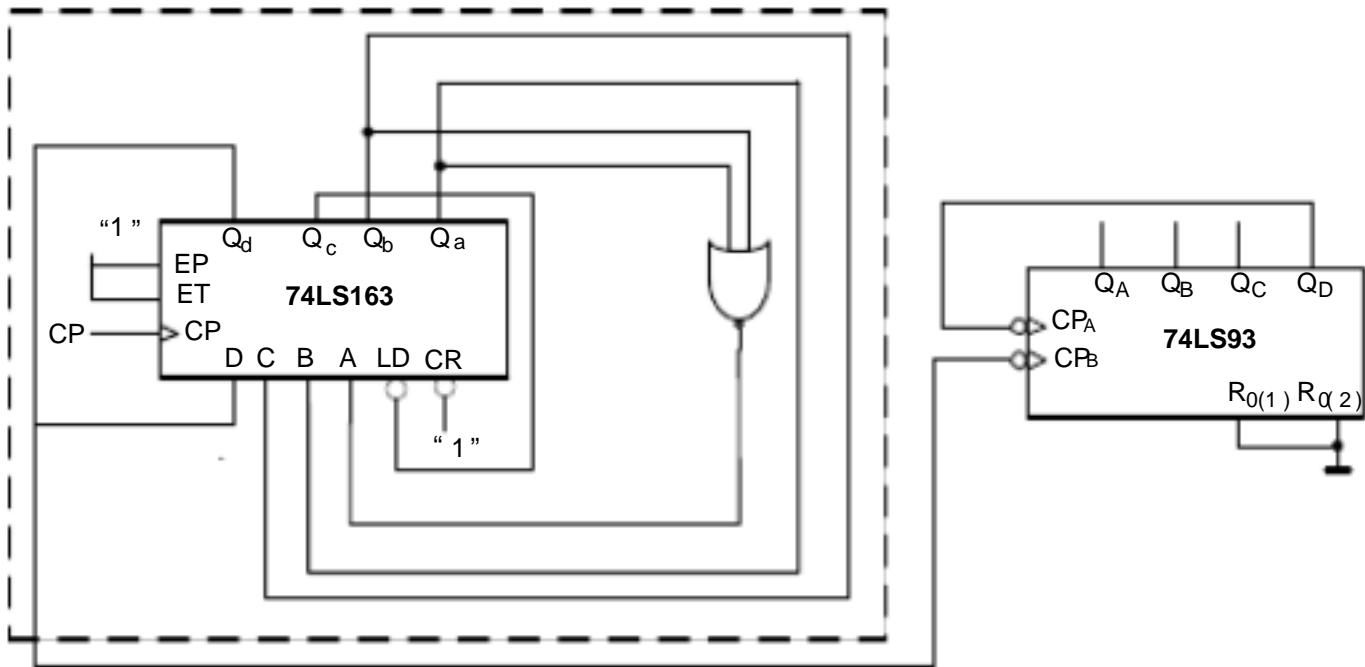


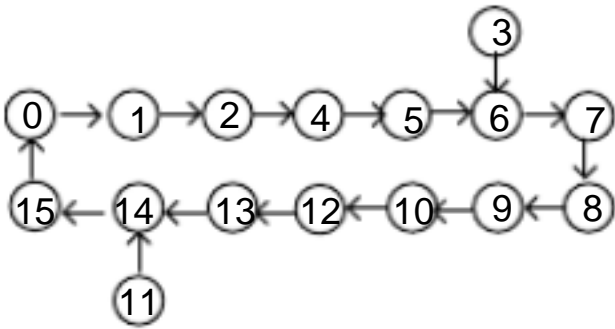
图 5

五、(10 分)

1. _____ 3 分

状态转换表

CP	Q_d	Q_c	Q_b	Q_a
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	1	0	0
4	0	1	0	1
5	0	1	1	0
6	0	1	1	1
7	1	0	0	0
8	1	0	0	1
9	1	0	1	0
10	1	1	0	0
11	1	1	0	1
12	1	1	1	0
13	1	1	1	1
14	0	0	0	0



14 进制计数器。

2. _____ 3 分

$Q_1^n Q_0^n$		$Q_3^n Q_2^n$			
		00	01	11	10
00	00	0001	0010	0000	0100
01	01	0101	0110	1000	0111
11	11	1101	1110	0000	1111
10	10	1001	1010	0000	1100

状态方程：

$$Q_3^{n+1} = Q_3^n \overline{Q_1^n} + Q_3^n \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n Q_0^n$$

$$Q_2^{n+1} = Q_2^n \overline{Q_1^n} + Q_1^n \overline{Q_0^n}$$

$$Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_2^n Q_1^n \overline{Q_0^n}$$

$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + Q_2^n \overline{Q_0^n}$$

驱动方程：

$$D_3 = Q_3^n \overline{Q_1^n} + Q_3^n \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n Q_0^n$$

$$D_2 = Q_2^n \overline{Q_1^n} + Q_1^n \overline{Q_0^n}$$

$$D_1 = \overline{Q_1^n} Q_0^n + Q_2^n Q_1^n \overline{Q_0^n}$$

$$D_0 = \overline{Q_2^n} \overline{Q_1^n} + Q_2^n \overline{Q_0^n}$$

3. _____
2 分

$f_{Q_d} = 128\text{Hz}$,
占空比 $D=50\%$ 。

4. _____
2 分

$f_{Q_D} = 16\text{Hz}$;
 $f_{Q_A} = 8\text{Hz}$ 。

得分

六、(10 分) 由 2/5 分频异步计数器 74LS90 和存储器构成的电路如图 6(a)所示。

1 . 画出 $[Q_D Q_C Q_B Q_A]$ 的状态转换图（画出正常计数循环内的状态即可） ；

2 . 设初始时刻 $[Q_D Q_C Q_B, Q_A]=[0\ 0\ 0\ 0]$, 给定时钟 CP , D_3 、 D_2 、 D_1 、 D_0 的波形如图 6(b)所示。请用 A_3 、 A_2 、 A_1 、 A_0 的与或标准型分别表示 D_3 、 D_2 、 D_1 、 D_0 (按 $A_3 A_2 A_1 A_0$ 的顺序确定最小项编号) , 并在图 6(a)中画出 ROM 阵列中的存储内容。

3 . 图 6(a)中检测电路的输入如图 6(b)所示 , D_3 与 D_2 , D_1 与 D_0 分别为两组方波信号 , 试设计该检测电路 , 要求当 X 接 D_0 、Y 接 D_1 时 , Z 稳定后输出为 1 ; 当 X 接 D_2 , Y 接 D_3 时 , Z 稳定后输出为 0。

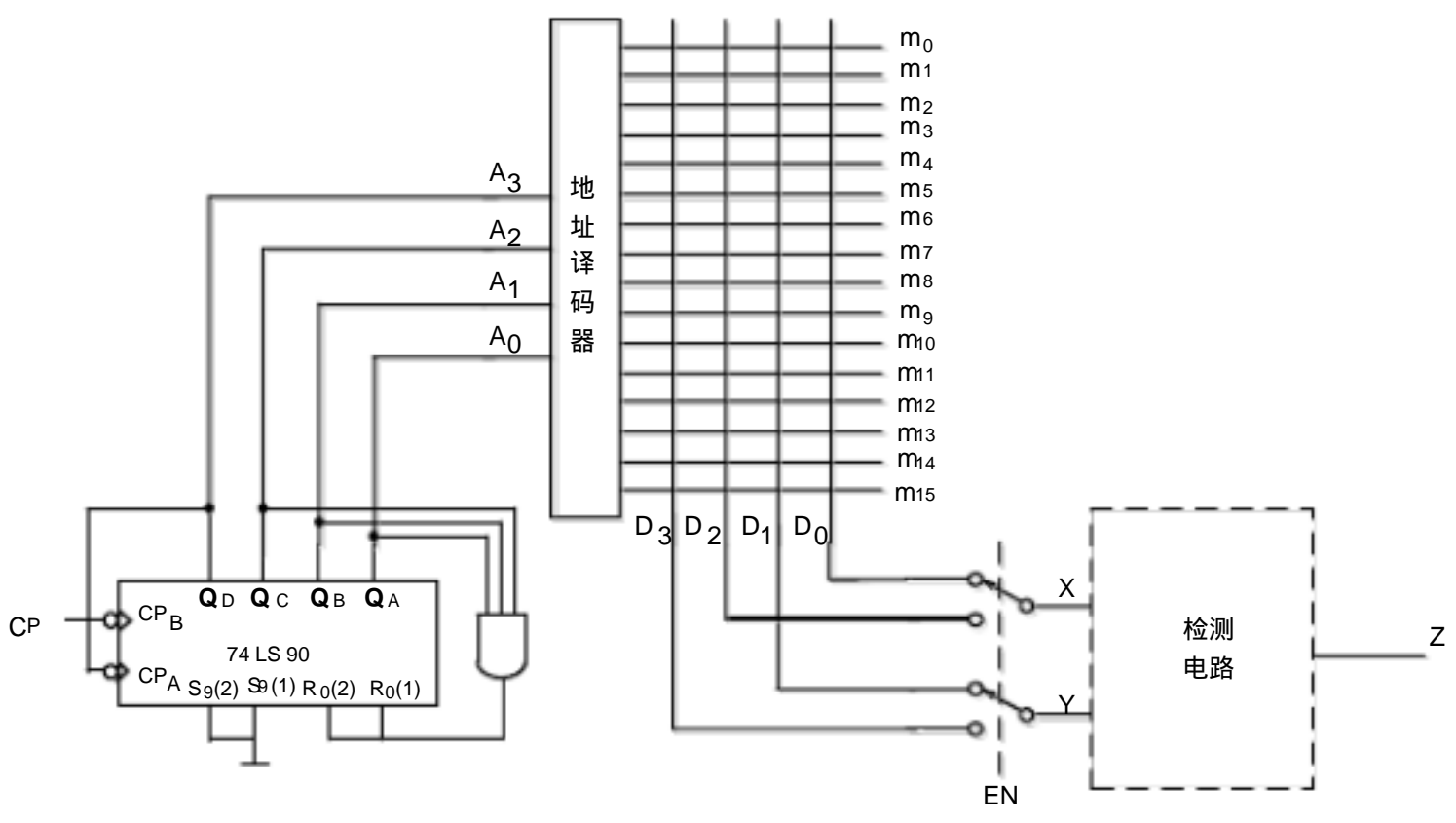


图 6(a)

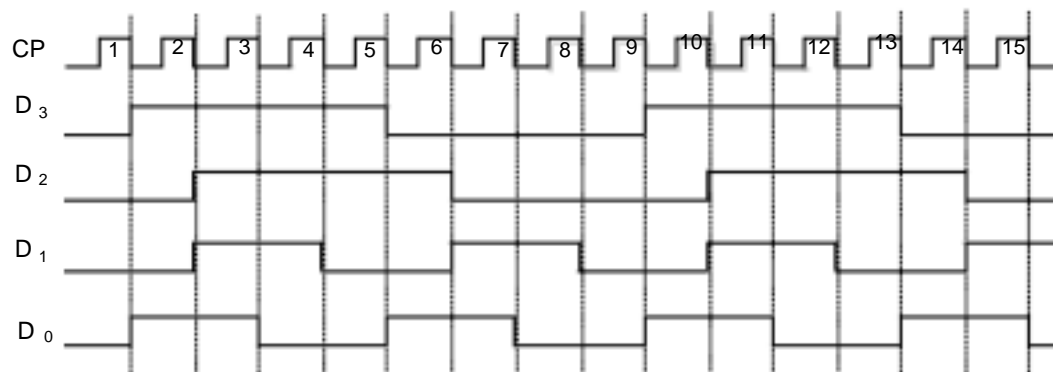
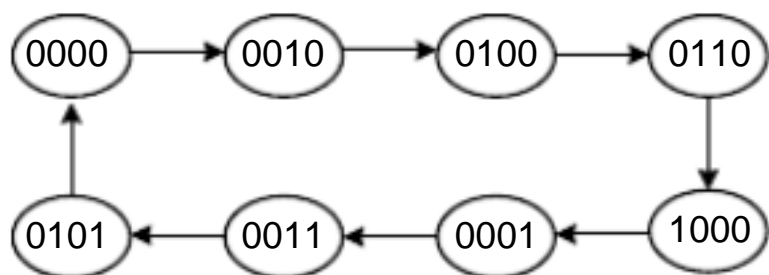


图 6(b)

六、(10 分)

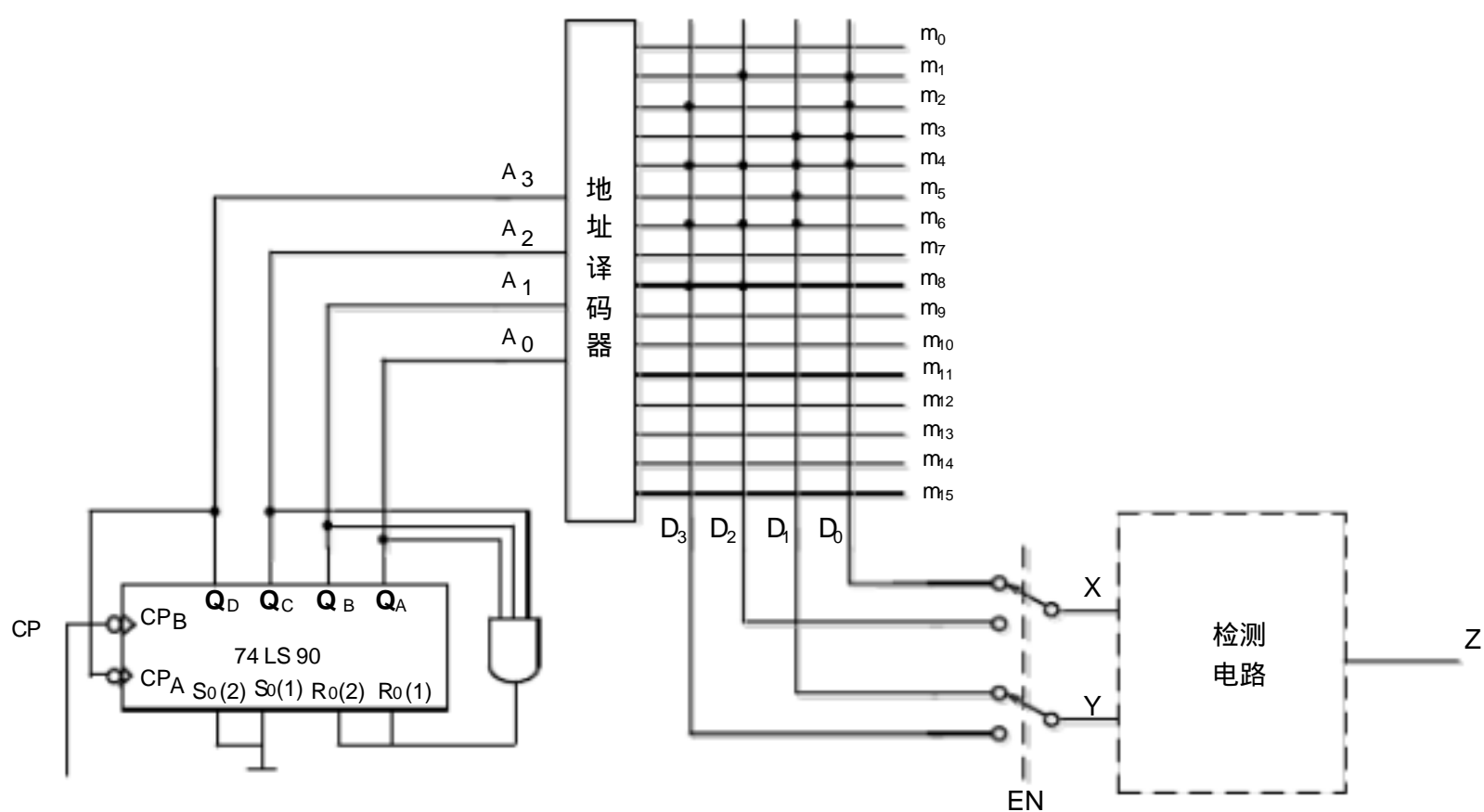
1. _____ 2 分



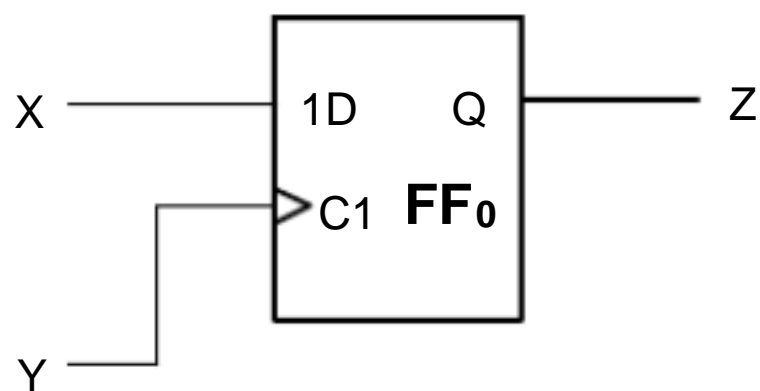
2. _____ 6 分

$$D_3 = \sum m(2,4,6,8) \quad D_2 = \sum m(1, 4, 6, 8)$$

$$D_1 = \sum m(3,4,5,6) \quad D_0 = \sum m(1, 2, 3, 4)$$



3 _____ 2 分



还有 X、Y 颠倒，下降沿触发也对

得分

七、（共 6 分）
1．请在图 7-1 中将下列 Verilog 程序描述的逻辑电路图补充完整。（3 分）

```
module circuit1(clk, Dsr, Q, Qsr);
input clk, Dsr;
output Qsr;
output[4:1] Q;
reg [4:1] Q;
reg Qsr;
always @(posedge clk)
begin
    Q[1]<=Dsr;
    Q<=Q<<1;
    Qsr<= Q[4];
end
endmodule
```

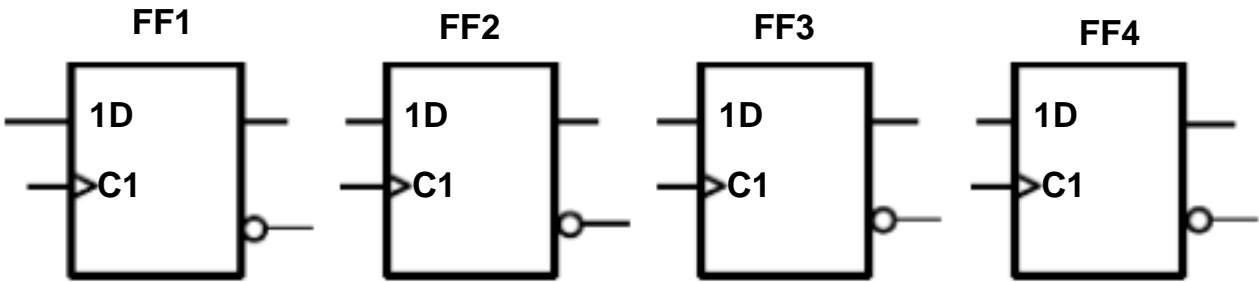


图 7-1

2．根据下面的 Verilog 语言描述的电路功能，在图 7-2 中画出 Q 的波形（设起始时刻 Q 为高电平）。（3 分）

```
module circuit2(Q, clk, rst);
input rst, clk;
output Q;
reg Q;
always @(negdge clk)
begin
    if(rst)
        Q<=0;
    else
        Q<=~Q;
end
endmodule
```

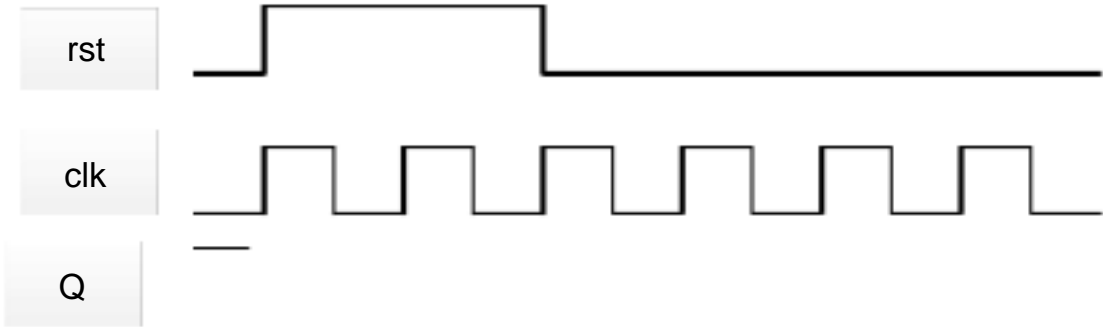
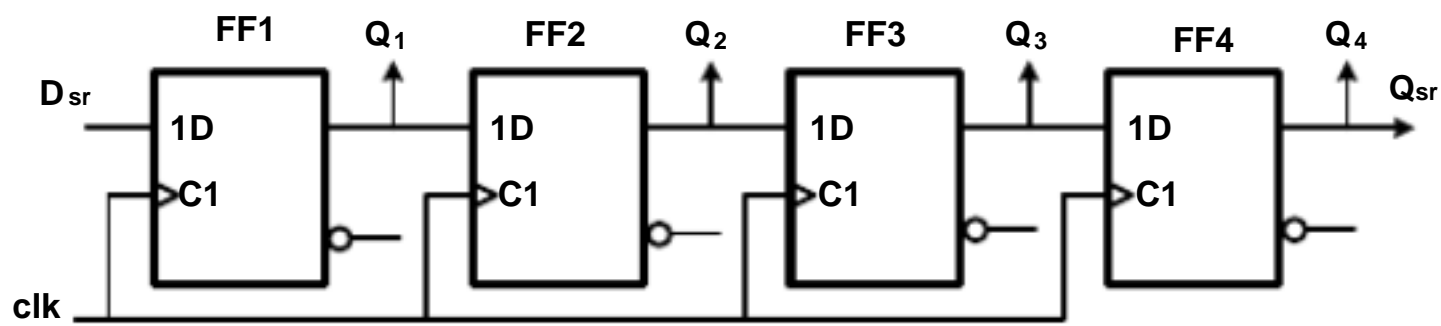
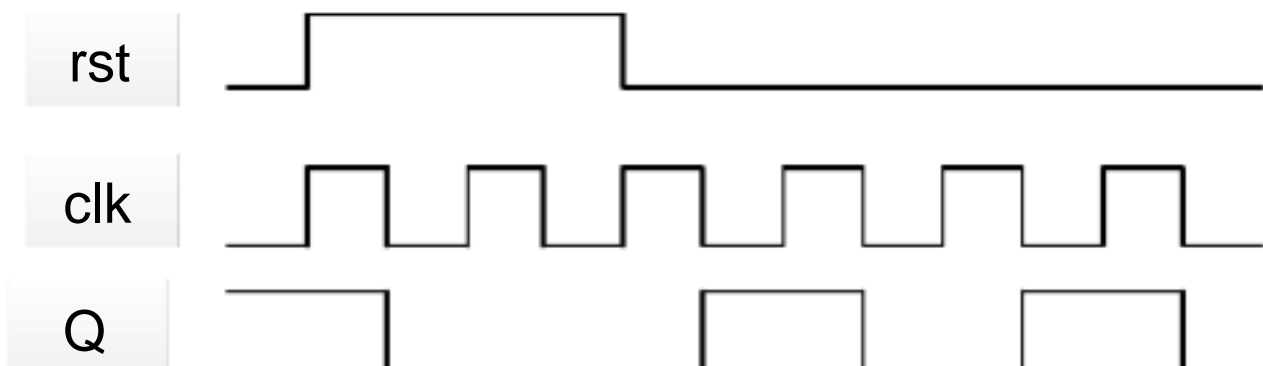


图 7-2

七、（6 分）
1. _____ 3 分



2. _____ 3 分



得分

八、图 8 所示是一个时钟发生电路。设触发器的初始状态 $Q=0$ ，二极管为理想二极管。

1. 分析该电路中虚线框内为何种电路；
2. 画出图中 u_1 、 u_2 及 u_3 的波形；
3. 计算 u_1 、 u_2 及 u_3 的时钟频率。（8 分）

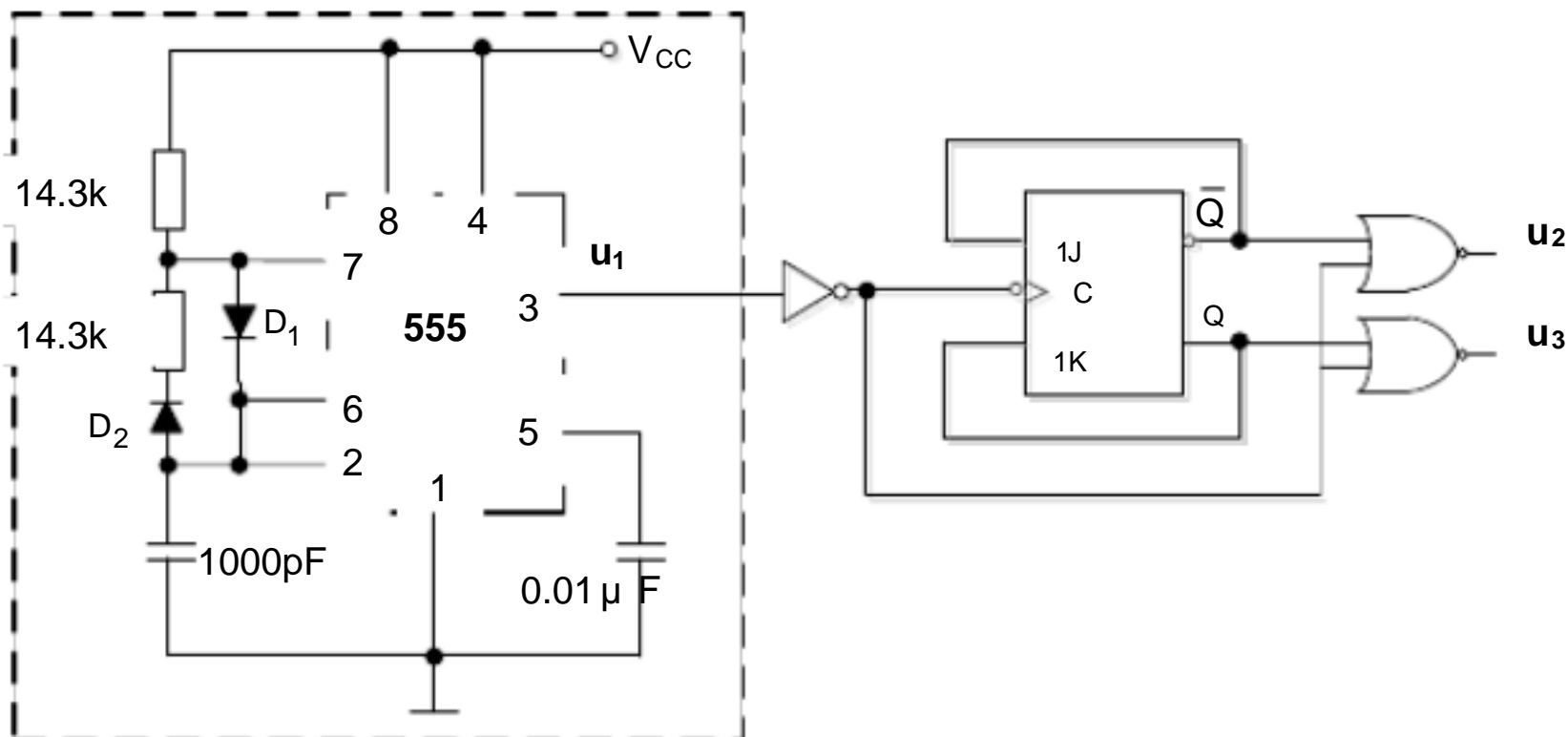
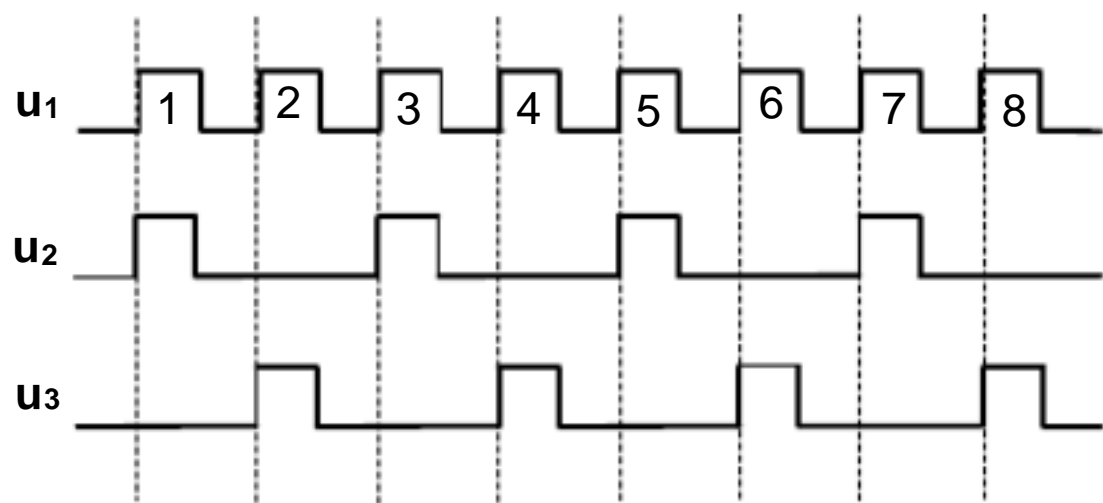


图 8

八、

1. 555 构成多谐振荡器；_____ 2 分
2. _____ 3 分



3. _____ 3 分
 u_1 频率为 50kHz ; u_2 及 u_3 的频率为 25kHz。

