中国科学技术大学

2020--2021 学年第 一 学期考试试卷

考试科目:《电子系统	<u> </u>	得分:		
学生所在系:	姓名:	学号:_		
一、根据本课程内容填写	芝(13分,每空1分	(1		
1. 本课程中, EDA、FPG	A、ASIC 的中文含义	义分别是		
		0		
2. 按照所处理的信号不				\
>	和、	、	等。	
3. 数字 IC 设计流程中,				
和	_两种方式来实现。			
4. ALTERA 的 FLEX 10	K 系列 FPGA 器件	的结构主要由		
	和	1	四个部分	构成。
二、根据本课程内容,选 1. 在电子系统设计中,复 A. 电路原理图 B. §	建立系统模型是指对	系统建立:()		
2. 在 ROM、CPLD、El 器件是: ()	EPROM, EPROM	几种器件中,不具	具有现场可编	程性的
A. EPROM 和 ROM	B. EEPROM 利	₹ ROM		
C. ROM 和 CPLD				
3. 有关 PROCESS 语句,A. PROCESS 语句是顺 B. PROCESS 语句是前 C. PROCESS 语句内音 D. 两个 PROCESS 语	顶序语句; 并发语句; 邓可以有纯并发语句	;		
4. Cyclone FPGA 内部的				()
A. 使块内的 I/O 单元 C. 使每块有一个固定				
5. 以下 VHDL 语句中, A. CASE 语句 C. 元件例化语句	B. 过程调用语句	์ ป		

2.	简述 FPGA 和 CPLD 两种器件的相同点和不同点。
3.	IC 的前端设计分为哪几个层次?每一个层次的功能是什么?

6. 以下几个特点中,哪一条不是 ASIC 的优点? ()

1. 采用 EDA 技术进行电子系统设计有哪些优势?

三、简答题(30分,每题10分)

A. 减小了产品的体积 B. 减小了产品的综合成本 C. 减小了产品的功耗 D. 减小了产品的前期投资风险

四、VHDL 编程设计题(45分)

1. 图 1 是一个简化的四人抢答器模块,en 是使能信号,A、B、C、D是四个抢答按键输入信号,led_A~led_D是一组 LED 灯控制信号(分别与输入 A、B、C、D 对应)。若 en 有效(为高电平),则允许抢答一次,此时 A、B、C、D 四组最先按键者抢答成功,点亮其对应的 LED 灯,后续按键者不予亮灯。若 en 无效,则熄灭所有 LED 灯。编写实现该抢答器的可综合的 VHDL 程序。(15 分)

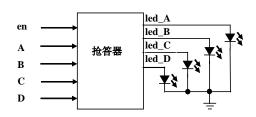
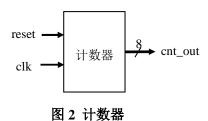
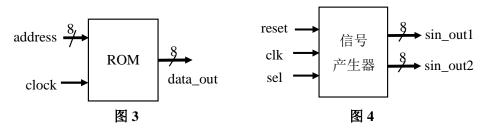


图 1 四人抢答器

2. 图 2 是一个计数器模块, clk 为 10MHz 时钟信号, reset 是异步复位信号, cnt_out 是输出的 8 位计数值。当 reset 有效时(高电平), 输出为全零; 当 reset 无效时, 计数器正常计数, 在每个时钟信号的上升沿, 计数器的输出值加 1, 并且从 "00000000"~"11111111"循环计数。编写实现该计数器的可综合的 VHDL 程序。(15 分)



3. 图 3 是一个容量为 256 个单元的 ROM 模块,数据宽度为 8 比特,里面存放了正弦波信号的一个周期。address 是 8 位的地址线,clock 是时钟信号。以该 ROM 模块和题 2 的计数器为元件,设计一个产生两路相同频率的连续正弦波的信号产生器,并且可以通过输入 sel 信号来选择这两路正弦波的相位差是 90°还是 180°,如图 4 所示。编写实现以上功能的可综合的 VHDL 程序,并说明所产生的正弦波的频率是多少。(15 分)



ROM 存储器的元件声明:

COMPONENT ROM_data

PORT

(clock: IN std_logic;

address: IN std_logic_vector(7 downto 0);

 $data_out:\ OUT\ std_logic_vector(7\ downto\ 0));$

END COMPONENT: