

1、某计算机寄存器宽度是32位，主存地址为32位，按字节编址（即每存储单元1B），使用大端模式（低字节存放在地址最大的单元），未使用虚拟存储器技术。Cache与主存之间均采用直接相联映射方式，写回方式的写入更新策略，Cache块（Cache line）中数据字段大小为16B，Cache容量为32KB，开始时Cache均为空。有如下C语言程序段：

```
for(int k=0; k<1024; k++) s[k]=0x8000 0000 + k;
```

若数组s及变量k均为int型，int型数据占4B；变量k分配在寄存器中，数组s在主存中的起始地址为0000 0000H。请回答下列问题。

1、已知该计算机采用补码表示法，写出s[0]的十进制真值（写出表达式即可）。

真值为 $-2^{31}$

//最高位=1，是负数，根据教材P19表达式，负数情形 $x^{[补]}=2^n-|x|$

//s[0]的32bits是0x8000 0000= $2^{31}=2^{32}-2^{31}$ →真值为 $-2^{31}$

2、列出s[5]所占用的4个存储单元的地址。

s[5]所占用的4个存储单元的地址依次是14H、15H、16H、17H

// 0000 0000H + 4×5D = 0000 0000H + 14H = 0000 0014H

//故s[5]占用从0000 0014H开始的4个存储单元

3、写出s[5]所占用的4B中最高地址所对应字节的二进制值。

s[5]所占用的4B中最高地址所对应字节的二进制值是0000 0101B

s[5]所占用的4个字节地址从高到低保存的数值依次是0x05、0x00、0x00、0x80

s[5]=0x8000 0005，大端格式，0x80在最低字节，最高字节是0x05→0000 0101B

4、列出s[5]载入Cache后，其4B各自对应的Cache地址。

s[5]载入Cache后的Cache地址是0014H、0015H、0016H、0017H

Cache line中数据字段大小为16B → 块内地址4bits

Cache容量为32KB →  $32K=2^{15}$  → Cache块号15-4=11bits

直接相联映射方式，主存地址由页号T、块号C、块内地址W构成，其中块内地址W需要4bits、块号C需要11bits（同Cache）、页号T为17bits

→ 主存地址0000 0014H=0000 0000 0001 0100B → 块号C=0x01

主存数据载入Cache时只能载入块号相同的位置（块号的11bits相同）

→ 块号C=0x01的主存数据载入Cache块号为0x01的位置

→ 主存地址0000 0010H~0000 001FH的数据被载入Cache的第0x1块

→ 块内地址不变，故主存地址0000 0014H被载入后Cache地址是0014H

→ 主存地址0000 0015H被载入后Cache地址是0015H

→ 主存地址0000 0016H被载入后Cache地址是0016H

→ 主存地址0000 0017H被载入后Cache地址是0017H

5、该程序执行过程中，访问数组s的数据Cache缺失次数是多少？

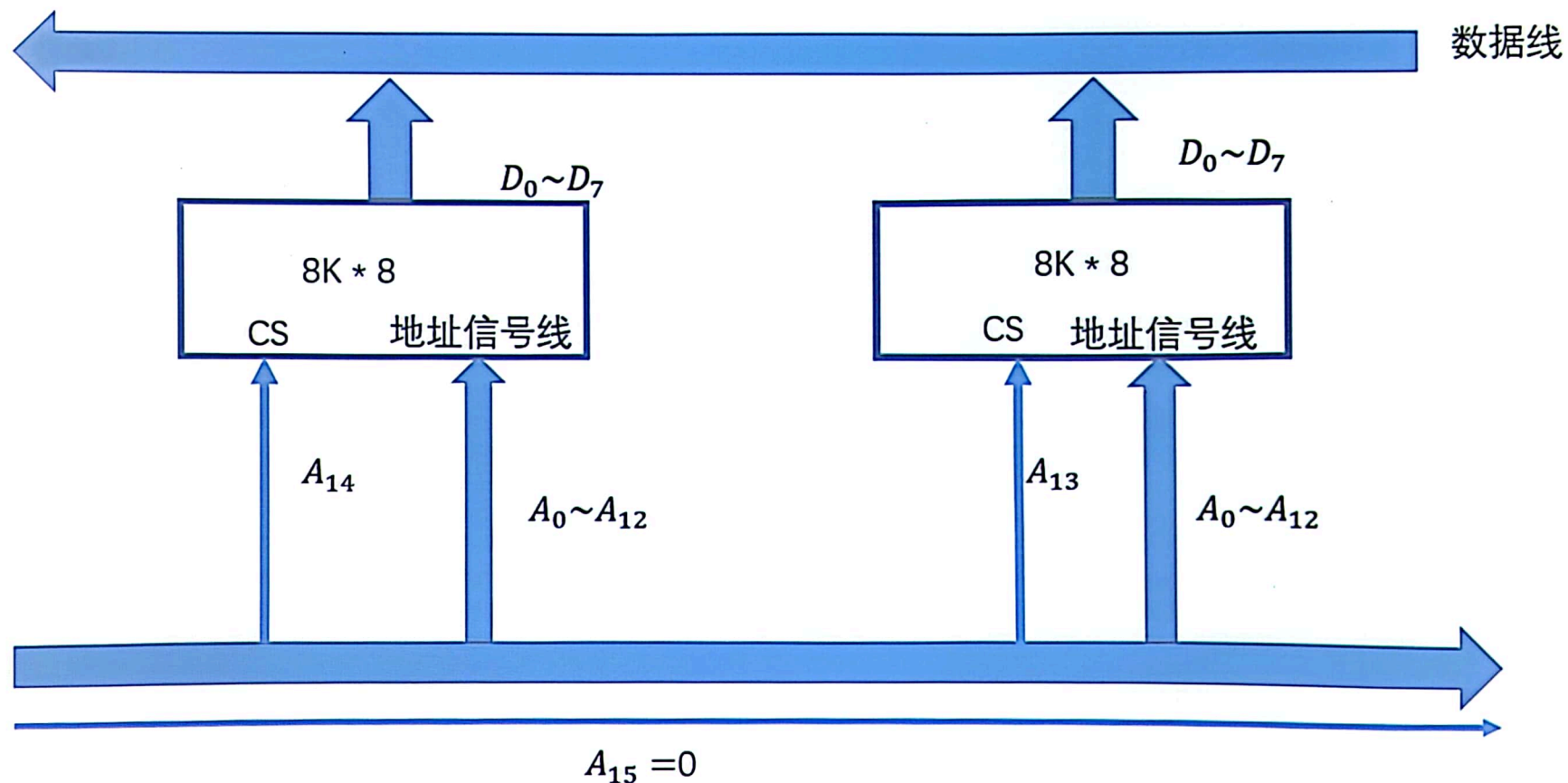
数组s在内存中分配的空间，首地址按照块对齐的。数据一共占用： $1024*4B/16B = 256$ 个块。故访问该数组中的数据，仅有首次访问一个新块的时候出现脱靶，继而将该块调入，总计未命中次数为256次

2、某计算机的内存储器系统采用L1 Cache、L2 Cache和主存三级分层结构。访问L1 Cache时的命中率为95%，访问L2 Cache时的命中率为50%，其余50%访问主存。该系统采用贯穿读出的数据读取结构。假定访问L1 Cache的时间代价为1个时钟周期T，访问L2 Cache和主存分别需要10T和100T，计算该三级存储器系统的平均访问时间 $T_{avg}$ 为多少个时钟周期？

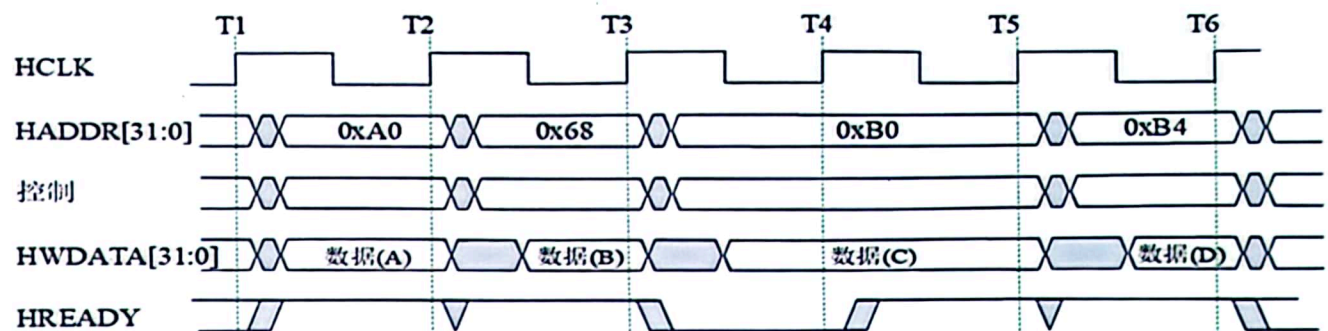
$$\begin{aligned} Time &= 1 * 0.95 + (1 + 10) * 0.05 * 0.5 + (1 + 10 + 100) * 0.05 * 0.5 \\ &= 4T \end{aligned}$$



3、某计算机系统的 CPU 有 16 根地址线，8 根数据线。现有数量充足的规格为  $8K \times 8$  位的 SRAM 芯片，试为该计算机设计一个具有 16KB 容量的 SRAM 存储器子系统，且要求该系统起始地址为  $2000H$ 。计算需要该型 SRAM 芯片的数量，并画出地址线、数据线和存储芯片 CS 信号线的连接示意图。



4、下图时序描述的 AHB 传输中，其中地址 0xA0、地址 0xB0 对应的数据编号各是什么？其中地址为 0x68 的数据传输，是“读”还是“写”？该数据传输在图中标注的哪一个时钟周期的上升沿完成传输的？



0xA0 :数据b    0xB0 :数据d  
 0x68传输的数据是写，在T5上升沿完成传输

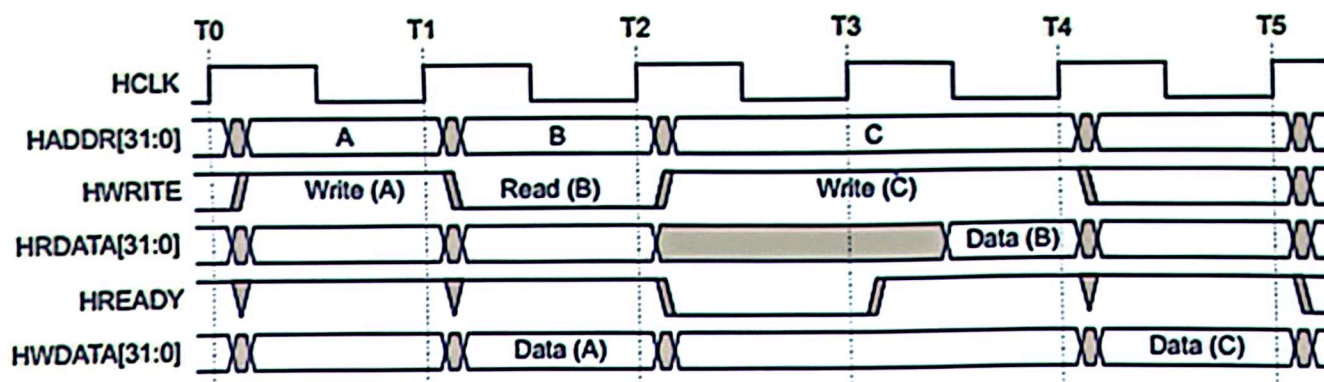


Figure 3-5 Multiple transfers