



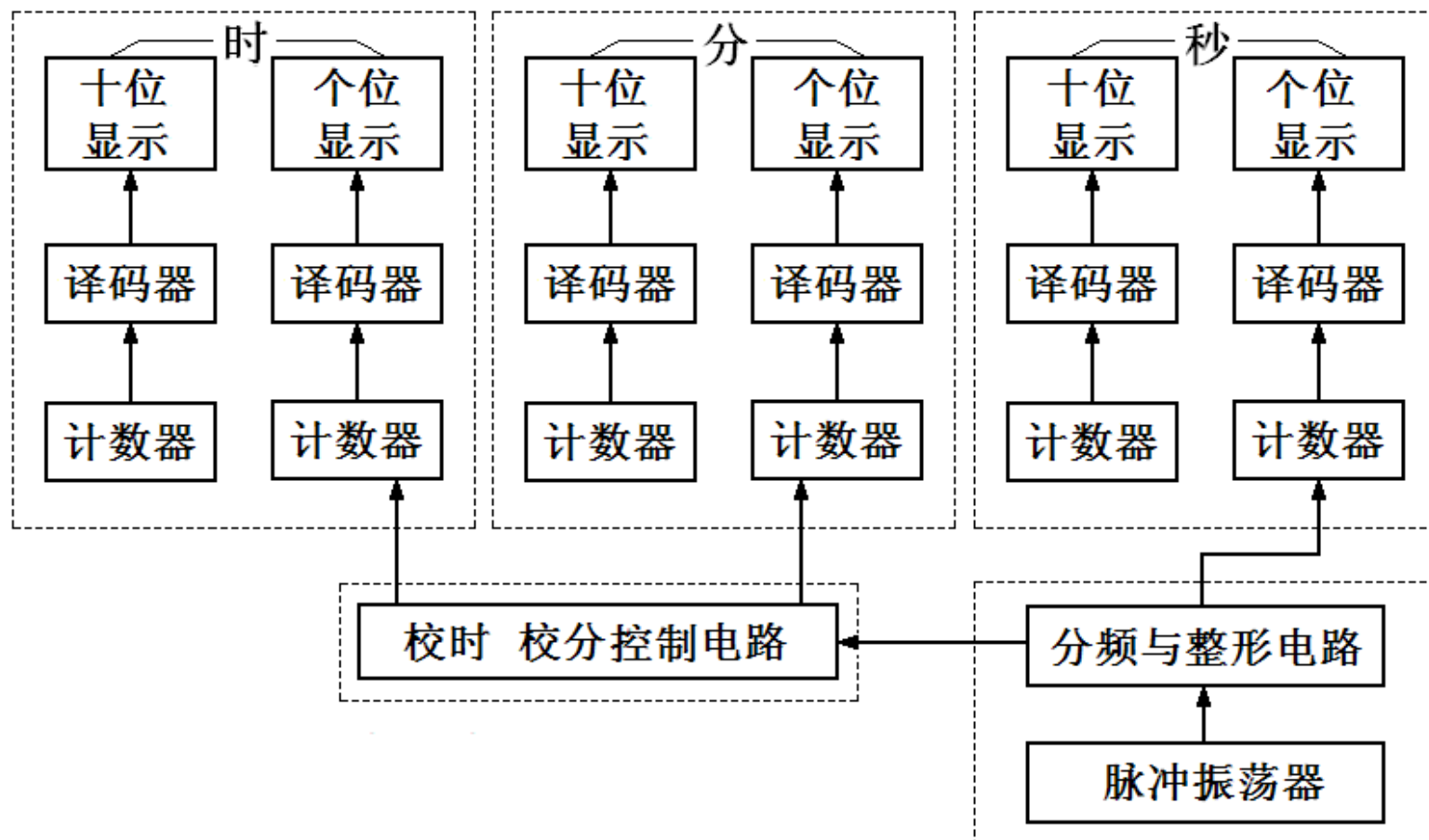
数 字 钟

实验目的

1. 掌握用数字集成电路设计数字钟的基本原理和方法。
2. 熟悉典型集成电路的逻辑功能，掌握N进制计数器的设计与实现。
3. 了解数字钟电路的调试及故障排除方法。

实验原理

数字钟由振荡器、分频器、计数器、译码显示电路和校时校分控制电路组成。



数字钟逻辑框图

振荡器、分频器电路

振荡器是整个数字钟的核心，它的稳定性和频率的精确度决定了数字钟计时的准确性，是影响数字钟质量的决定性因素之一。在实际电路中采用晶体振荡器作为振荡源。

振荡器产生的时钟信号经过分频器形成秒信号，输入到计数器进行计数。

计数电路

数字钟的计数电路可用两个60进制和一个24进制(或12进制)实现。

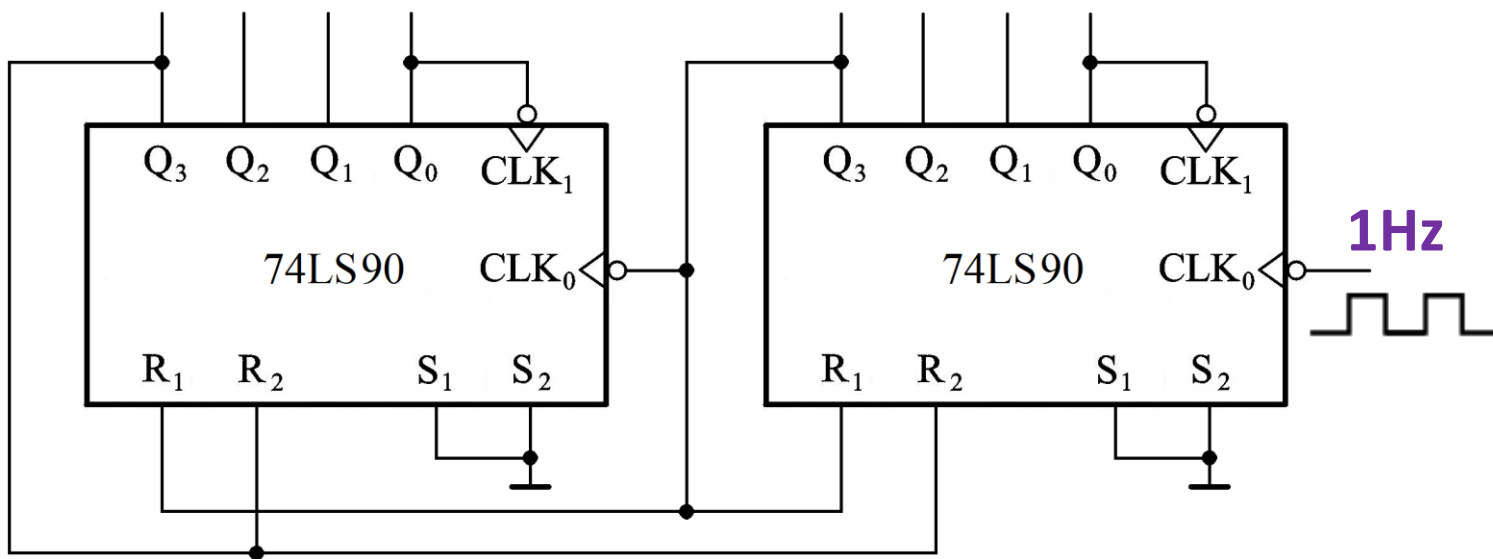
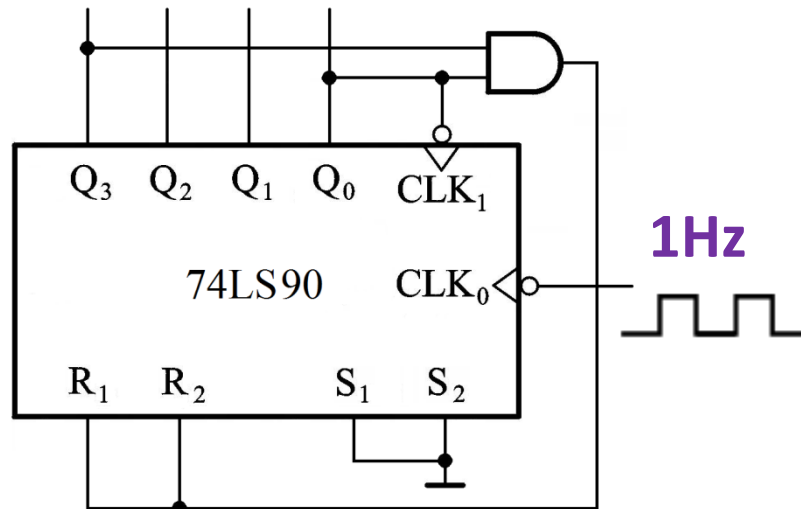
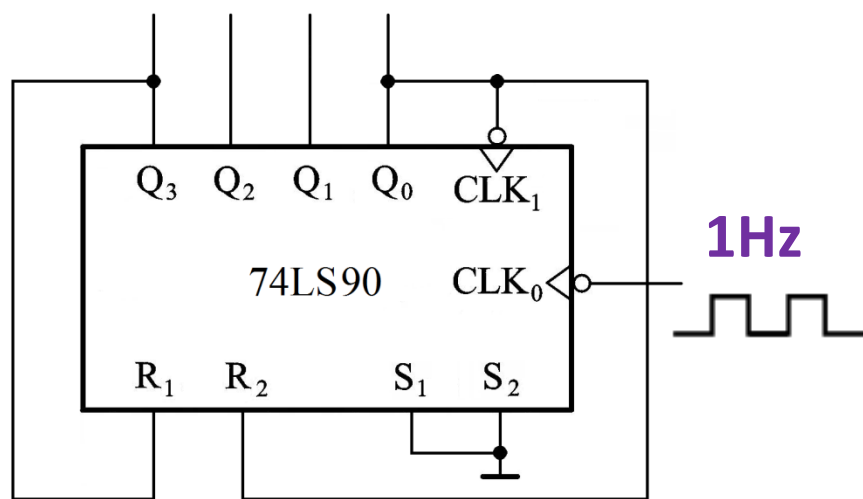
60进制计数器由一个10进制计数器与一个6进制计数器组成，分别对应“秒”（或“分”）的个位和十位进行计数。实验用24进制计数器作为“时”位计数器。

计数电路由六片74LS90构成，可用反馈归零法设计。

二-五-十进制计数器74LS90

输 入			输 出	功 能
清 0 $R_1 R_2$	置 9 $S_1 S_2$	时 钟 $CLK_0 CLK_1$	$Q_3 Q_2 Q_1 Q_0$	
1 1	0 × × 0	× ×	0 0 0 0	异步清 0
× ×	1 1	× ×	1 0 0 1	异步置9
0 × × 0	0 × × 0	↓ 1	— — — 0~1	二进制计数
		1 ↓	000~100 —	五进制计数
		↓ Q_0	0000 ~ 1001 8421BCD码	十进制计数
		Q_3 ↓	$Q_0 Q_3 Q_2 Q_1$ 输出 5421BCD码	十进制计数
		1 1	不 变	保 持

例： 用74LS90实现9进制和88进制加法计数器。



译码器和显示电路

在数字钟电路中，译码器的输入信号就是计数器的输出信号，译码器的输出端接至LED数码管。

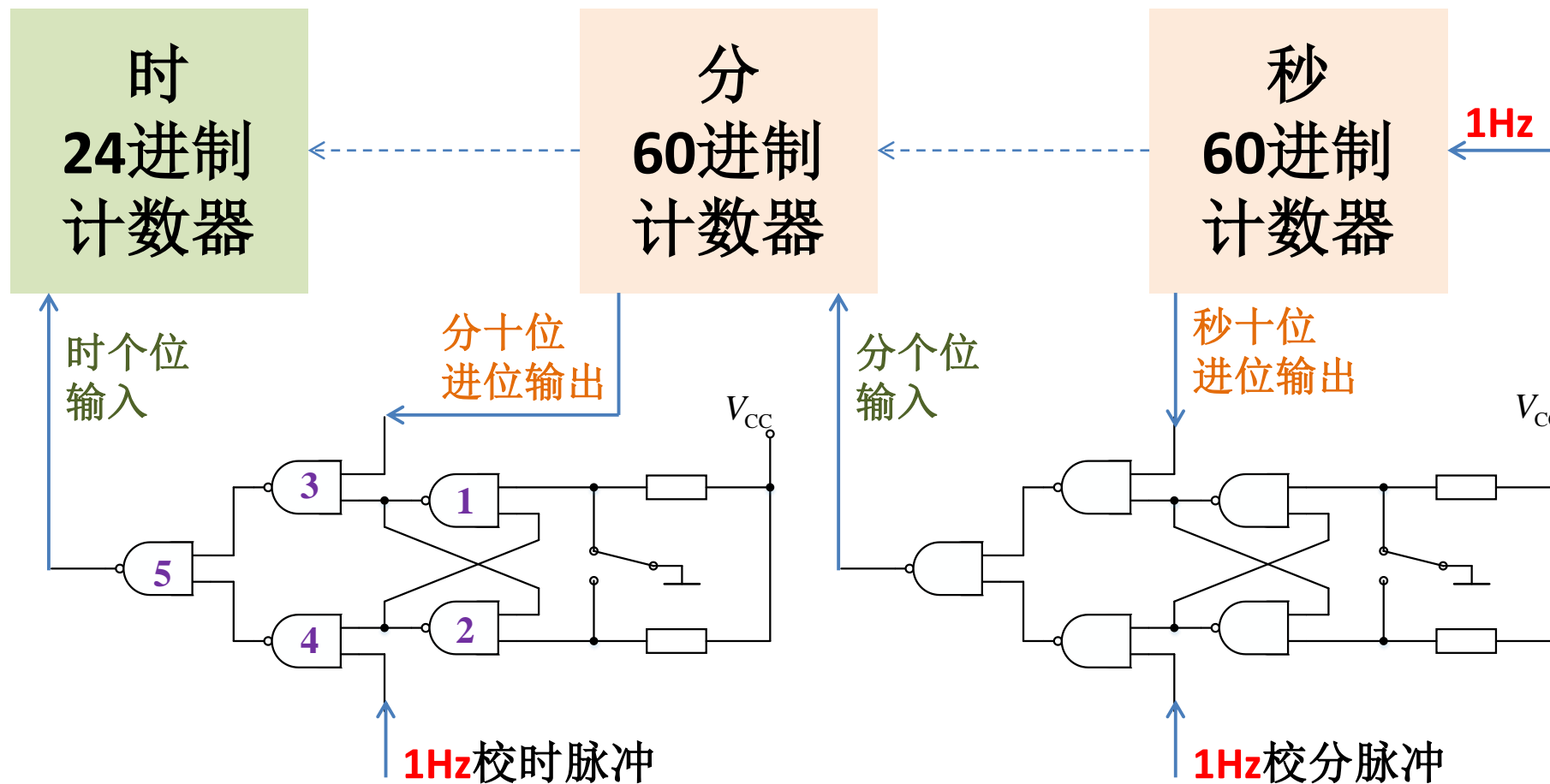
实验中采用BCD 码—七段码译码器 **CD4511**和共阴极数码管。

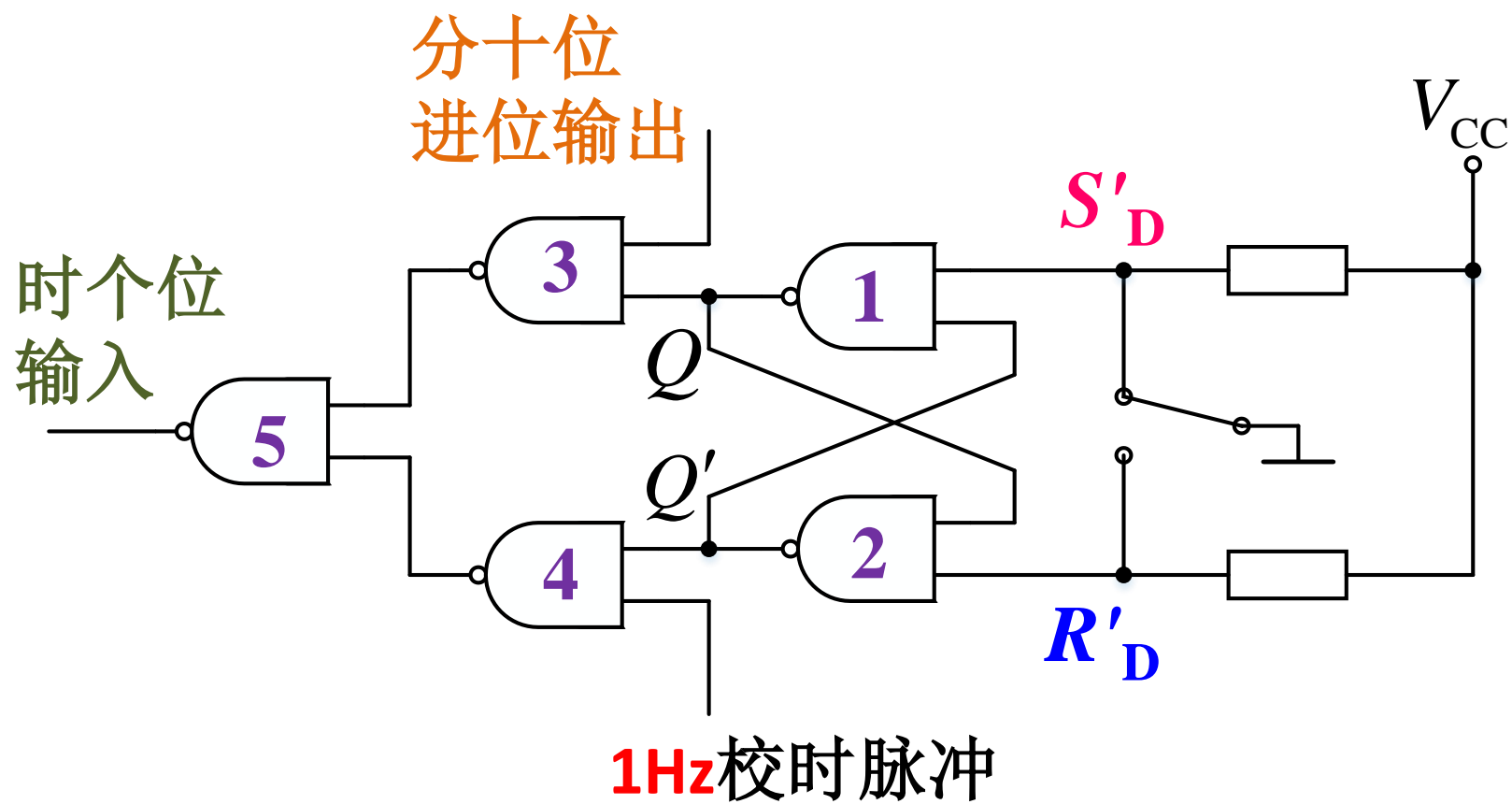
校时、校分电路

本实验中可设有两个快速校准电路，由 SR 锁存器和与非门组成。

正常工作时，两个开关合到 S'_D 端， SR 锁存器置1，分、时脉冲信号通过。

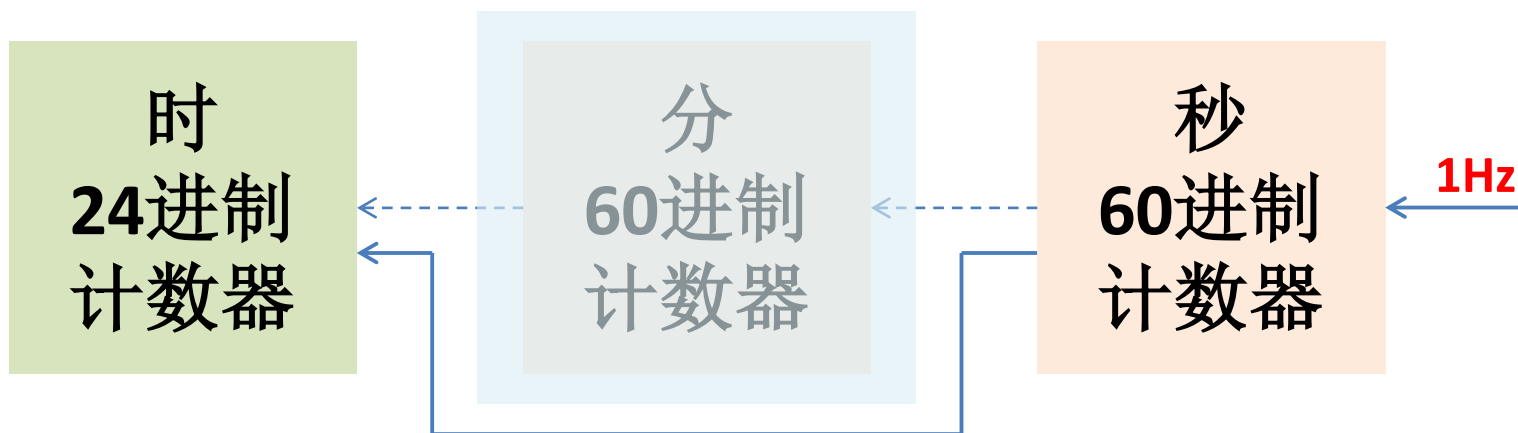
当开关合到 R'_D 端时， SR 锁存器置0，正常计数不能通过，而秒脉冲通过，使分、时计数器变成了秒计数器可以快速校准。





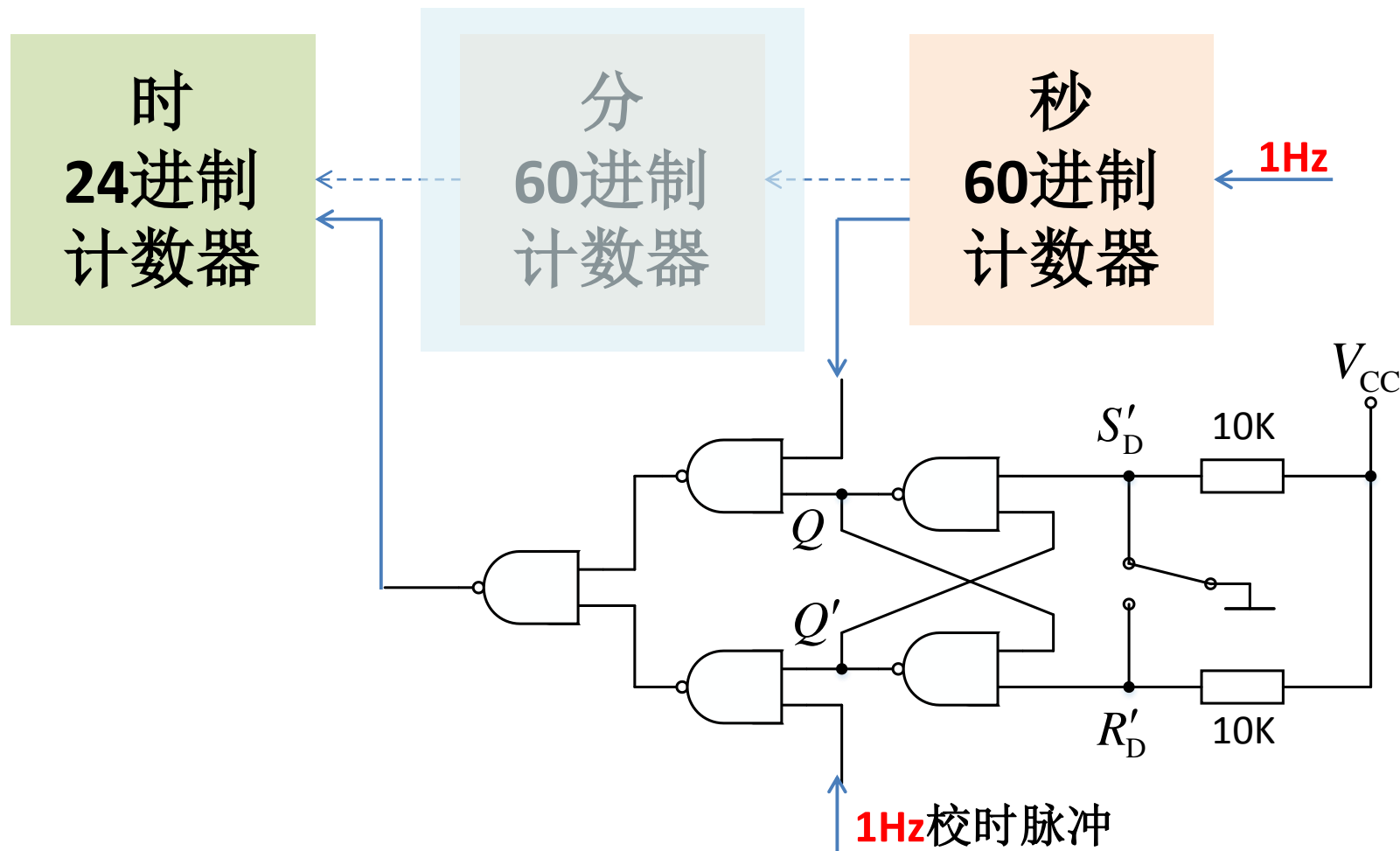
实验内容

1. 试用74LS90设计数字钟用24进制和60进制计数器。



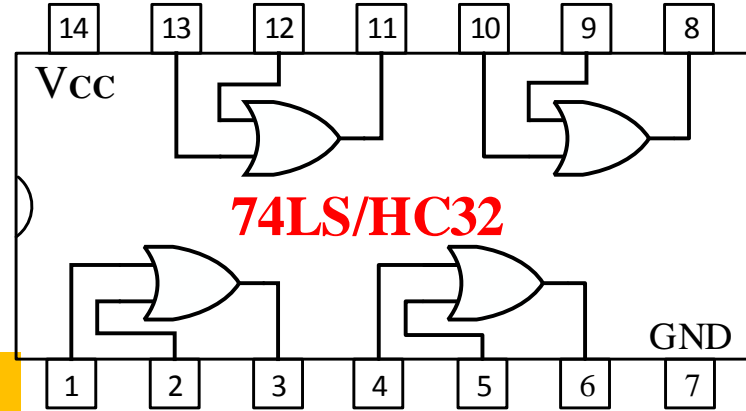
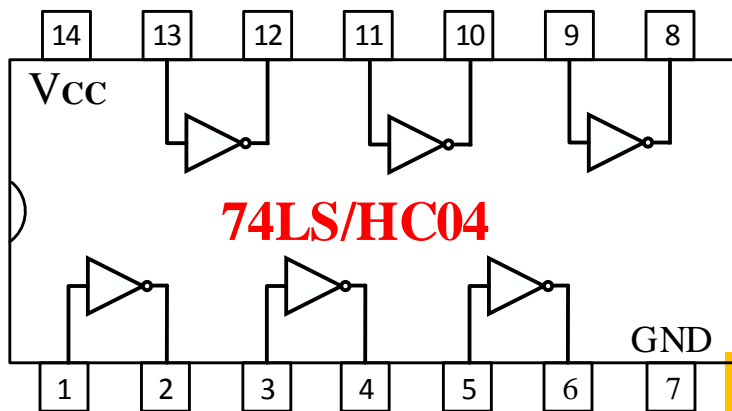
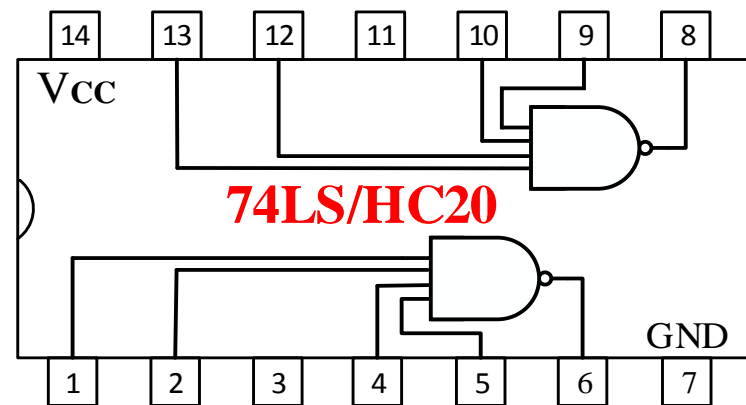
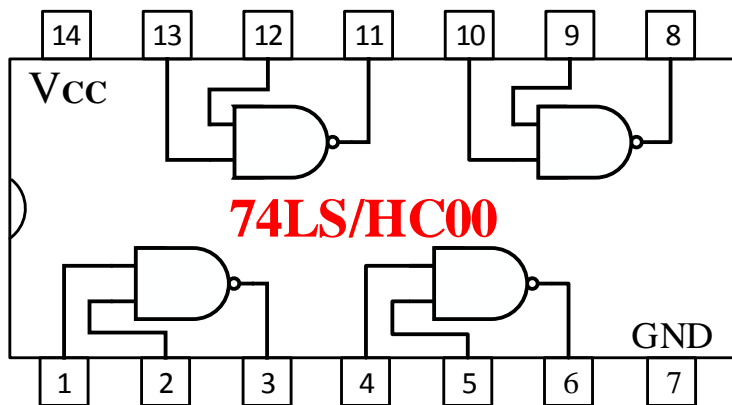
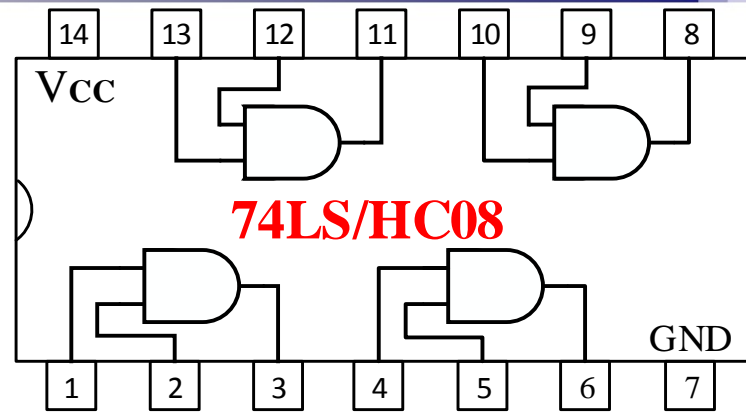
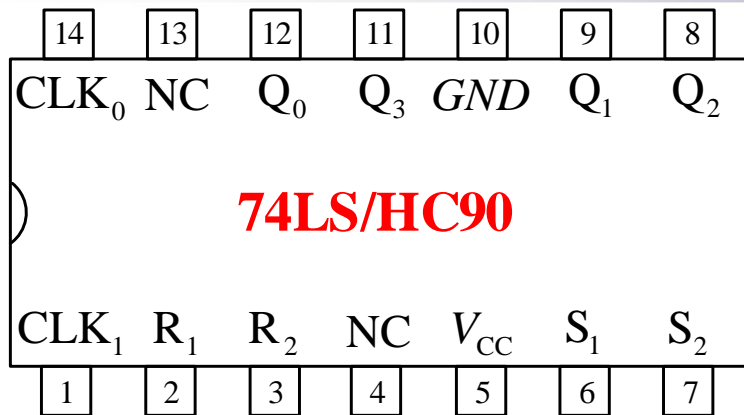
(时钟信号接信号源或实验箱上的连续脉冲源，取频率为1Hz)

* 2. 在实验内容1的基础上增加校时电路。



* 3. 试在实验内容1的基础上实现报时功能。

(使用蜂鸣器, 请打开实验箱上**15V**直流电源开关)



(V_{CC}=5V)

芯片引脚图

实验设备及器件

数字逻辑实验箱

门电路：74LS/HC08、74LS/HC00、74LS/HC20 、 74LS/HC04 、 74LS/HC32

计数器：74LS/HC90 （四片）

思考题

- 1.试用555设计秒脉冲电路。
- 2.画出完整的数字钟逻辑电路图，并说明各部分的原理与功能。
- 3.试设计一个具有整点报时功能的电路。

开关

电源开关

74LS/HC00

74LS/HC90

74LS/HC90

18(V_{cc})—12
1—7(GND)

74LS/HC00

20(V_{cc})—14
1—7(GND)

74LS/HC08

74LS/HC90

74LS/HC20

74LS/HC08

74LS/HC90

74LS/HC04

74LS/HC32

40(V_{cc})—34
1—7(GND)

28(V_{cc})—22
1—7(GND)

16(V_{cc})—10
1—7(GND)

24(V_{cc})—18
1—7(GND)

蜂鸣器

连续脉冲源

单次脉冲源

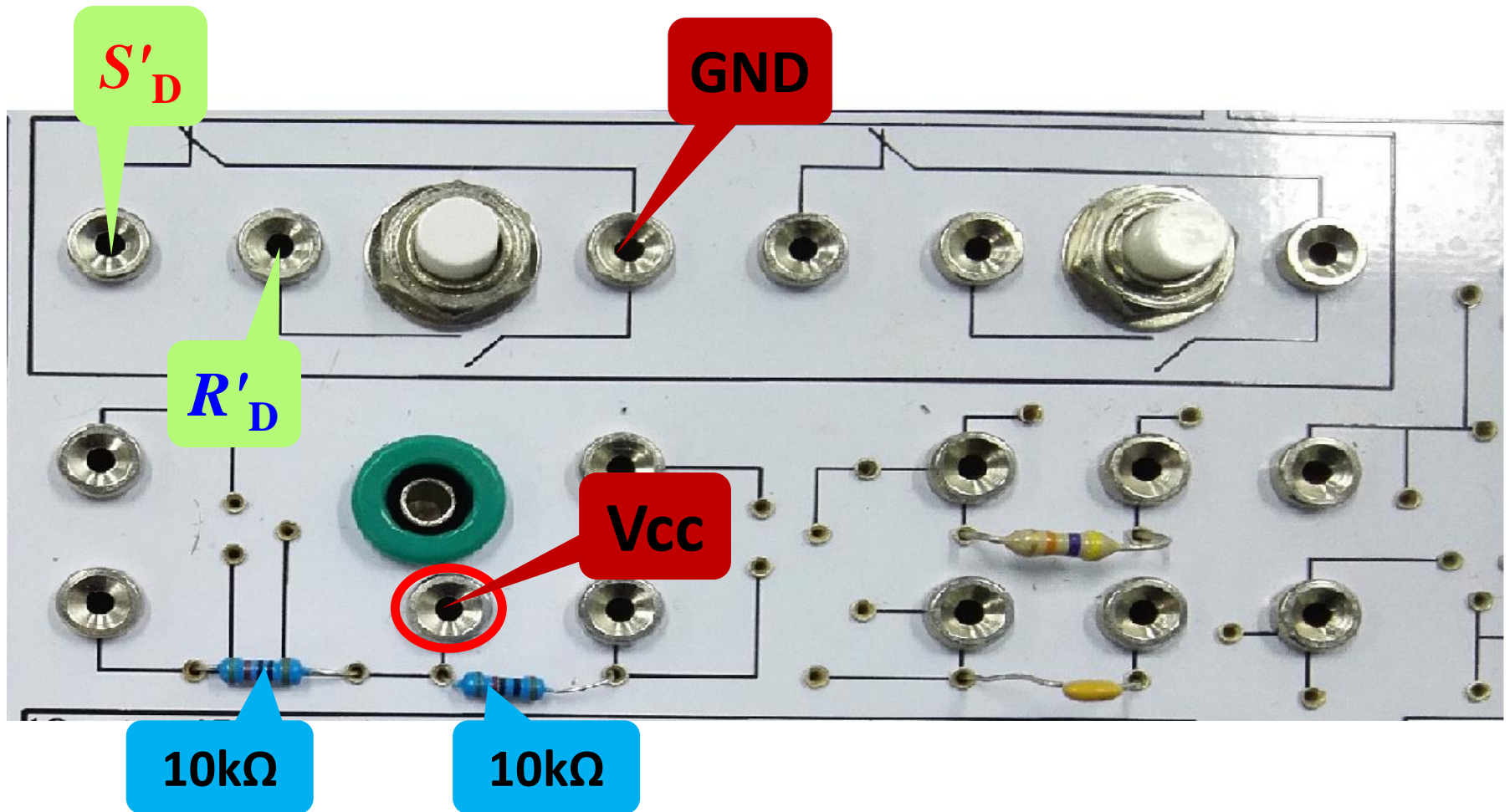
逻辑笔

+5V
短路报警

直流稳压电源

报警指示

继电器



下次实验：555时基电路应用（102室）
或 分组考试（112室）