



Hi3861V100 / Hi3861LV100 / Hi3881V100 WiFi 芯片

硬件用户指南

文档版本 08

发布日期 2020-08-06

版权所有 © 上海海思技术有限公司2020。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为海思技术有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

上海海思技术有限公司

地址： 深圳市龙岗区坂田华为总部办公楼 邮编：518129

网址： <https://www.hisilicon.com/cn/>

客户服务邮箱： support@hisilicon.com



前言

概述

本文档主要介绍Hi3861V100、Hi3861LV100、Hi3881V100芯片的封装管脚信息、电气特性参数、原理图设计建议、PCB设计建议、热设计建议、焊接工艺、潮敏参数、接口时序、注意事项等内容。本文主要为硬件工程师提供硬件设计的参考。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3861	V100
Hi3861L	V100
Hi3881	V100


读者对象

本文档主要适用于以下工程师：




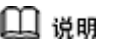
- 单板硬件开发工程师
- 软件工程师
- 技术支持工程师

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	表示如不可避免则将会导致死亡或严重伤害的具有高等级风险的危害。



符号	说明
 警告	表示如不可避免则可能导致死亡或严重伤害的具有中等级风险的危害。
 注意	表示如不可避免则可能导致轻微或中度伤害的具有低等级风险的危害。
 须知	用于传递设备或环境安全警示信息。如不可避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。
 说明	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

修改记录

文档版本	发布日期	修改说明
08	2020-08-06	在“ 8.4 SDIO时序 ”中新增关于对接Host芯片约束的须知内容。
07	2020-07-29	<ul style="list-style-type: none">在“3.2.2 VBAT电源”中更新2个VBAT电源输入管脚的内容。在“3.4 控制信号及低功耗应用参考设计”中更新Hi3861V100/Hi3861LV100/Hi3881V100的控制信号的内容；更新表3-27；更新关于如果需要低功耗应用，必须考虑设计要求的内容；更新图3-13；更新图3-14；更新低功耗应用系统功能说明的内容。
06	2020-07-21	更新“ 4.1 叠层和布局 ”中的PCB设计注意事项。
05	2020-07-13	<ul style="list-style-type: none">更新“3.2.3 VDDIO电源”中VDDIO电源输入管脚的内容。更新“4.9 GND布线指导”中GND布线的建议。更新“7.1 存放与使用”中存放环境的内容。
04	2020-06-28	在“ 3.2.2.2 VBAT输入电源要求 ”中更新关于输入电源要求的说明。
03	2020-06-04	在“ 3.2.6 BUCK/LDO电源 ”中更新关于推荐电感规格的说明。



文档版本	发布日期	修改说明
02	2020-05-29	<ul style="list-style-type: none"> 在“1.2.10 GPIO复用管脚”中删除关于复用信号0的说明；删除表1-11中关于关于单封版本IO的注意说明。 在“3.2.2.2 VBAT输入电源要求”中删除关于可以由外部BUCK电路生成的输入电源要求。 在“5.1 工作条件”的表5-2中更新关于芯片的描述。
01	2020-04-30	<p>第一次正式版本发布。</p> <ul style="list-style-type: none"> 在“1.1.2 管脚分布”中更新表1-2。 在“1.2.3 RTC时钟接口”中更新关于Hi3861LV100支持外置2种RTC时钟输入方案的描述。 在“1.2.4 PMU控制信号”的表1-6中更新PMU_PWRON的描述。 更新“1.2.11 CLK管脚”中表1-12的电压。 更新“1.4.1 硬件复用信号”中GPIO_00、GPIO_01、GPIO_02、GPIO_03、GPIO_04、GPIO_06复位信号1的说明。 在“2.5 上下电要求”中更新步骤4；更新VDDIO对应管脚的说明。 在“3.2.2 VBAT电源”中更新关于TX功率输出功率的说明。 在“3.2.6 BUCK/LDO电源”中更新关于推荐电感的饱和电流的说明。 删除“8.1 SFC接口时序”小节。 在“8.4 SDIO时序”的表8-15、表8-16中更新t_{ODLY}、t_{OH}的备注说明。
00B04	2020-04-08	<ul style="list-style-type: none"> 更新“2.5 上下电要求”中步骤3的描述。 更新“4.3 PCB布局”中图4-3的注意事项说明。 更新“4.5 RF布线指导”中关于VDD_WL_RF_PA2G_3P3和滤波电容的RF布线建议说明。 更新“6.2 无铅回流焊工艺参数要求”的图6-2。
00B03	2020-02-12	<p>在“8.1 SFC接口时序”的SFC输出方向时序参数表中更新参数（输出数据信号延时、输出片选信号延时）。</p>



文档版本	发布日期	修改说明
00B02	2019-12-19	<ul style="list-style-type: none">更新“表1-11”中Pin32的复用信号6的描述。更新“表3-4”中驱动电平的RTC时钟。在“7.1 存放与使用”的【潮敏产品的使用】中新增本产品的潮敏参数等级为3级的说明。
00B01	2019-11-15	第一次临时版本发布。



目录

前言.....	i
1 封装与管脚.....	1
1.1 封装与管脚分布.....	1
1.1.1 封装.....	1
1.1.2 管脚分布.....	5
1.2 管脚描述.....	6
1.2.1 管脚类型说明.....	6
1.2.2 管脚排列表.....	7
1.2.3 RTC 时钟接口.....	8
1.2.4 PMU 控制信号.....	8
1.2.5 GPIO 接口.....	8
1.2.6 电源管脚.....	9
1.2.7 RF 接口.....	10
1.2.8 GND 管脚.....	10
1.2.9 SFC 接口.....	10
1.2.10 GPIO 复用管脚.....	11
1.2.11 CLK 管脚.....	15
1.3 软件复用管脚描述.....	15
1.4 硬件复用管脚描述.....	16
1.4.1 硬件复用信号.....	16
1.4.2 上电关键硬件字.....	17
2 电性能参数.....	18
2.1 电流分布.....	18
2.2 极限工作电压.....	18
2.3 推荐工作条件.....	19
2.4 DC/AC 电气参数.....	19
2.5 上下电要求.....	23
3 原理图设计建议.....	25
3.1 小系统设计建议.....	25
3.1.1 时钟参考设计.....	25
3.1.1.1 参考时钟.....	25
3.1.1.1.1 晶体输入模式.....	25



3.1.1.1.2 参考时钟频率选择.....	26
3.1.1.2 RTC 时钟.....	27
3.1.2 复位和 Watchdog 电路.....	28
3.1.3 JTAG Debug 接口.....	29
3.1.4 硬件初始化系统配置电路.....	30
3.2 电源参考设计.....	30
3.2.1 电源规格.....	30
3.2.2 VBAT 电源.....	32
3.2.2.1 VBAT 参考电路.....	32
3.2.2.2 VBAT 输入电源要求.....	33
3.2.3 VDDIO 电源.....	33
3.2.4 内部电源滤波电路.....	33
3.2.5 RFLDO1.....	34
3.2.6 BUCK/LDO 电源.....	34
3.2.7 PA 供电.....	36
3.2.8 注意事项.....	37
3.3 外围接口设计建议.....	37
3.3.1 SDIO 接口参考设计.....	37
3.3.2 UART 接口参考设计.....	38
3.3.3 PWM 接口参考设计.....	39
3.3.4 I2S 接口参考设计.....	39
3.3.5 SPI 接口参考设计.....	40
3.3.6 I2C 接口参考设计.....	40
3.3.7 ADC 接口参考设计.....	41
3.3.8 PTA 接口设计.....	41
3.3.9 超低功耗接口设计.....	42
3.4 控制信号及低功耗应用参考设计.....	42
4 PCB 设计建议.....	44
4.1 叠层和布局.....	44
4.2 Fanout 封装设计建议.....	46
4.3 PCB 布局.....	47
4.4 电源.....	49
4.4.1 VBAT 布线指导.....	49
4.4.2 BUCK 布线指导.....	51
4.5 RF 布线指导.....	53
4.6 CMU 布线指导.....	55
4.7 DBB 布线指导.....	57
4.8 SDIO 接口布线指导.....	57
4.9 GND 布线指导.....	58
4.10 强电接口设计（可选）.....	60
4.10.1 电源设计.....	60
4.10.2 安全规范.....	60



5 热设计建议	62
5.1 工作条件	62
5.2 散热设计参考	63
5.3 电路热设计参考	63
5.3.1 器件布局	63
5.3.2 PCB	64
6 焊接工艺	65
6.1 概述	65
6.2 无铅回流焊工艺参数要求	65
6.3 混合回流焊工艺参数要求	67
7 潮敏参数	69
7.1 存放与使用	69
7.2 重新烘烤	70
8 接口时序	72
8.1 UART 接口时序	72
8.2 I2C 时序	74
8.3 I2S 时序	75
8.4 SDIO 时序	76
8.5 SPI 接口时序	84
9 注意事项	86
9.1 硬件设计	86
9.2 单板生产工艺	86



1 封装与管脚

- 1.1 封装与管脚分布
- 1.2 管脚描述
- 1.3 软件复用管脚描述
- 1.4 硬件复用管脚描述

1.1 封装与管脚分布

1.1.1 封装

Hi3861V100/Hi3861LV100/Hi3881V100芯片采用QFN32封装，封装尺寸为5mm×5mm，管脚间距为0.5mm，详细封装请参见图1-1 ~ 图1-3。



图 1-1 芯片封装顶视图

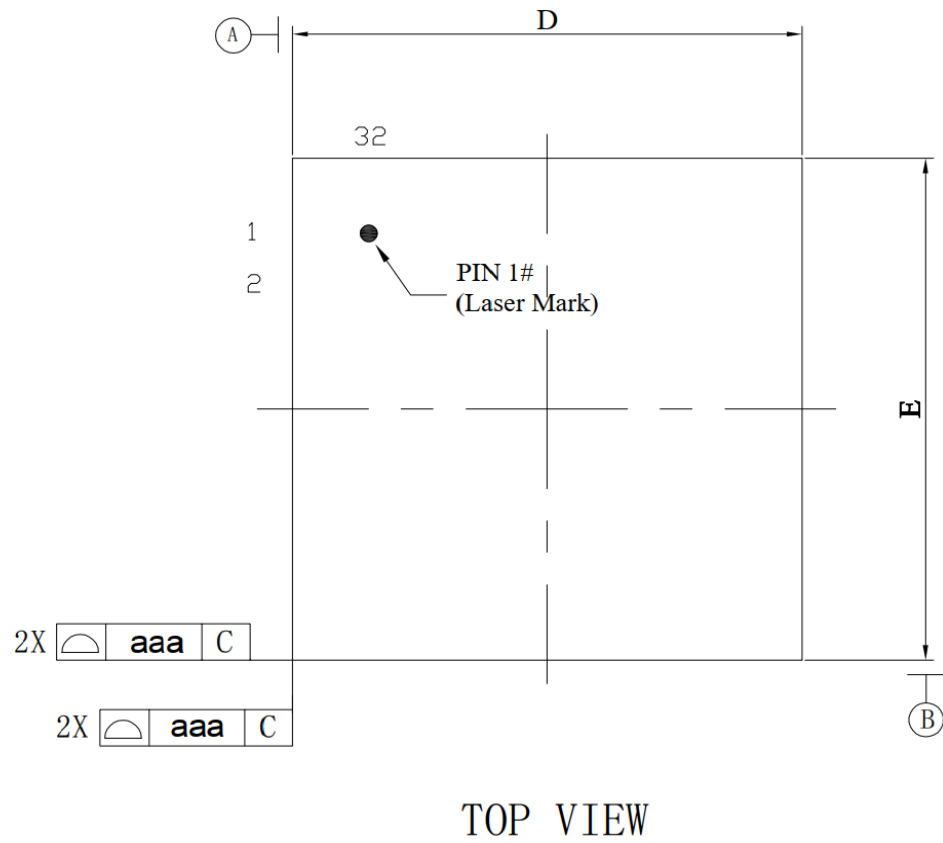




图 1-2 芯片封装底视图

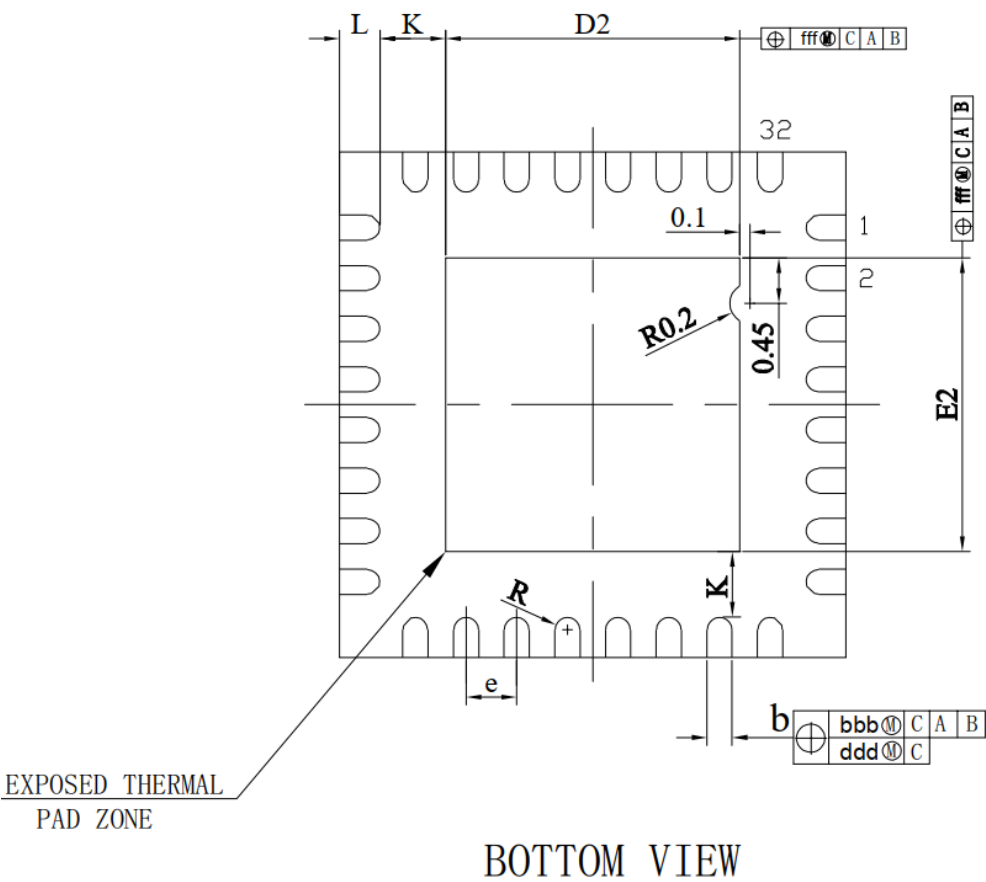
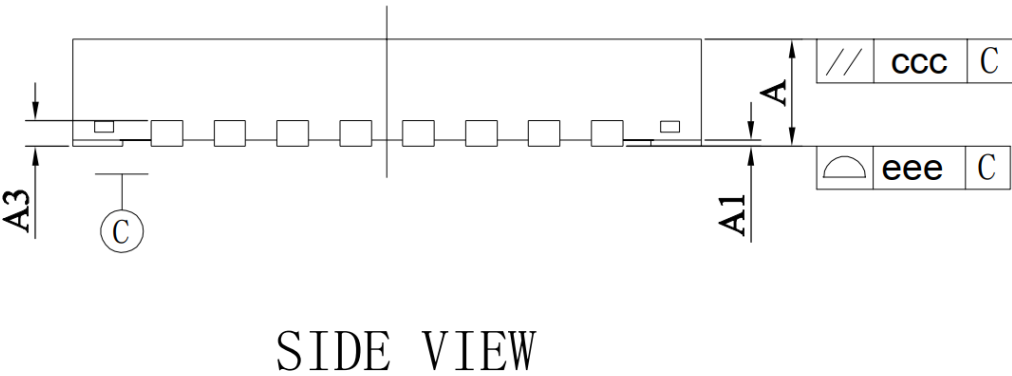


图 1-3 芯片侧面放大图



芯片封装尺寸参数如表1-1所示。



表 1-1 芯片封装参数说明表

参数	尺寸 (mm)			尺寸 (inch)		
	最小值	典型值	最大值	最小值	典型值	最大值
A	0.80	0.85	0.90	0.031	0.033	0.035
A1	0.00	0.02	0.05	0.000	0.001	0.002
A3	0.20 REF			0.008 REF		
b	0.18	0.25	0.30	0.007	0.010	0.012
D	4.93	5.00	5.07	0.194	0.197	0.200
E	4.93	5.00	5.07	0.194	0.197	0.200
D2	2.80	2.90	3.00	0.110	0.114	0.118
E2	2.80	2.90	3.00	0.110	0.114	0.118
e	0.50 BSC			0.020 BSC		
L	0.30	0.40	0.50	0.012	0.016	0.020
K	0.65REF			0.026		
R	0.075	0.125	0.175	0.003	0.005	0.007
aaa	0.15			0.006		
bbb	0.10			0.004		
ccc	0.10			0.004		
ddd	0.05			0.002		
eee	0.08			0.003		
fff	0.10			0.004		
A	0.80	0.85	0.90	0.031	0.033	0.035
A1	0.00	0.02	0.05	0.000	0.001	0.002
A3	0.20 REF			0.008 REF		
b	0.18	0.25	0.30	0.007	0.010	0.012
D	4.93	5.00	5.07	0.194	0.197	0.200
E	4.93	5.00	5.07	0.194	0.197	0.200
D2	2.80	2.90	3.00	0.110	0.114	0.118
E2	2.80	2.90	3.00	0.110	0.114	0.118
e	0.50 BSC			0.020 BSC		
L	0.30	0.40	0.50	0.012	0.016	0.020



参数	尺寸 (mm)			尺寸 (inch)		
K	0.65REF			0.026		
R	0.075	0.125	0.175	0.003	0.005	0.007
aaa	0.15			0.006		
bbb	0.10			0.004		
ccc	0.10			0.004		
ddd	0.05			0.002		
eee	0.08			0.003		
fff	0.10			0.004		

1.1.2 管脚分布

Hi3861V100/Hi3861LV100/Hi3881V100芯片管脚分布如图1-4所示。

图 1-4 Hi3861V100/Hi3861LV100/Hi3881V100 芯片 TOP View 管脚分布图


		32	31	30	29	28	27	26	25		
		GPIO_14	GPIO_13	GPIO_12	GPIO_11	GPIO_10	GPIO_09	VDD_PMU_VBAT1	PMU_BUCK_LX		
1	VDDIO1	 Hi3861V100&Hi3861LV100&Hi3881V100								VDD_BUCK_1P3	24
2	GPIO_00									VDD_PMU_CLDO	23
3	GPIO_01									PMU_PWRON	22
4	GPIO_02									VDDIO2	21
5	GPIO_03									GPIO_08	20
6	GPIO_04									GPIO_07	19
7	VDD_WL_RF_LNA_1P2									GPIO_06	18
8	WL_RF_RFIO_2G									GPIO_05	17
		VDD_WL_RF_PA2G_3P3	VDD_WL_RF_TRX_1P2	VDD_WL_RF_VCO_1P2	VDD_PMU_RFLDO1	VDD_PMU_1P3	VDD_PMU_VBAT2	XOUT	XIN		
		9	10	11	12	13	14	15	16		



表 1-2 Hi3861V100/Hi3861LV100/Hi3881V100 关键特性

芯片	是否支持外部RTC	是否支持FLASH
Hi3861V100	不支持	内置2MB FLASH
Hi3861LV100	支持	内置2MB FLASH
Hi3881V100	不支持	不支持内置FLASH

1.2 管脚描述

1.2.1 管脚类型说明

管脚I/O类型说明如表1-3所示。

表 1-3 管脚 I/O 类型说明

I/O	说明
I	输入信号。
I _{PD}	输入信号，内部下拉。
I _{PU}	输入信号，内部上拉。
I _S	输入信号，带施密特触发器。
I _{SPD}	输入信号，带施密特触发器，内部下拉。
I _{SPU}	输入信号，带施密特触发器，内部上拉。
O	输出信号。
O _{OD}	输出，漏极开路。
I/O	双向输入/输出信号。
I _{PD} /O	双向，输入下拉。
I _{PU} /O	双向，输入上拉。
I _{SPD} /O	双向，输入下拉，带施密特触发器。
I _{SPU} /O	双向，输入上拉，带施密特触发器。
I _{PD} /O _{OD}	双向，输入下拉，输出漏极开路。
I _{PU} /O _{OD}	双向，输入上拉，输出漏极开路。
I _S /O	双向，输入带施密特触发器。
I _S /O _{OD}	双向，输入带施密特触发器，输出漏极开路。



I/O	说明
CIN	Crystal Oscillator: 晶振输入。
COUT	Crystal Oscillator: 晶振输出。
P	电源。
G	地。

1.2.2 管脚排列表

Hi3861V100/Hi3861LV100/Hi3881V100采用的封装形式为QFN 32pin，管脚按位置排列分别如表1-4所示。

表 1-4 Hi3861V100/Hi3861LV100/Hi3881V100 芯片管脚排列

位置	管脚名称	位置	管脚名称
1	VDDIO1	18	GPIO_06
2	GPIO_00	19	GPIO_07
3	GPIO_01	20	GPIO_08
4	GPIO_02	21	VDDIO2
5	GPIO_03	22	PMU_PWRON
6	GPIO_04	23	VDD_PMU_CLDO
7	VDD_WL_RF_LNA_1P2	24	VDD_BUCK_1P3
8	WL_RF_RFIO_2G	25	VDD_BUCK_LX
9	VDD_WL_RF_PA2G_3P3	26	VDD_PMU_VBAT1
10	VDD_WL_RF_TRX_1P2	27	GPIO_09
11	VDD_WL_RF_VCO_1P2	28	GPIO_10
12	VDD_PMU_RFLDO1	29	GPIO_11
13	VDD_PMU_1P3	30	GPIO_12
14	VDD_PMU_VBAT2	31	GPIO_13
15	XOUT	32	GPIO_14
16	XIN	33	EPAD
17	GPIO_05	-	-



1.2.3 RTC 时钟接口

Hi3861LV100支持外置2种RTC时钟输入方案：

- 晶振单端输入：与GPIO_00复用。
- 32.768kHz晶体输入：XIN_OUT与GPIO_00复用，XIN_IN与GPIO_01复用。

表 1-5 RTC 管脚列表

Pin	名称	类型	频率 (MHz)	电平 (V)	描述
2	GPIO_00	I/O	<10	3.3/1.8	晶振单端方式：输入。 晶体方式：输出。
3	GPIO_01	I/O	<10	3.3/1.8	晶体方式：输入。

1.2.4 PMU 控制信号

全局控制信号如表1-6所示。

表 1-6 全局控制信号管脚列表

Pin	名称	类型	频率 (MHz)	电平 (V)	描述
22	PMU_PWRON	I	<1	3.3/1.8	PMU上电使能管脚（跟随的是VDDIO电平）。 0：下电； 1：上电。

1.2.5 GPIO 接口

GPIO接口如表1-7所示，所有IO都有防倒灌功能。

表 1-7 GPIO 接口管脚列表

Pin	名称	类型	电平(V)	描述
2	GPIO_00	I/O	3.3/1.8	普通GPIO。
3	GPIO_01	I/O	3.3/1.8	普通GPIO。
4	GPIO_02	I/O	3.3/1.8	普通GPIO。
5	GPIO_03	I/O	3.3/1.8	普通GPIO，在Udsleep模式下，此IO上升沿可触发唤醒。



Pin	名称	类型	电平(V)	描述
6	GPIO_04	I/O	3.3/1.8	普通GPIO。
17	GPIO_05	I/O	3.3/1.8	普通GPIO，在Udsleep模式下，此IO上升沿可触发唤醒。
18	GPIO_06	I/O	3.3/1.8	普通GPIO。
19	GPIO_07	I/O	3.3/1.8	普通GPIO，在Udsleep模式下，此IO上升沿可触发唤醒。
20	GPIO_08	I/O	3.3/1.8	普通GPIO。
27	GPIO_09	I/O	3.3/1.8	普通GPIO。
28	GPIO_10	I/O	3.3/1.8	普通GPIO。
29	GPIO_11	I/O	3.3/1.8	普通GPIO。
30	GPIO_12	I/O	3.3/1.8	普通GPIO。
31	GPIO_13	I/O	3.3/1.8	普通GPIO。
32	GPIO_14	I/O	3.3/1.8	普通GPIO，在Udsleep模式下，此IO上升沿可触发唤醒。

1.2.6 电源管脚

电源管脚如表1-8所示。

表 1-8 电源管脚列表

Pin	名称	类型	电压(V)	描述
26	VDD_PMU_VBAT 1	P	2.3-3.6	内部BUCK电源输入。
25	VDD_BUCK_LX	P	占空比 输出	BUCK功率管输出，输出电感2.2μH，接板级电容4.7μF滤波。
24	PMU_BUCK_1P3	P	1.3	BUCK电源输出，给RFLDO1/2/3/4/5等供电。
13	VDD_PMU_1P3	P	1.3	1.3V电压输入，给CLDO等供电。
23	VDD_PMU_CLD O	P	1.0	CLDO输出，外接滤波电容1μF。
1	VDDIO1	P	3.3/1.8	IO电源输入。
21	VDDIO2	P	3.3/1.8	IO电源输入。
7	VDD_WL_RF_LN A_1P2	P	1.15	RF LNA供电输入。



Pin	名称	类型	电压(V)	描述
10	VDD_WL_RF_TRX_1P2	P	1.15	RF TRX供电输入。
12	VDD_PMU_RFLDO1	P	1.15	RF LDO1电源输出，外接1 μ F。
11	VDD_WL_RF_VCO_1P2	P	1.15	RF VCO PLL供电输入，外接1 μ F。
14	VDD_PMU_VBAT2	P	2.3-3.6	VABT电源输入。
9	VDD_WL_RF_PA2G_3P3	P	2.3-3.6	VABT电源输入。

说明

VDD_PMU_VBAT1和VDD_PMU_VBAT2在2.3V供电下，RF TX Power在相同EVM下约有3dB的下降。

1.2.7 RF 接口

RF接口如表1-9所示。

表 1-9 RF 接口管脚列表

Pin	名称	类型	电平(V)	描述
8	RF_WL_RFO_2G	ANA	-	WLAN 2.4G RF输入/输出。

1.2.8 GND 管脚

GND管脚如表1-10所示。

表 1-10 GND 管脚列表

Pin	名称	电压(V)	描述
Epad	GND	-	芯片的EPAD是唯一的GND管脚。

1.2.9 SFC 接口

对于Hi3861/Hi3861L，SFC是内部接口；对于Hi3881，不支持SFC接口。



1.2.10 GPIO 复用管脚

GPIO (General Purpose Input/Output) 管脚如表1-11所示。

说明

复用信号0为上电复位完成后的缺省功能。

表 1-11 GPIO 复用管脚描述

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
2	GPIO_00	I _{SPU} /O	1	3.3/1.8	<ul style="list-style-type: none"> • 复用信号0: GPIO_00 • 复用信号1: UART1_TXD • 复用信号2: SPI1_CLK • 复用信号3: PWM3_OUT • 复用信号4: I2C1_SDA • 复用信号5: RTC_OSC_32K • 复用信号6: RTC32K_XOUT • 复用信号7: 保留
3	GPIO_01	I _{SPU} /O	1	3.3/1.8	<ul style="list-style-type: none"> • 复用信号0: GPIO_01 • 复用信号1: UART1_RXD • 复用信号2: SPI1_RXD • 复用信号3: PWM4_OUT • 复用信号4: I2C1_SCL • 复用信号5: 保留 • 复用信号6: RTC32K_XIN • 复用信号7: 保留
4	GPIO_02	I _{SPU} /O	1	3.3/1.8	<ul style="list-style-type: none"> • 复用信号0: GPIO_02 • 复用信号1: UART1_RTS, UART1的流控管脚, 发送请求信号, 输出 • 复用信号2: SPI1_TXD • 复用信号3: PWM2_OUT • 复用信号4: 保留 • 复用信号5: SSI_CLK, 内部RF调试接口 • 复用信号6: 保留 • 复用信号7: 保留



Pin	管脚名称	类型	驱动(mA)	电压(V)	描述
5	GPIO_03	I _{SPU} /O	1	3.3/1.8	<ul style="list-style-type: none"> 复用信号0: UART0_LOG_TXD, 数据发送, Debug和下载 串口接口 复用信号1: UART1_CTS, UART1的流控管脚, 清除发送信号, 输入 复用信号2: SPI1_CS1 复用信号3: PWM5_OUT 复用信号4: I2C1_SDA 复用信号5: SSI_DATA, 内部RF调试接口 复用信号6: GPIO_03 复用信号7: 保留
6	GPIO_04	I _{SPU} /O	1	3.3/1.8	<ul style="list-style-type: none"> 复用信号0: UART0_LOG_RXD 数据接收, Debug和下载串口接口 复用信号1: 保留 复用信号2: 保留 复用信号3: PWM1_OUT 复用信号4: I2C1_SCL 复用信号5: 保留 复用信号6: GPIO_04 复用信号7: ADC1
17	GPIO_05	I _{SPU} /O	1	3.3/1.8	<ul style="list-style-type: none"> 复用信号0: UART1_RXD, 数据接收, 通信串口 复用信号1: GPIO_05 复用信号2: I2S0_MCK 复用信号3: PWM2_OUT 复用信号4: 保留 复用信号5: BT_STATUS, 与BT共存PTA接口 复用信号6: SPI0_CS1 复用信号7: ADC2



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
18	GPIO_06	I _{SPU} /O	1	3.3/1.8	<ul style="list-style-type: none"> 复用信号0: UART1_TXD, 数据发送, 通信串口 复用信号1: GPIO_06 复用信号2: I2S0_TX 复用信号3: PWM3_OUT 复用信号4: 保留. 复用信号5: COEX_SWITCH, 与BT共存PTA接口 复用信号6: SPI0_CLK 复用信号7: 保留
19	GPIO_07	I _{SPU} /O	1	3.3/1.8	<ul style="list-style-type: none"> 复用信号0: UART1_CTS, 清除发送信号, 通信串口 复用信号1: GPIO_07 复用信号2: I2S0_CLK 复用信号3: PWM0_OUT 复用信号4: 保留 复用信号5: BT_ACTIVE, 与BT共存PTA接口 复用信号6: SPI0_RXD 复用信号7: ADC3
20	GPIO_08	I _{SPU} /O	1	3.3/1.8	<ul style="list-style-type: none"> 复用信号0: UART1_RTS, 发送请求信号, 通信串口 复用信号1: GPIO_08 复用信号2: I2S0_WS 复用信号3: PWM1_OUT 复用信号4: 保留 复用信号5: WLAN_ACTIVE, 与BT共存PTA接口 复用信号6: SPI0_TXD 复用信号7: 保留



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
27	GPIO_09	I _{SPU} / O	1	3.3/ 1.8	<ul style="list-style-type: none"> • 复用信号0: GPIO_09 • 复用信号1: UART2_RTS, 发送请求信号, 通信串口, 输出信号 • 复用信号2: SPI0_TXD • 复用信号3: PWM0_OUT • 复用信号4: I2C0_SCL • 复用信号5: I2S0_MCK • 复用信号6: SDIO_D2 • 复用信号7: ADC4
28	GPIO_10	I _{SPU} / O	1	3.3/ 1.8	<ul style="list-style-type: none"> • 复用信号0: GPIO_10 • 复用信号1: UART2_CTS, 发送清除信号, 通信串口, 输入信号 • 复用信号2: SPI0_CLK • 复用信号3: PWM1_OUT • 复用信号4: I2C0_SDA • 复用信号5: I2S0_TX • 复用信号6: SDIO_D3 • 复用信号7: 保留
29	GPIO_11	I _{SPU} / O	1	3.3/ 1.8	<ul style="list-style-type: none"> • 复用信号0: GPIO_11 • 复用信号1: UART2_TXD • 复用信号2: SPI0_RXD • 复用信号3: PWM2_OUT • 复用信号4: 保留 • 复用信号5: I2S0_RX • 复用信号6: SDIO_CMD • 复用信号7: ADC5
30	GPIO_12	I _{SPU} / O	1	3.3/ 1.8	<ul style="list-style-type: none"> • 复用信号0: GPIO_12 • 复用信号1: UART2_RXD • 复用信号2: SPI0_CS1 • 复用信号3: PWM3_OUT • 复用信号4: 保留 • 复用信号5: I2S0_CLK • 复用信号6: SDIO_CLK • 复用信号7: ADC0



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
31	GPIO_13	I _{SPU} /O	1	3.3/1.8	<ul style="list-style-type: none"> 复用信号0: GPIO_13 复用信号1: UART2_RTS 复用信号2: UART0_LOG_TXD 复用信号3: PWM4_OUT 复用信号4: I2C0_SDA 复用信号5: I2S0_WS 复用信号6: SDIO_D0 复用信号7: ADC6 复用信号8: SSI_DATA
32	GPIO_14	I _{SPU} /O	1	3.3/1.8	<ul style="list-style-type: none"> 复用信号0: GPIO_14 复用信号1: UART2_CTS 复用信号2: UART0_LOG_RXD 复用信号3: PWM5_OUT 复用信号4: I2C0_SCL 复用信号5: 保留 复用信号6: SDIO_D1 复用信号7: 保留 复用信号8: SSI_CLK

1.2.11 CLK 管脚

CLK管脚如表1-12所示。

表 1-12 CLK 管脚描述

Pin	管脚名称	类型	电压(V)	描述
15	XIN	I	1.8	晶体时钟输入，支持24M和40M。
16	XOUT	O	1.8	晶体时钟输出，支持24M和40M。。

1.3 软件复用管脚描述

具体内容请参见《Hi3861/ Hi3861L/Hi3881V100 WiFi芯片 用户指南》的“软件复用管脚描述”章节。



管脚驱动能力配置请参见《Hi3861/ Hi3861L/Hi3881V100 WiFi芯片 用户指南》的“寄存器描述”章节。

1.4 硬件复用管脚描述

说明

- 上电时硬件自动锁定HW_IDx和JTAG_ENABLE等，不需要软件配置。
- HW_IDx：用户可通过该管脚区分硬件产品形态、上电或复位时锁存。x表示0~7。

1.4.1 硬件复用信号

Hi3861/ Hi3861L/Hi3881V100芯片硬件信号管脚复用配置方法如表1-13所示（HW_ID：用户不使用，则不予以关注即可）。

表 1-13 硬件管脚复用及配置方法

Pi n	Pad 信号	复用信号1	复用信号2
2	GPIO _00	JTAG_TDO：JTAG数据输出。	HW_ID0：硬件版本号。 上电或复位时自动锁定，预留用户自定义硬件版本。
3	GPIO _01	JTAG_TCK：JTAG时钟。	HW_ID1：硬件版本号。 上电或复位时自动锁定，预留用户自定义硬件版本。
4	GPIO _02	JTAG_TRSTN：JTAG复位管脚。	REFCLK_FREQ_STATUS：晶体时钟频率状态选择。 <ul style="list-style-type: none"> 低电平（默认）：40MHz； 高电平：24MHz。 上电或复位时自动锁定。
5	GPIO _03	JTAG_TDI：JTAG输入信号。	-
6	GPIO _04	JTAG_TMS：JTAG TMS信号。	HW_ID3：硬件版本号。 上电或复位时自动锁定，预留用户自定义硬件版本。
17	GPIO _05	HW_ID4：硬件版本号4。 上电或复位时自动锁定。	HW_ID4：硬件版本号。 上电或复位时自动锁定，预留用户自定义硬件版本。
18	GPIO _06	JTAG_MODE：硬件JTAG模式选择。 <ul style="list-style-type: none"> 下拉：正常功能模式(默认)； 上拉：DFT测试模式。 	-



Pi n	Pad 信号	复用信号1	复用信号2
19	GPIO _07	HW_ID5: 硬件版本号5。 上电或复位时自动锁定。	HW_ID5: 硬件版本号。 上电或复位时自动锁定, 预留用户自定义硬件版本。
20	GPIO _08	JTAG_ENABLE: JTAG使能输入。 下拉: JTAG管脚功能根据IO复用寄存器配置决定; 上拉: JTAG管脚功能为JTAG。 上电或复位时自动锁定。	-
29	GPIO _11	HW_ID6: 硬件版本号6。 上电或复位时自动锁定。	HW_ID6: 硬件版本号。 上电或复位时自动锁定, 预留用户自定义硬件版本。
30	GPIO _12	HW_ID7: 硬件版本号7。 上电或复位时自动锁定。	- HW_ID7: 硬件版本号。 上电或复位时自动锁定, 预留客户自定义硬件版本。
32	GPIO _14	HW_ID2: 硬件版本号2。 上电或复位时自动锁定。	HW_ID2: 硬件版本号。 上电或复位时自动锁定, 预留用户自定义硬件版本。

1.4.2 上电关键硬件字

芯片系统正常启动后必须有正确的硬件配置字, 硬件配置字有两类:

- 与芯片硬件启动强相关 (REFCLK_FREQ_STATUS/ JTAG_MODE/ JTAG_ENABLE), 如表1-14所示。
- 与解决方案硬件预留配置字 (HW_ID)、产品解决方案强相关。上电或复位时锁定。

表 1-14 管脚硬件配置字描述

信号名	低电平	高电平
REFCLK_FREQ_STATUS (默认下拉, 如果外部上拉, 电平是VDDIO)	40MHz (默认)	24MHz
JTAG_ENABLE (默认下拉, 如果外部上拉, 电平是VDDIO)	普通IO (默认)	JTAG使能
JTAG_MODE (默认下拉, 如果外部上拉, 电平是VDDIO)	正常功能模式 (默认)	DFT测试模式
VDD_PMU_LX (默认下拉, 如果外部上拉, 电平是VBAT)	buck (默认)	LDO



2 电性能参数

- 2.1 电流分布
- 2.2 极限工作电压
- 2.3 推荐工作条件
- 2.4 DC/AC电气参数
- 2.5 上下电要求

2.1 电流分布

Hi3861/ Hi3861L/Hi3881V100的功耗分布如表2-1所示。

表 2-1 电流参数

符号	描述	最小值	典型值	最大值	单位
VDD_PMU_VBAT1 VDD_PMU_VBAT2	接口电源 BUCK和PA输入电源	-	300	TBD	mA
VDDIO	IO输入电源	TBD	30	TBD	mA
PMU_1P3	CLDO、RFLDO1/2/3/4输入电源	-	200	-	mA

2.2 极限工作电压



警告

极限工作电压参数如表2-2所示，超过这些数值，可能导致芯片损坏，可能导致可靠性问题。



表 2-2 极限工作电压参数

符号	参数	最小值	最大值	单位
VDD_PMU_VBAT	电池电源	2.3	3.6	V
VDDIO	IO输入电源	1.71	3.6	V

2.3 推荐工作条件

Hi3861/ Hi3861L/Hi3881V100的推荐工作条件如表2-3所示。

表 2-3 推荐工作条件

符号	描述	最小值	典型值	最大值	单位
VDD_PMU_VBAT1 VDD_PMU_VBAT2	电池电源	2.3	3.3	3.6	V
VDDIO1、VDDIO2	IO输入电源	1.71	1.8/3.3	3.6	V
PMU_1P3、 BUCK_1P3	CLDO、RFLDO1/2/3/4 输入电源	1.1	1.3	1.5	V

2.4 DC/AC 电气参数

表 2-4 DC 电气参数表（VDDIO1/VDDIO2=1.8V GPIO 功能）

符号	参数	最小值	典型值	最大值	单位	说明
VDDIO1/ VDDIO2	接口电压	1.71	1.8	1.89	V	-
V _{IH}	高电平输入电压	1.2	-	3.63	V	不兼容5V输入
V _{IL}	低电平输入电压	-0.3	-	0.6	V	-
I _L	输入漏电流	-	-	±10	μA	-
I _{OZ}	三态输出漏电流	-	-	±10	μA	-
V _{OH}	高电平输出电压	(VDDIO1/2)-0.45	-	-	V	-



符号	参数	最小值	典型值	最大值	单位	说明
V_{OL}	低电平输出电压	-	-	0.45	V	-
R_{PU}	内部上拉电阻	19	25	31	k Ω	-
R_{PD}	内部下拉电阻	19	25	31	k Ω	-
I_{OH}	高电平输出电流	2.04	-	-	mA	4驱IO档位1
		4.08	-	-	mA	4驱IO档位2
		6.13	-	-	mA	4驱IO档位3
		8.16	-	-	mA	4驱IO档位4
I_{OL}	低电平输出电流	1.9	-	-	mA	4驱IO档位1
		3.79	-	-	mA	4驱IO档位2
		5.64	-	-	mA	4驱IO档位3
		7.54	-	-	mA	4驱IO档位4
I_{OH}	高电平输出电流	1.94	-	-	mA	8驱IO档位1
		3.89	-	-	mA	8驱IO档位2
		5.84	-	-	mA	8驱IO档位3
		7.79	-	-	mA	8驱IO档位4
		9.73	-	-	mA	8驱IO档位5
		11.67	-	-	mA	8驱IO档位6
		13.62	-	-	mA	8驱IO档位7
		15.57	-	-	mA	8驱IO档位8



符号	参数	最小值	典型值	最大值	单位	说明
I _{OL}	低电平输出电流	2.01	-	-	mA	8驱IO档位1
		4.02	-	-	mA	8驱IO档位2
		6.02	-	-	mA	8驱IO档位3
		8.03	-	-	mA	8驱IO档位4
		10.04	-	-	mA	8驱IO档位5
		12.04	-	-	mA	8驱IO档位6
		14.05	-	-	mA	8驱IO档位7
		16.06			mA	8驱IO档位8

表 2-5 DC 电气参数表（VDDIO1/VDDIO2=3.3V GPIO 功能）

符号	参数	最小值	典型值	最大值	单位	说明
VDDIO1/ VDDIO2	接口电压	3.125	3.3	3.6	V	-
V _{IH}	高电平输入电压	2.4	-	3.63	V	不兼容5V输入
V _{IL}	低电平输入电压	-0.3	-	0.8	V	-
I _L	输入漏电流	-	-	±10	μA	-
I _{OZ}	三态输出漏电流	-	-	±10	μA	-
V _{OH}	高电平输出电压	2.4	-	-	V	-
V _{OL}	低电平输出电压	-	-	0.4	V	-
R _{PU}	内部上拉电阻	19	25	31	kΩ	-
R _{PD}	内部下拉电阻	19	25	31	kΩ	-



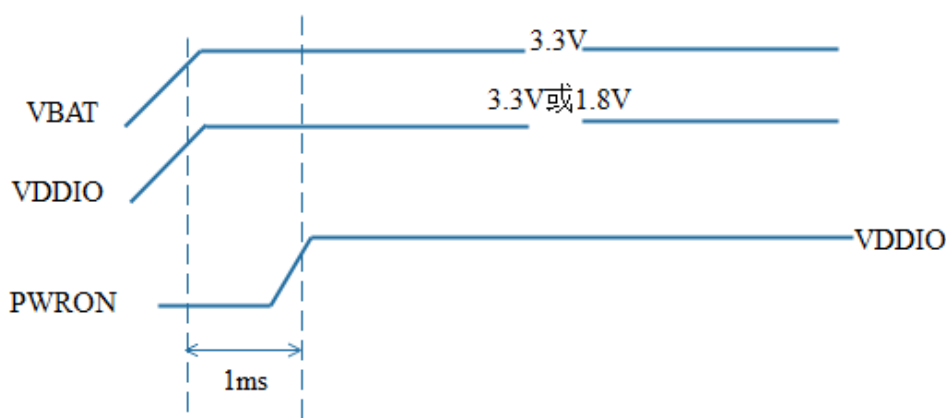
符号	参数	最小值	典型值	最大值	单位	说明
I_{OH}	高电平输出电流	5.61	-	-	mA	4驱IO档位1
		11.21	-	-	mA	4驱IO档位2
		16.83	-	-	mA	4驱IO档位3
		22.43	-	-	mA	4驱IO档位4
I_{OL}	低电平输出电流	3.58	-	-	mA	4驱IO档位1
		7.16	-	-	mA	4驱IO档位2
		10.7	-	-	mA	4驱IO档位3
		14.29	-	-	mA	4驱IO档位4
I_{OH}	高电平输出电流	5.27	-	-	mA	8驱IO档位1
		10.55	-	-	mA	8驱IO档位2
		15.83	-	-	mA	8驱IO档位3
		21.1	-	-	mA	8驱IO档位4
		26.37	-	-	mA	8驱IO档位5
		31.64	-	-	mA	8驱IO档位6
		36.92	-	-	mA	8驱IO档位7
		42.2	-	-	mA	8驱IO档位8
I_{OL}	低电平输出电流	3.76	-	-	mA	8驱IO档位1
		7.51	-	-	mA	8驱IO档位2



符号	参数	最小值	典型值	最大值	单位	说明
		11.27	-	-	mA	8驱IO档位3
		15.03	-	-	mA	8驱IO档位4
		18.79	-	-	mA	8驱IO档位5
		22.54	-	-	mA	8驱IO档位6
		26.3	-	-	mA	8驱IO档位7
		30.06			mA	8驱IO档位8

2.5 上下电要求

图 2-1 上电顺序图



上电顺序如下：

- 步骤1** 外部电池电源VBAT【1】、IO电源VDDIO【2】处于下电状态，PWRON无效，芯片处于下电状态。
- 步骤2** 外部电源VBAT、VDDIO上电（对上电顺序无要求），此时外部控制PMU_PWRON为低电平。
- 步骤3** 外部控制PMU_PWRON信号为高电平，PWRON需要在VBAT和VDDIO上电完成后1ms上拉至高电平（VDDIO）。



步骤4 Hi3861LV100/Hi3861V100/Hi3881V100内部PMU检测到PMU_PWRON信号为高电平1ms后，芯片内部开始解复位流程，有序地开启各电源，解复位时间为1.1ms，其中硬件配置字在解复位之后100us内锁存，然后芯片正常工作。

----结束

说明

- 【1】：VBAT对应管脚：VDD_PMU_VBAT1、VDD_PMU_VBAT2。
- 【2】：VDDIO对应管脚：VDDIO1、VDDIO2。
- 本芯片对于下电顺序没有要求。



3 原理图设计建议

3.1 小系统设计建议

3.2 电源参考设计

3.3 外围接口设计建议

3.4 控制信号及低功耗应用参考设计

3.1 小系统设计建议

小系统指芯片电路能够正常工作的最小外围电路配置，此部分的电路主要包括：时钟电路、复位电路、Watchdog、JTAG调试电路、Flash电路。

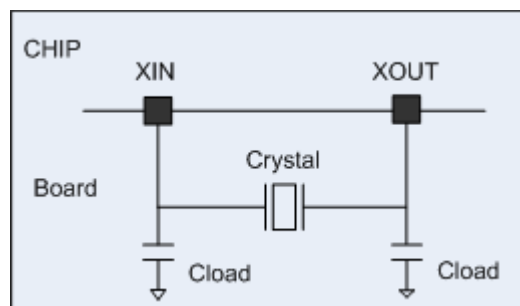
3.1.1 时钟参考设计

3.1.1.1 参考时钟

3.1.1.1.1 晶体输入模式

在使用外部晶体时，电路结构如[图3-1](#)所示。

图 3-1 使用 Crystal 输入参考时钟的参考电路图



外部Crystal电气特性的要求如[表3-1](#)所示。



表 3-1 Crystal 电气特性要求

参数	符号	最小值	典型值	最大值	单位	备注
标称频率	f	-	24/40		MHz	-
频率容差	L _m	-10	-	+10	ppm	-
等效电阻	R _r		40	45	Ohm	影响起振
负载电容	CL	-	11	15	pF	影响起振
驱动功耗	WL	-	100	300	uW	-
工作温度	T	-40		85	°C	

其中：

- CL：Crystal内部的负载电容。
- R_r：Crystal内部的等效电阻。
- $R_r \times CL \times CL < 9000$ 可以满足起振要求。
- $Q = WL/R_r$ ，Q值是品质因数，太小会影响频率稳定。
- 晶振的负载电容公式= $[(Cd \times Cg)/(Cd + Cg)] + Cic + \Delta C$ 式中Cd,Cg为分别接在晶振的两个脚上和对地的电容,Cic（集成电路内部电容）+ ΔC （PCB上电容）经验值为3至5pf。

3.1.1.1.2 参考时钟频率选择

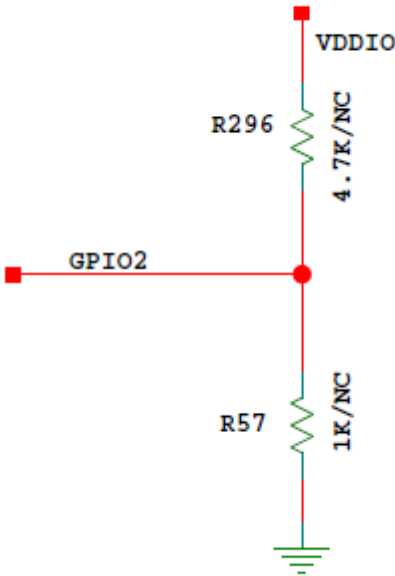
Hi3861V100/Hi3861LV100/Hi3881V100支持24MHz、40MHz参考时钟频率。参考时钟频率的选择通过GPIO02的硬件配置字进行判断，上电时通过读取GPIO02高低电平选择内部分频系数。外部时钟选择真值表如表3-2所示。

表 3-2 外部时钟选择真值表

时钟频率	REFCLK_FREQ_STATUS	备注
40MHz	0	默认内部下拉
24MHz	1	上拉4.7KΩ到VDDIO



图 3-2 频率选择管脚参考电路图



3.1.1.2 RTC 时钟

Hi3861LV100芯片需要外部提供32.768kHz RTC时钟，用于低功耗处理。Hi3861V100/Hi3881V100不支持外部RTC低功耗应用。

对32.768kHz RTC时钟的电气特性要求如表3-3和表3-4所示。

表 3-3 RTC 有源时钟电气特性要求

参数	RTC时钟	单位
时钟频率	32.768	KHz
时钟精度	≤±200	ppm
占空比	45 ~ 55	%
输入信号幅度（Peak-Peak）	900 ~ 1800	mV
时钟Jitter	±10000	ppm

表 3-4 RTC 无源时钟电器特性要求

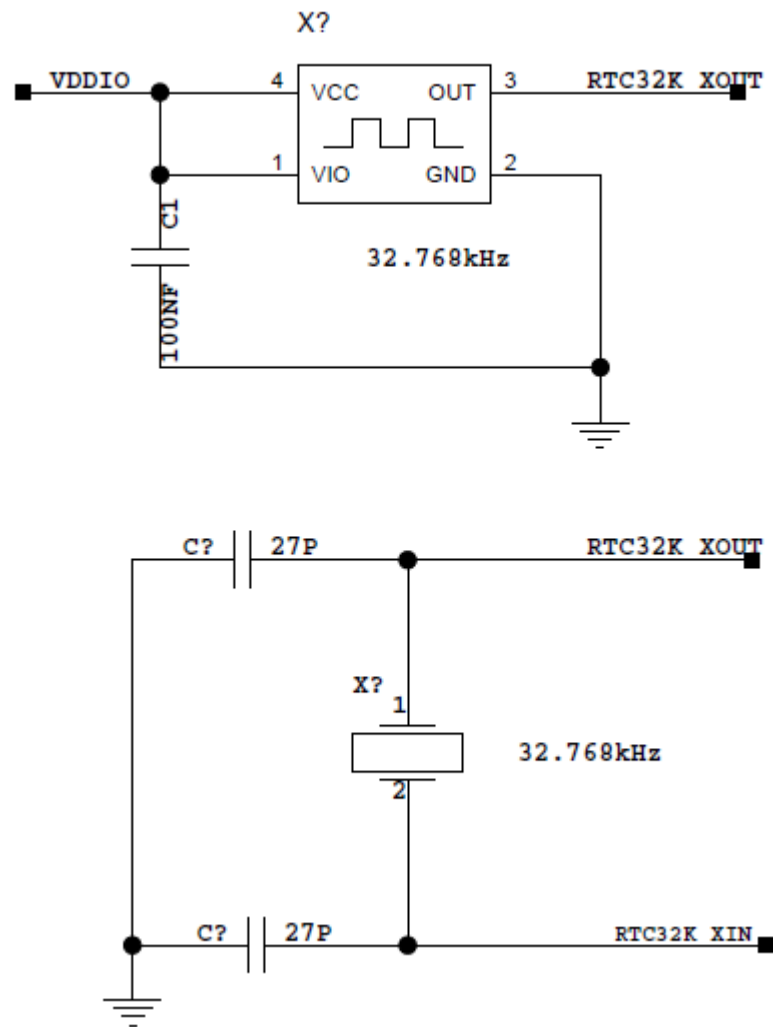
参数	RTC时钟	单位
时钟频率	32.768	kHz
负载电容	12.5	pF



参数	RTC时钟	单位
频率误差	≤±50	ppm
串联电阻	≤70	kΩ
驱动电平	≥0.5	μW

RTC参考电路设计如图3-3所示，上方为有源晶振的参考设计，VCC供电电平为VDDIO；下方为无源晶体的参考设计。

图 3-3 RTC 时钟参考电路图



3.1.2 复位和 Watchdog 电路

Hi3861V100/Hi3861LV100/Hi3881V100集成内部 POR（Power On Reset）电路以及 Watchdog。单板复位通过PMU_PWRON掉电实现。



3.1.3 JTAG Debug 接口

Hi3861V100/Hi3861LV100/Hi3881V100 JTAG接口符合IEEE1149.1标准。PC可通过此接口连接Realview-ICE仿真器调试 CPU。JTAG Debug接口信号描述如表3-5所示。

表 3-5 JTAG Debug 接口信号

信号名	信号描述
TCK	JTAG时钟输入，单板下拉1kΩ到地。
TDI	JTAG数据输入。单板上拉4.7kΩ到VDDIO。
TMS	JTAG模式选择输入，单板上拉4.7kΩ到VDDIO。
TRSTN	JTAG复位输入，正常工作单板下拉1kΩ到地。如果通过JTAG口连接Realview-ICE等调试仿真器，建议上拉4.7kΩ到VDDIO。
TDO	JTAG数据输出，直连。

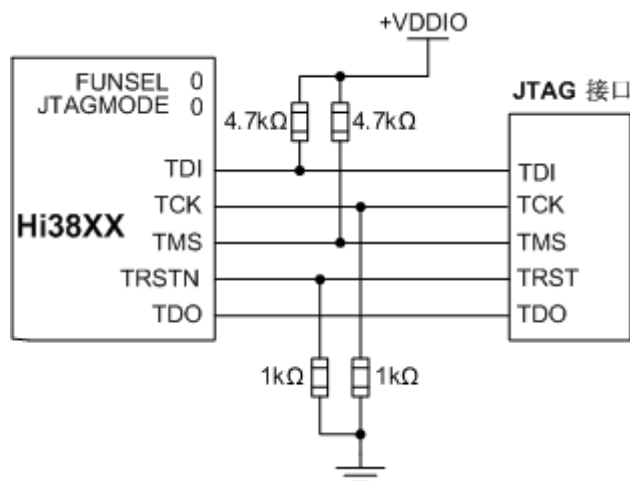
Hi3861V100/Hi3861LV100/Hi3881V100可以通过JTAG_ENABLE上拉到高电平使能JTAG功能，然后通过JTAG_MODE管脚选择正常和测试两种工作模式，具体说明如表3-6所示。

表 3-6 JTAG_MODE 模式说明

JTAG_MODE	模式说明
0	正常工作模式，可通过JTAG对软件进行调试。
1	DFT测试模式，可进行芯片DFT测试和板级互连测试。

JTAG连接方式及标准连接器管脚定义如图3-4所示。

图 3-4 JTAG 连接方式及标准连接器管脚定义





3.1.4 硬件初始化系统配置电路

Hi3861V100/Hi3861LV100/Hi3881V100内部集成自研CPU。

- 支持SPI Flash启动模式
- 支持24MHz/40MHz时钟输入
- 支持JTAG使能和不同的模式选择
- 支持BUCK1.3V和LDO1.3V两种输出模式

因此，在Hi3861V100/Hi3861LV100/Hi3881V100硬件初始化的过程中需要根据不同的需求进行硬件配置。单板上通过上、下拉电阻实现。

硬件配置信号描述如表3-7所示。

表 3-7 硬件配置字信号描述

信号描述	低电平	高电平	备注
REFCLK_FREQ_STAUTUS	40MHz	24MHz	默认下拉，如果外部上拉，电平是VDDIO
JTAG_ENABLE	普通IO	JTAG使能	默认下拉，如果外部上拉，电平是VDDIO
JTAG_MODE	正常功能模式	DFT测试模式	默认下拉，如果外部上拉，电平是VDDIO
VDD_PMU_LX	Buck输出	内部LDO输出	默认下拉，如果外部上拉，电平是VDDIO

3.2 电源参考设计

说明

系统电源的设计，详细请参见Hi3861V100/Hi3861LV100/Hi3881V100 DEMO板原理图。

3.2.1 电源规格

Hi3861V100&Hi3861LV100&Hi3881V100需要的外部电源包括：

- 电池电源VBAT
- IO电源VDDIO

芯片内部主要集成了BUCK和多个低压差线性稳压器（LDO）：

- BUCK：作为一个中间的电源平面给多个LDO提供电源。
- LDO：分为给数字提供电源的LDO和低噪声LDO。
- PMU内部有一个BUCK提供1.3V电源

推荐工作条件如表3-8所示。



表 3-8 推荐工作条件

符号	参数说明	最小值 (V)	典型值 (V)	最大值 (V)
VDD_PMU_VBAT1、 VDD_PMU_VBAT2	供电电源，由外部电源提供	2.3	3.3	3.6
VDDIO1、 VDDIO2	IO电源，由外部电源提供	1.71	1.8/3.3	3.6
VDD_BUCK_1P3、 VDD_PMU_1P3	1.3V电源，由外部电源或者内部BUCK电源提供	1.1	1.3	1.5
VDD_PMU_C LDO	内部LDO电源，外接1uF滤波电容	-	1.0	-
VDD_PMU_R FLDO1	内部LDO电源，输出提供给VDD_WL_RF_LNA_1P2、 VDD_WL_RF_TRX_1P2	-	1.15	-
VDD_WL_RF_VCO_1P2	内部RF_VCO电源，外接1uF滤波电容	-	1.15	-

1P3 电源的产生方式有2种：

- 一种是通过内部DC-DC产生
- 一种是通过内部LDO方式产生

表 3-9 内部 DC-DC 产生的 1P3 电源外围器件要求

器件名称	大小
电感	2.2μH
电容	4.7μF，耐压值≥4V

表 3-10 LDO 方式产生的 1P3 电源外围器件要求

器件名称	大小
电容	2.2μF，耐压值≥4V
电阻	0Ω，上拉到VBAT

判断采用DC-DC方式还是LDO方式的条件为：BUCK_LX 是否上下拉。



- 上拉表示进入LDO模式
- 下拉表示BUCK模式

参考如表3-11所示。

表 3-11 判断采用 DC-DC 方式还是 LDO 方式

时钟频率	BUCK_LX	备注
DCDC模式	0	默认内部下拉
LDO模式	1	0Ω电阻上拉到VBAT

3.2.2 VBAT 电源

Hi3861V100/Hi3861LV100/Hi3881V100包含2个VBAT电源输入管脚：

- VDD_PMU_VBAT1：BUCK的输入电源。
- VDD_PMU_VBAT2：VBATD-LDO和XLDO输入电源。

VBAT支持2.3~3.6V输入，VBAT电源可以由外部PMU芯片或者外部BUCK电路生成提供。

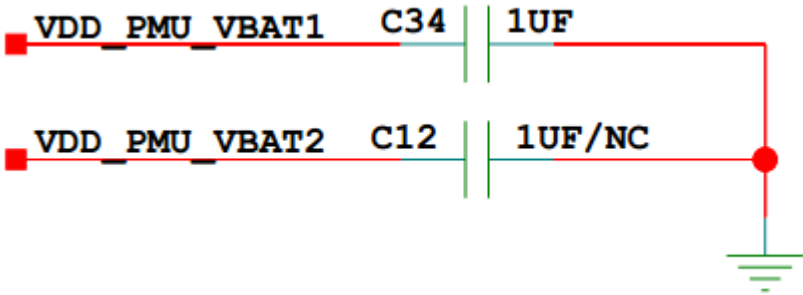
TX功率输出功率需满足：2.3V相对3.3V同等EVM情况下，输出功率会变化，变化幅度根据不同目标功率和速率会有不同。以11n_MCS7_HT20为例，常温下当3.3v下目标功率为15dBm时，电压降低到2.3V左右输出会降低1~1.5dB左右。

3.2.2.1 VBAT 参考电路

VBAT给芯片提供工作电源，VDD_PMU_VBAT1和VDD_PMU_VBAT2每个输入管脚各放一个电容用于储能滤波。参考电路图如图3-5所示。

名称	设计建议
VDD_PMU_VBAT1	外接1μF电容，耐压值≥6.3V
VDD_PMU_VBAT2	外接1μF电容（预留），耐压值≥6.3V

图 3-5 Hi3861V100/Hi3861LV100/Hi3881V100 VBAT 输入电路





3.2.2.2 VBAT 输入电源要求

Hi3861V100/Hi3861LV100/Hi3881V100的VBAT输入电源要求如下：

- 要求电源噪声峰峰值在 $\pm 3\%$ 以内。
- 选择合适的电感和输出滤波电容，能够更有效抑制纹波和谐波干扰。

3.2.3 VDDIO 电源

Hi3861V100/Hi3861LV100/Hi3881V100包含2个VDDIO电源输入管脚：

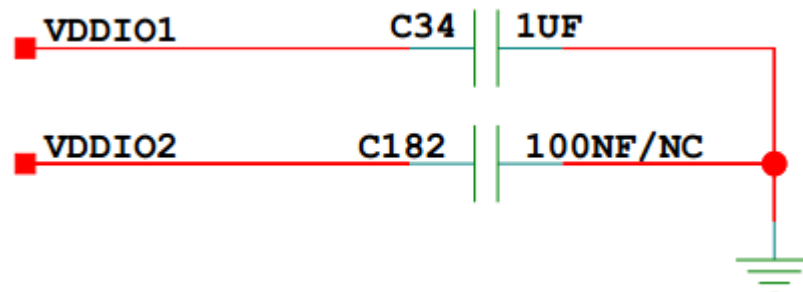
- VDDIO1
- VDDIO2

支持1.8V/VBAT电压，推荐设计建议如表3-12所示，参考电路图如图3-6所示。

表 3-12 VDDIO 电源设计建议

名称	设计建议
VDDIO1	外接1 μ F电容，耐压值 $\geq 6.3\text{V}$
VDDIO2	外接100nF（预留），耐压值 $\geq 6.3\text{V}$

图 3-6 VDDIO 输入电路



3.2.4 内部电源滤波电路

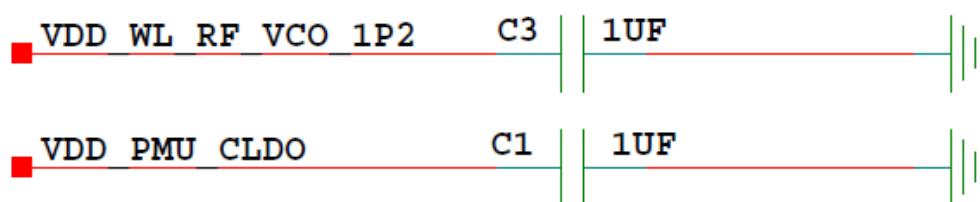
内部电源中的VDD_PMU_CLDO、VDD_WL_RF_VCO_1P2需要外接滤波电容，推荐设计建议如表3-13所示，参考电路图如图3-7所示。

表 3-13 内部电源滤波电路设计建议

名称	设计建议
VDD_PMU_CLDO	芯片内置LDO输出，给DBB部分组件供电，外接1 μ F滤波电容。
VDD_WL_RF_VCO_1P2	RF VCO 1.15V，内部LDO供电，需外接1 μ F滤波电容。



图 3-7 内部电源滤波电路



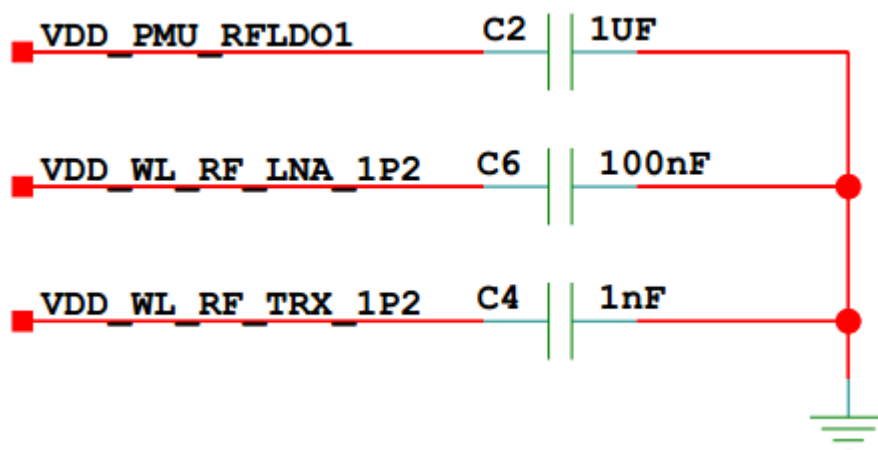
3.2.5 RFLDO1

RFLDO1电源由Hi3861V100/Hi3861LV100/Hi3881V100 管脚VDD_PMU_RFLDO1输出，输出滤波电容1 μ F。RFLDO1给2个管脚供电，分别是VDD_WL_RF_LNA_1P2 和 VDD_WL_RF_TRX_1P2，推荐设计建议如表3-14所示，参考电路见图3-8所示。

表 3-14 RFLDO1 电源设计建议

名称	说明
VDD_PMU_RFLDO1	RFLDO1输出，外接1 μ F滤波电容。
VDD_WL_RF_LNA_1P2	RFLDO1输入，两层板外接100nF滤波电容，四层板可以预留电容位，调试该电容可以改善辐射杂散
VDD_WL_RF_TRX_1P2	RFLDO1输入，两层板外接1nF滤波电容，四层板可以预留电容位，调试该电容可以改善辐射杂散

图 3-8 RFLDO1 参考电路



3.2.6 BUCK/LDO 电源

Hi3861V100/Hi3861LV100/Hi3881V100包含2个1P3电源输入管脚：



- VDD_BUCK_1P3
- VDD_PMU_1P3

该1P3电源可以由内部BUCK生成或由内部LDO电源提供。

表 3-15 BUCK 电源设计建议

名称	说明
PMU_BUCK_LX	BUCK LX输出，外接2.2μH电感。
VDD_BUCK_1P3	电压输入，给CLDO等供电，外接4.7μF电容。
VDD_PMU_1P3	给芯片内部RFLDO供电，外接1μF电容（预留）。

内部BUCK由VDD_PMU_VBAT1提供输入电压，由PMU_BUCK_LX输出开关信号，因此需要外接电感和输出电容：

- 推荐电感规格请参见关键器件兼容性列表

参考电路图如图3-9所示。

图 3-9 内置 BUCK 参考电路

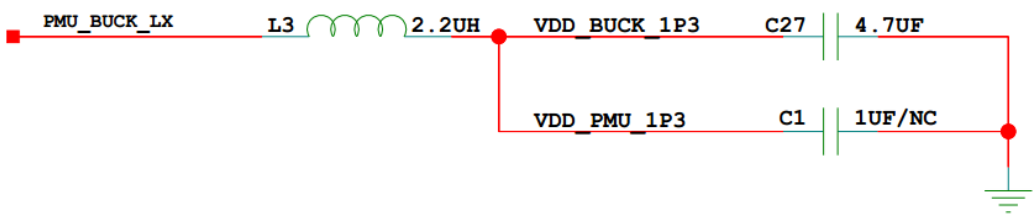
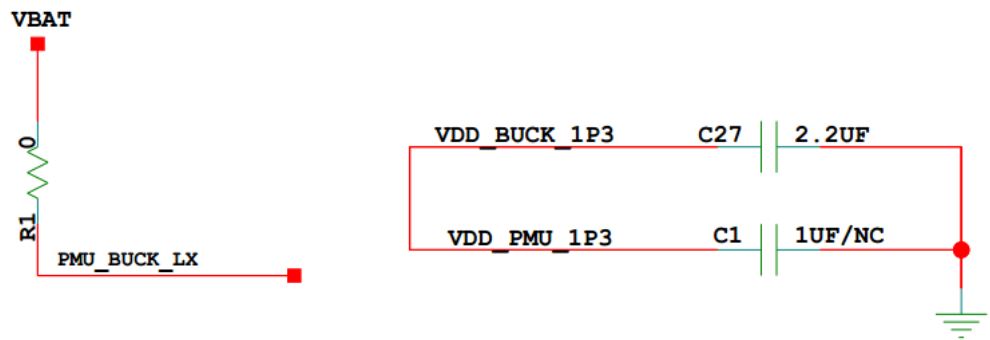


表 3-16 LDO 电源设计建议

名称	说明
PMU_BUCK_LX	0Ω上拉到VBAT，配置成LDO模式
VDD_BUCK_1P3	给CLDO等供电并输出给VDD_PMU_1P3，外接2.2μF电容。
VDD_PMU_1P3	给芯片内部RFLDO供电，外接1μF电容（预留）。



图 3-10 内置 LDO 参考电路



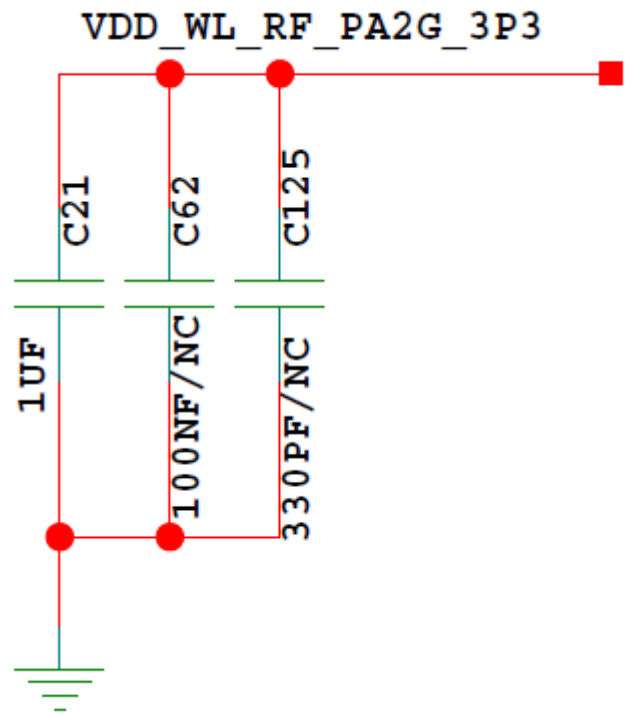
3.2.7 PA 供电

外部提供给VDD_WL_RF_PA2G_3P3供电，可与VBAT电源接在一起，设计建议如表 3-17所示，参考电路图如图3-11所示。

表 3-17 PA 供电设计建议

名称	设计建议
VDD_WL_RF_P A2G_3P3	VBAT供电，外接1μF、100nF（预留）、330pF（预留）（靠近芯片从小到大排列）。空间不足时可以只加一个1uF电容

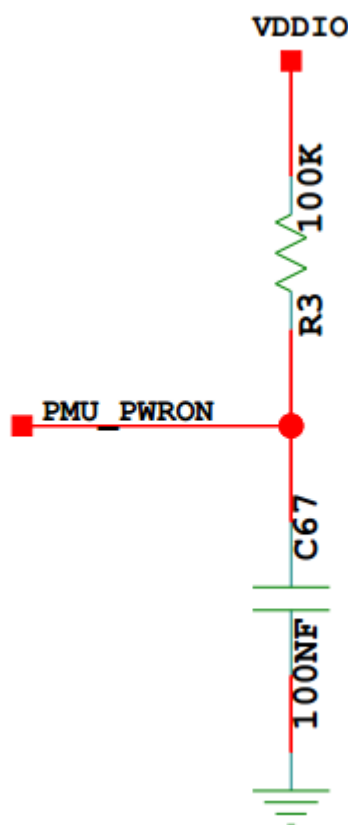
图 3-11 PA 供电电路设计参考





3.2.8 注意事项

1、PMU_PWRON为上电使能管脚，该管脚上电必须要晚于VBAT和VDDIO 1ms以后上电。建议在PMU_PWRON保留RC延时电路。R=100K Ω ，C=100nF。对于Hi3881V100而言，PMU_PWRON由HOST控制,正常情况下HOST启动的时间远远> 1ms，对应的R、C可以预留不上件。



2、在内部LDO模式输出下VDD_BUCK_1P3的滤波电容必须 $\geq 2.2\mu\text{F}$ ，如果电容焊接不良或者电容太小会导致软件异常报错。

3.3 外围接口设计建议

3.3.1 SDIO 接口参考设计

Hi3861V100/Hi3861LV100/Hi3881V100通过SDIO与Host通信。SDIO电平支持1.8V和3.3V，要求Host端也必须是1.8V或3.3V电平。否则两者之间需要增加电平转换器件，选用的电平转换芯片需要符合SDIO速率（50MHz）的传输要求。设计建议如表3-18所示。



表 3-18 SDIO 接口设计建议

信号	上下拉	VDDIO	连接方式（2/4层板设计）
SDIO_CLK	NA	3.3/1.8	Hi3861L&Hi3861: 四层板: 终端串33Ω电阻, 走线≤5inch, 芯片端预留一个10pf电容 两层板: 终端串50Ω电阻, 走线≤5inch, 芯片端预留一个10pf电容 Hi3881: 四层板: 终端串33Ω电阻, 走线≤5inch, 芯片端预留一个10pf电容 两层板: 终端串50Ω电阻, 走线≤5inch, 芯片端预留一个10pf电容
SDIO_CMD	NA	3.3/1.8	Hi3861L&Hi3861: 四层板: 终端串33/0Ω电阻, 走线≤5inch 两层板: 终端串75/0Ω电阻, 走线≤5inch Hi3881: 四层板: 终端串33Ω电阻, 走线≤5inch 两层板: 终端串75Ω电阻, 走线≤5inch
SDIO_D0 SDIO_D1 SDIO_D2 SDIO_D3	芯片内置 20KΩ上拉, 建议单板预 留一个上拉 电阻位用于 调试	3.3/1.8	Hi3861L&Hi3861: 四层板: 终端串33/0Ω电阻, 走线≤5inch 两层板: 终端串75/0Ω电阻, 走线≤5inch Hi3881: 四层板: 终端串33Ω电阻, 走线≤5inch 两层板: 终端串75Ω电阻, 走线≤5inch

3.3.2 UART 接口参考设计

Hi3861V100/Hi3861LV100支持三组UART信号, Hi3881V100只支持一个UART0, UART0用于Hi3861V100/Hi3861LV100/Hi3881V100维测打印。UART1和UART2用于与其他设备对接, 管脚电平与VDDIO保持一致。设计建议如表3-19所示。

表 3-19 UART 接口设计建议

名称	设计建议
UART0_LOG_RX D	直连, 走线≤5inch。



名称	设计建议
UART0_LOG_TX D	直连，走线≤5inch。
UART1_TXD / UART2_TXD	直连，走线≤5inch。
UART1_RXD / UART2_RXD	直连，走线≤5inch。
UART1_RTS / UART2_RTS	直连，走线≤5inch。
UART1_CTS / UART2_CTS	直连，走线≤5inch。

3.3.3 PWM 接口参考设计

Hi3861V100/Hi3861LV100支持6个PWM接口信号输出，输出电平与VDDIO电平保持一致,占空比输出范围（1/65535到1）。设计建议如表3-20所示。

表 3-20 PWM 接口设计建议

名称	设计建议
PWM0_OUT	直连，走线≤5inch。
PWM1_OUT	直连，走线≤5inch。
PWM2_OUT	直连，走线≤5inch。
PWM3_OUT	直连，走线≤5inch。
PWM4_OUT	直连，走线≤5inch。
PWM5_OUT	直连，走线≤5inch。

3.3.4 I2S 接口参考设计

Hi3861V100/Hi3861LV100支持一个I2S接口，输入输出电平应与VDDIO电平保持一致。设计建议如表3-21所示。

表 3-21 I2S 接口设计建议

名称	设计建议
I2S0_MCK	直连，包地处理。
I2S0_TX	直连。
I2S0_RX	直连。



名称	设计建议
I2S0_CLK	直连，包地处理。
I2S0_WS	直连，包地处理。

3.3.5 SPI 接口参考设计

Hi3861V100/Hi3861LV100支持两个SPI接口，输入输出电平应与VDDIO电平保持一致。设计建议如表3-22所示。

表 3-22 SPI 接口设计建议

名称	设计建议
SPI0_CS1 / SPI1_CS1	直连，走线≤5inch。
SPI0_CLK / SPI1_CLK	两层板，走线≤5inch，芯片端串接一个50Ω电阻，单根走线包地处理。 四层板，VDDIO=1.8V，走线≤5inch，芯片端串接一个33Ω电阻，单根走线包地处理。 四层板，VDDIO=3.3V，走线≤5inch，芯片端串接一个50Ω电阻，单根走线包地处理。
SPI0_RXD / SPI1_RXD SPI0_TXD / SPI1_TXD	两层板，走线≤5inch，串接一个75Ω电阻，单根走线包地处理。 四层板，走线≤5inch，串接一个0/33Ω电阻，单根走线包地处理。

3.3.6 I2C 接口参考设计

Hi3861V100/Hi3861LV100支持两个I2C接口，输入输出电平应与VDDIO电平保持一致。设计建议如表3-23所示。

表 3-23 I2C 接口设计建议

名称	设计建议
I2C0_SCL / I2C1_SCL	直连，走线≤5inch，上拉2.2KΩ电阻到VDDIO。
I2C0_SDA / I2C1_SDA	直连，走线≤5inch，上拉2.2KΩ电阻到VDDIO。



3.3.7 ADC 接口参考设计

Hi3861V100/Hi3861LV100支持7个ADC接口，ADC电压输入范围0~3.6V。设计建议如表3-24所示。ADC输入信号可以通过UART0串口读出信号电平的大小。

表 3-24 ADC 接口设计建议

名称	设计建议
ADC0	直连，走线≤5inch。
ADC1	直连，走线≤5inch。
ADC2	直连，走线≤5inch。
ADC3	直连，走线≤5inch。
ADC4	直连，走线≤5inch。
ADC5	直连，走线≤5inch。
ADC6	直连，走线≤5inch。

3.3.8 PTA 接口设计

Hi3861V100/Hi3861LV100支持1个PTA（包流量仲裁）接口，用于WIFI和BT的共存管理如图3-12，输入输出电平应与VDDIO电平保持一致。设计建议如表3-25所示。

PTA介于WIFI MAC和BT之间，接受WIFI MAC和BT的TX/RX请求和状态输入，并且输出仲裁结果给WIFI 和BT，除此之外，PTA还有个输出引脚coex_switch用于切换天线。

图 3-12 PTA 接口设计原理框图

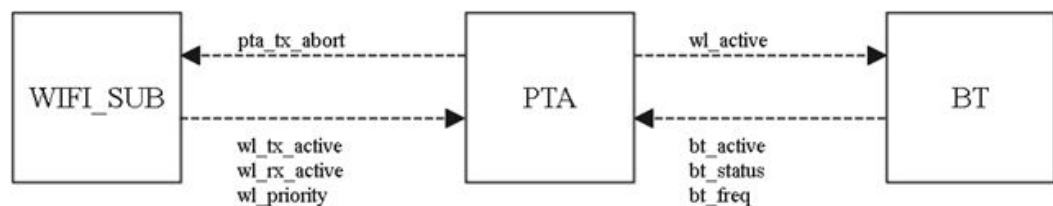


表 3-25 PTA 接口设计建议

名称	设计建议
BT_FREQ	直连，走线≤5inch。
BT_STATUS	直连，走线≤5inch。
COEX_SWITCH	直连，走线≤5inch。
BT_ACTIVE	直连，走线≤5inch。



名称	设计建议
WLAN_ACTIVE	直连，走线≤5inch。

3.3.9 超低功耗接口设计

Hi3861V100/Hi3861LV100支持4个超低功耗接口，输入电平应与VDDIO电平保持一致。设计建议如表3-26所示。

表 3-26 超低功耗接口设计建议

名称	设计建议
GPIO_03	直连，走线≤5inch，上升沿有效，可以通过GPIO实现，也可以通过外部按键实现。
GPIO_05	直连，走线≤5inch，上升沿有效。可以通过GPIO实现，也可以通过外部按键实现。
GPIO_07	直连，走线≤5inch，上升沿有效。可以通过GPIO实现，也可以通过外部按键实现。
GPIO_14	直连，走线≤5inch，上升沿有效。可以通过GPIO实现，也可以通过外部按键实现。

3.4 控制信号及低功耗应用参考设计

Hi3861V100/Hi3861LV100/Hi3881V100包含多种控制信号，包括：

- 全局控制信号：PMU_PWRON。
- 唤醒信号：WL_HOST_WAKE

以上控制信号必须连接到Host。

表 3-27 控制信号及低功耗应用参考设计建议

名称	设计建议
PMU_PWRON	上电使能，拉低复位。上拉100KΩ到VDDIO,100nF电容接地，与Host芯片直连。
WL_HOST_WAKE	HOST连接GPIO_02，用作SDIO数据中断和WIFI唤醒HOST。
RTC32K_XOUT	外接32.768KHz晶体时的时钟输出，或者外灌32.768KHz时钟输入。
RTC32K_XIN	外接32.768KHz晶体时的时钟输入。

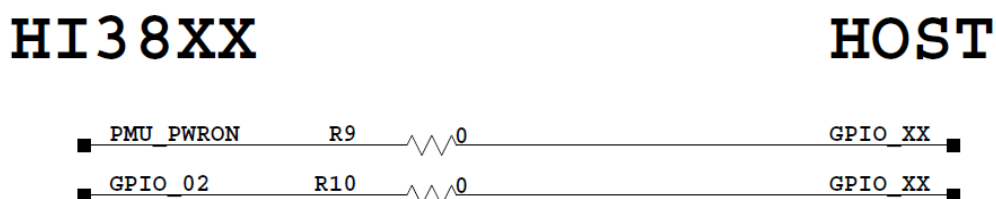


如果需要低功耗应用，则必须考虑以下设计要求：

- VBAT、VDDIO必须常供电，进入系统待机模式不可关闭。
- 只有Hi3861L支持外部RTC时钟输入，具体规格要求请参见[3.1.1.2 RTC时钟](#)。
- PMU_PWRON、GPIO02必须连接到HOST常供电的GPIO。

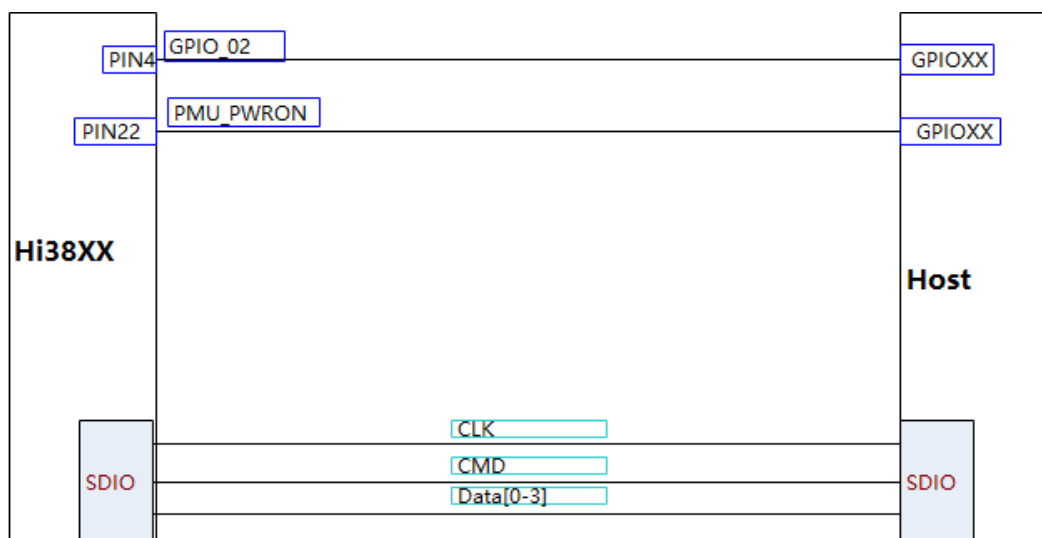
控制信号连接的参考电路图如[图3-13](#)所示。

图 3-13 控制信号参考电路图



低功耗应用系统连接参考框图如[图3-14](#)所示。

图 3-14 低功耗应用系统连接参考框图



低功耗应用系统功能说明：

- GPIO_02：连接Host，作为SDIO数据中断和WIFI唤醒HOST使用。
- PMU_PWRON：连接Host，控制Device上下电，需连接RC延时电路参考[3.2.8 注意事项](#)。



4 PCB 设计建议

- 4.1 叠层和布局
- 4.2 Fanout封装设计建议
- 4.3 PCB布局
- 4.4 电源
- 4.5 RF布线指导
- 4.6 CMU布线指导
- 4.7 DBB布线指导
- 4.8 SDIO接口布线指导
- 4.9 GND布线指导
- 4.10 强电接口设计（可选）

4.1 叠层和布局

Hi3861V100/Hi3861LV100/Hi3881V100封装大小，QFN32 5x5mm，PCB支持2/4层板，支持器件单面贴设计。

- 两层板分层设计建议
 - TOP层：信号走线，信号线和电源线尽量走TOP层；
 - BOTTOM层：地平面层，尽量保持地平面的完整。
- 四层板分层设计建议
 - TOP层：信号走线，信号线尽量走TOP层；
 - 内一层：地平面层，保持一个完整的地平面层；
 - 内二层：电源平面层，电源走线尽量走第三层，且电源之间需要用地隔开；
 - BOTTOM 层：可以走少量的信号线，尽量保持BOTTOM层为一个完整的地平面层

PCB设计注意事项：

- 推荐PCB板厚：On Board方案一般 $\geq 1\text{mm}$ ，防止翘曲，过孔10/22 mil。



- PCB 典型材料 FR4，表层铜箔厚度建议为 1.2mil (0.5 oz+plating)，PCB 板厚度一般 $\geq 1.0\text{mm}$ ，典型值为 1.2 mm 可 选 用 1.0mm。

常用的叠层设计和阻抗控制可参考表4-1、表4-3参考叠层信息

表 4-1 2 层板 1.0mm 参考叠层信息

层标识	设计要求(oz/mil)		PCB厂家设计调整(oz/mil)	
	层叠图示	介质厚度	介质厚度	层叠图示
Art 1	0.5oz+plating		0.5oz+plating	
	CORE	XX	36.00	CORE
Art 2	0.5oz+plating		0.5oz+plating	
	设计板厚:		1.0	(mm)
	厂家理论板厚:		1+/-0.1	(mm)

表 4-2 单线线宽、阻抗、参考层控制信息参考

层标识	设计线宽	设计阻抗	调整线宽	调整阻抗	参考层
Art 1	5/19/5 (到地距离/线宽/到地距离)	50+/-10 %	5.25/18.5/5.25 (到地距离/线宽/到地距离)	50+/-10%	2

注：线宽的计量单位为mil，阻抗的计量单位为 Ω 。

表 4-3 4 层板 1.2mm 参考叠层信息参考

层标识	层叠图示	RC	设计厚度(μm)	PCB板厂调整厚度(μm)	厂内控制公差(μm)
阻焊	-	-	-	20	20+/-15
Art01	-	-	1/2oz+plating	40	40+/-15
	PP_7628	50%	208	215	215+/-20
Art02	-	-	30	30	30+/-5
	core (exclude copper)	-	600	600	600+/-64
Art03	-	-	30	30	30+/-5
	PP_7628	50%	208	214	214+/-20



层标识	层叠图示	RC	设计厚度(μm)	PCB板厂调整厚度(μm)	厂内控制公差(μm)
Art04	-	-	1/2oz+plating	40	40+/-15
阻焊	-	-	-	20	20+/-15
板厚	-	-	1.2+/-0.12mm	1.2+/-0.12mm	-

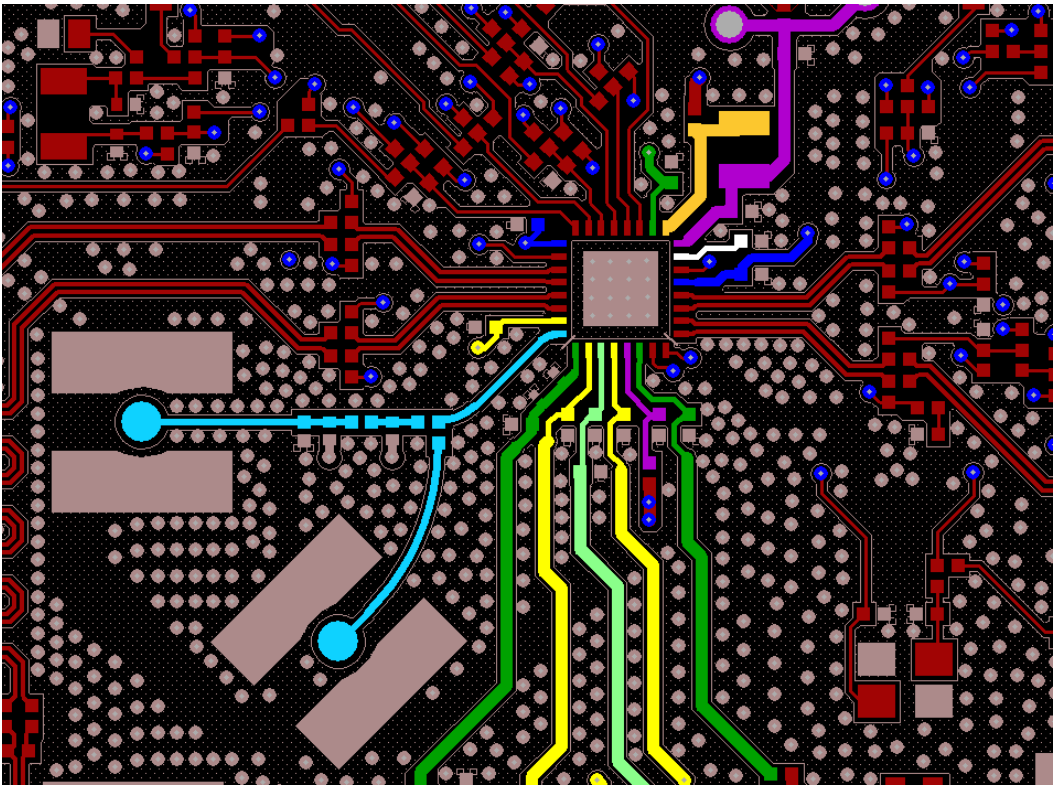
表 4-4 单线线宽、阻抗、参考层控制信息

信号层	接地层	阻抗目标	阻抗公差	设计线宽 (mil)	距铜 (mil)
L1	L1&L2	50Ω	10%	11	6

4.2 Fanout 封装设计建议

Hi3861V100/Hi3861LV100/Hi3881V100 四层板Fanout如图4-1所示。

图 4-1 PCB 四层板 Fanout 参考设计



其中：



- 黄色: VDD_WL_RF_LNA_1P2, VDD_WL_RF_TRX_1P2, VDD_PMU_RFLDO1
- 绿色: VDD_WL_RF_PA2G_3P3, VDD_PMU_VBAT1, VDD_PMU_VBAT2
- 蓝色: VDDIO1, VDDIO2
- 紫色: VDD_BUCK_1P3, VDD_PMU_1P3
- 白色: VDD_PMU_CLDO
- 橙色: PMU_BUCK_LX
- 淡蓝色: RF
- 浅绿色: VDD_WL_RF_VCO_1P2

4.3 PCB 布局

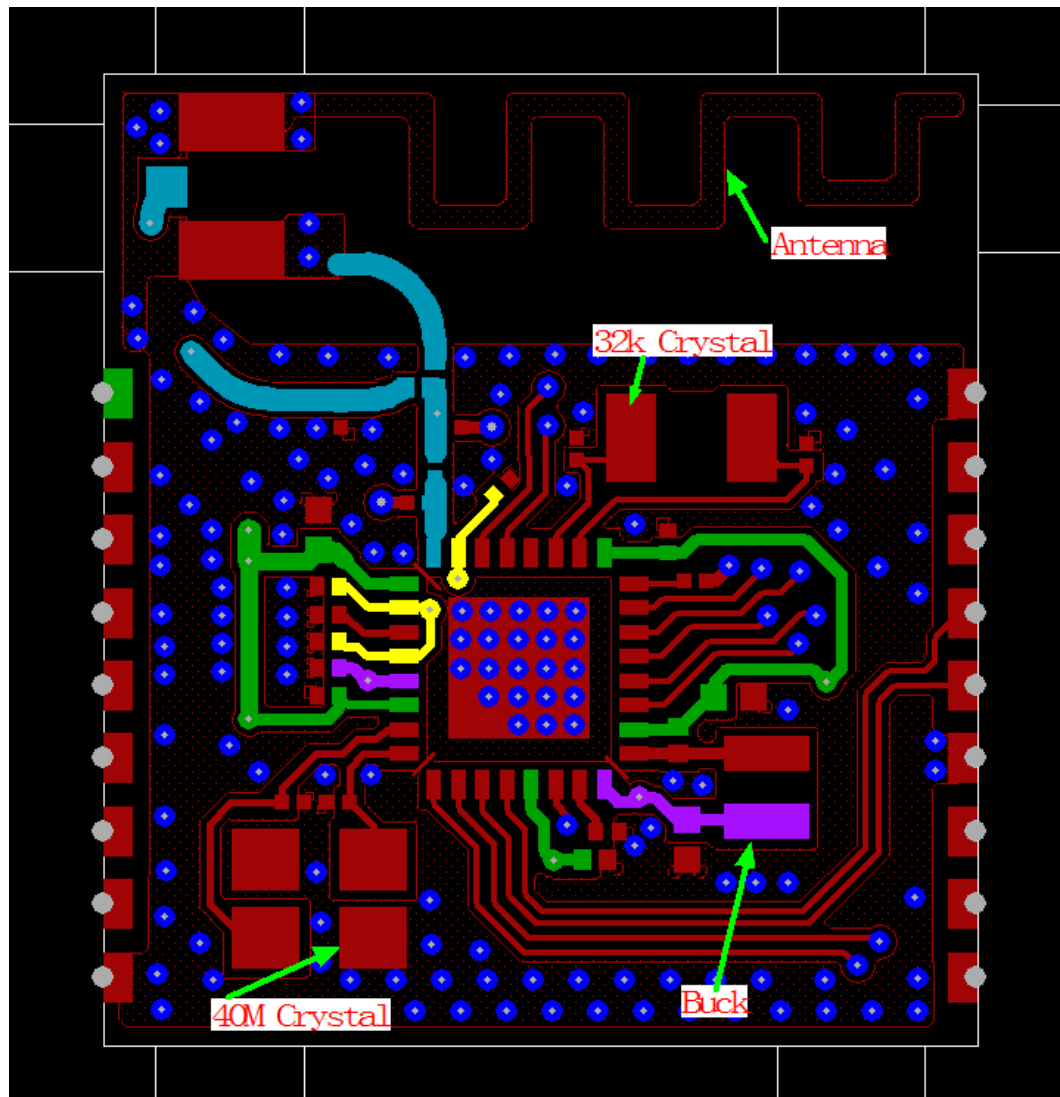
Hi3861V100/Hi3861LV100/Hi3881V100应用支持On Board和模组两种方案。

- On Board方案
 - 支持2层板设计
 - 贴片器件建议为0201封装 (inch)
- SDIO模组
 - 建议用4层板
 - 贴片器件建议用0201封装 (inch) ,目前市面上主流的模组大小为12x12mm
- 机顶盒用户
 - On Board可双面贴片, 空间允许的情况下可以选择0402封装
 - 可以直接选择模组方案
- IPC用户

考虑小型化, 一般直接选用模组。
- IOT产品
 - 对成本比较敏感, PCB建议用两层板
 - 考虑到板子空间比较小, 建议用0201单面贴。

PCB设计以 IOT产品两层板和SDIO模组四层板为例, 参考设计如[图4-2](#)、[图4-3](#)所示。

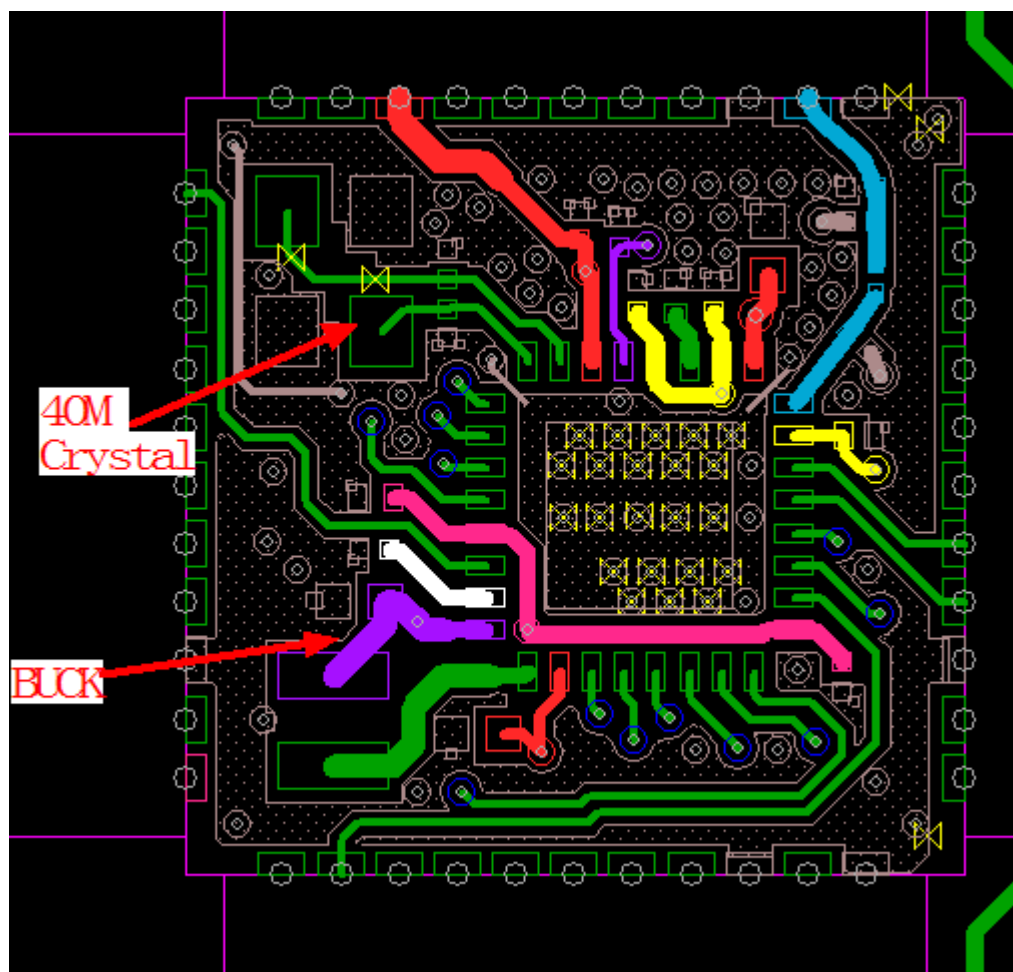
图 4-2 IOT 产品 PCB 布局参考 1



其中:

- 黄色: VDD_WL_RF_LNA_1P2, VDD_WL_RF_TRX_1P2, VDD_PMU_RFLDO1
- 绿色: VDD_WL_RF_PA2G_3P3, VDD_PMU_VBAT1, VDD_PMU_VBAT2, VDDIO1, VDDIO2; 因VDDIO=3.3V所以将VBAT与VDDIO连接到同一个网络。
- 紫色: VDD_BUCK_1P3, VDD_PMU_1P3
- 淡蓝色: RF

图 4-3 SDIO 模组 PCB 布局参考 2



其中：

- 黄色：VDD_WL_RF_LNA_1P2, VDD_WL_RF_TRX_1P2, VDD_PMU_RFLDO1
- 红色：VDD_WL_RF_PA2G_3P3, VDD_PMU_VBAT1, VDD_PMU_VBAT2
- 紫色：VDD_BUCK_1P3, VDD_PMU_1P3
- 粉红色：VDDIO1, VDDIO2
- 白色：VDD_PMU_CLDO
- 淡蓝色：RF
- 注意事项：通常RF器件布局比较紧凑这样会导致RF接地电容的两个过孔靠的较近，这样会影响到RF的谐波抑制性能，建议两个接地电容分布在RF走线的两边，这样可以提高RF电路的谐波抑制效果。

4.4 电源

4.4.1 VBAT 布线指导

VBAT布线建议如下：

- VDD_PMU_VBAT1电流400mA，基于100mA/4mil原则，VBAT1电源走线线宽需 $\geq 16\text{mil}$ 。滤波电容 $1\mu\text{F}$ 需要靠近管脚放置。
- VDD_PMU_VBAT2电流500mA，基于100mA/4mil原则，VBAT2电源走线线宽需 $\geq 20\text{mil}$ 。滤波电容 $1\mu\text{F}$ 需要靠近管脚放置，且电源走线须先经过滤波电容再到芯片的电源管脚。
- VDD_PMU_CLDO滤波电容靠近管脚放置，走线线宽建议 $\geq 8\text{mil}$ 。

VABT电源走线（绿色）、VDD_PMU_VBAT1及VDD_PMU_VBAT2上的滤波电容摆放位置如图4-4所示。

图 4-4 四层板 VBAT 布线参考

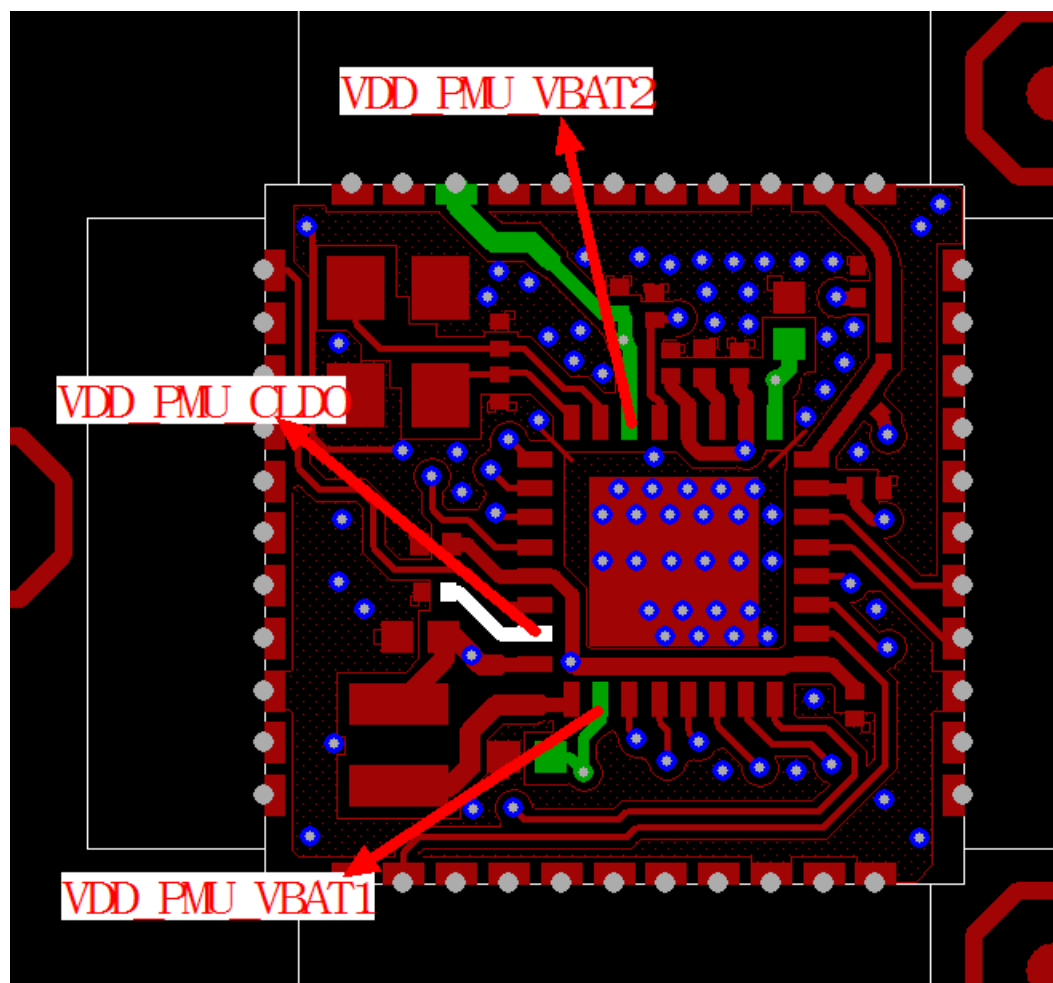
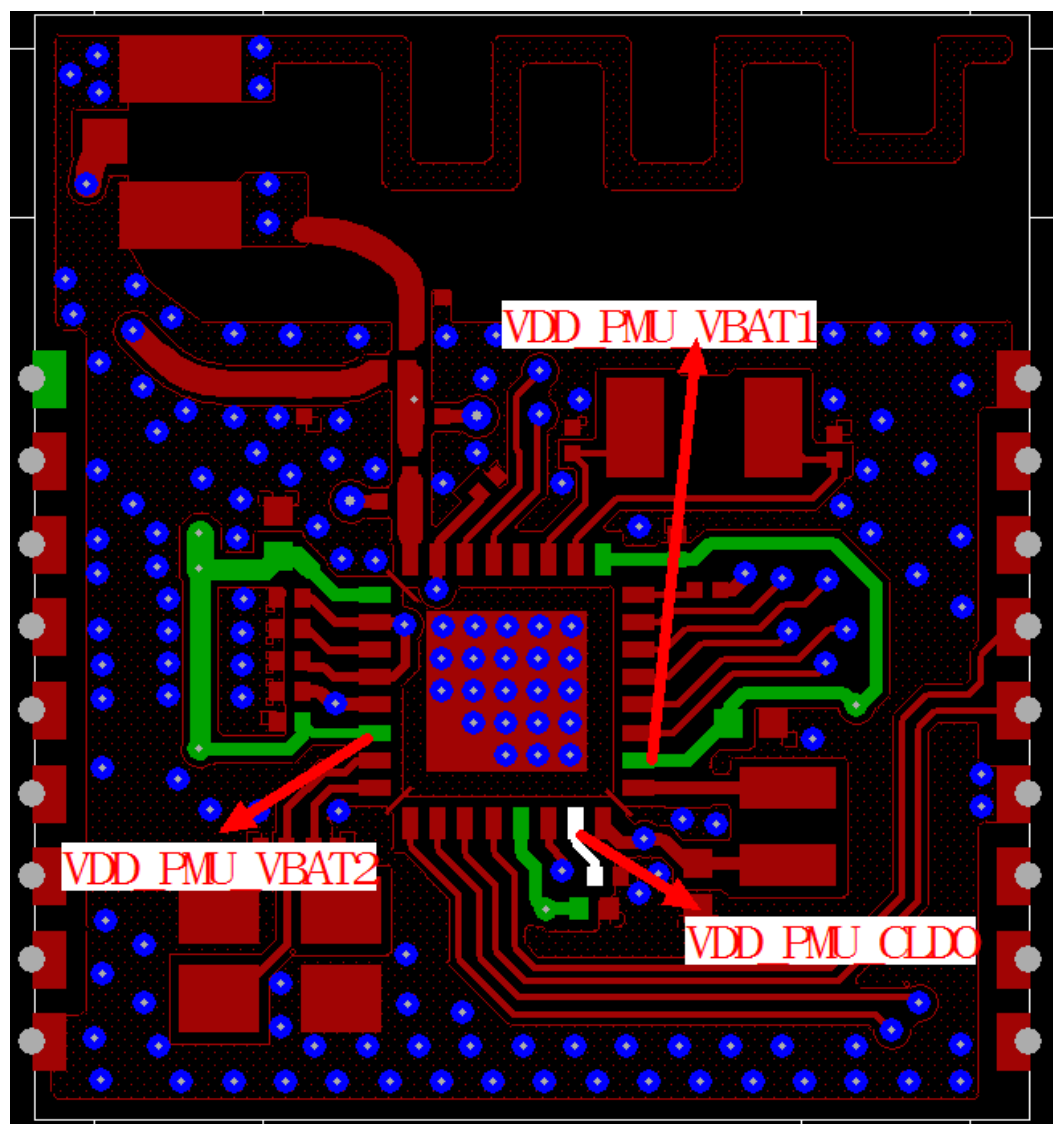


图 4-5 两层板 VBAT 布线参考



4.4.2 BUCK 布线指导

BUCK的输出、BUCK电感、滤波电容及地形成的最短回流通路十分重要。该环路中包含大量高频开关电流成分，因此PCB走线时应该最小化环路面积。BUCK回流环路面积越大，磁场辐射越强，这将成为噪声扩散的主要来源。

BUCK与RF正好在芯片的对角处，主要为了避免BUCK的电源噪声影响RF（左下方）和模拟部分，因此布局时外接功率电感尽量远离Hi3861V100/Hi3861LV100/Hi3881V100的RF和模拟部分，以减少BUCK对射频性能的影响。

PCB走线约束如下：

- PMU_BUCK_LX：是强干扰源，需要与其他敏感信号保持距离，输出电流200mA，线宽需要 $\geq 10\text{mil}$ ，且能够尽量包地处理，包地线尽量粗且多打地孔。
- VDD_BUCK_1P3：BUCK输出反馈给芯片内部CLDO输入，单独走线接入芯片，电流100mA，线宽需要 $\geq 10\text{mil}$ ，滤波电容 $4.7\mu\text{F}$ 靠近管脚放置。走线源头从1P3的输出电容上取电。走线两端尽量包地处理，包地线尽量粗且多打地孔。

- VDD_PMU_1P3: BUCK输入给芯片内部RFLDO供电, 电流100mA, 线宽需要 $\geq 10\text{mil}$, 滤波电容 $1\mu\text{F}$ 靠近管脚放置。走线源头从1P3的输出电容上取电。走线两端尽量包地处理, 包地线尽量粗且多打地孔, 背面走线远离芯片Epad, 请勿割裂参考地平面。

图 4-6 四层板 BUCK 走线参考

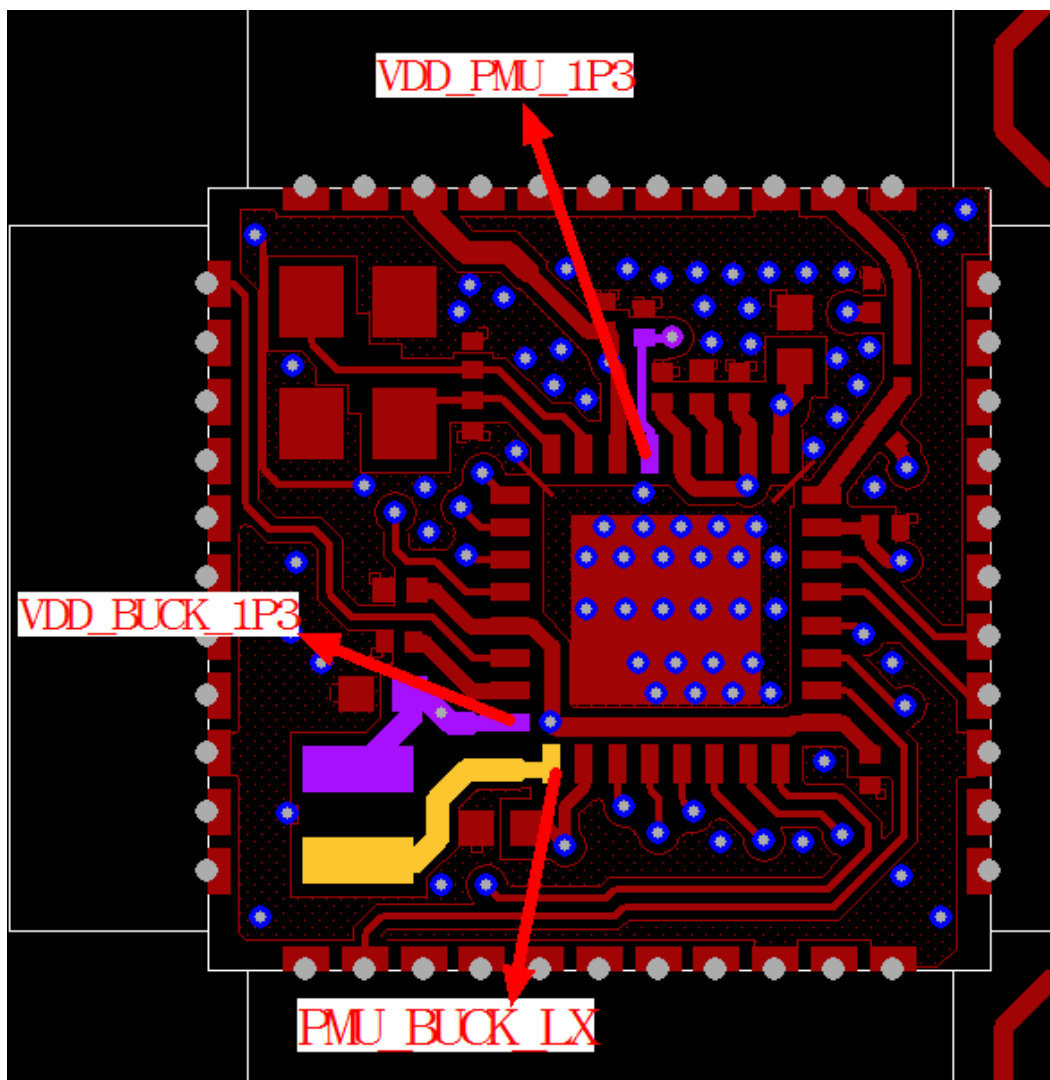
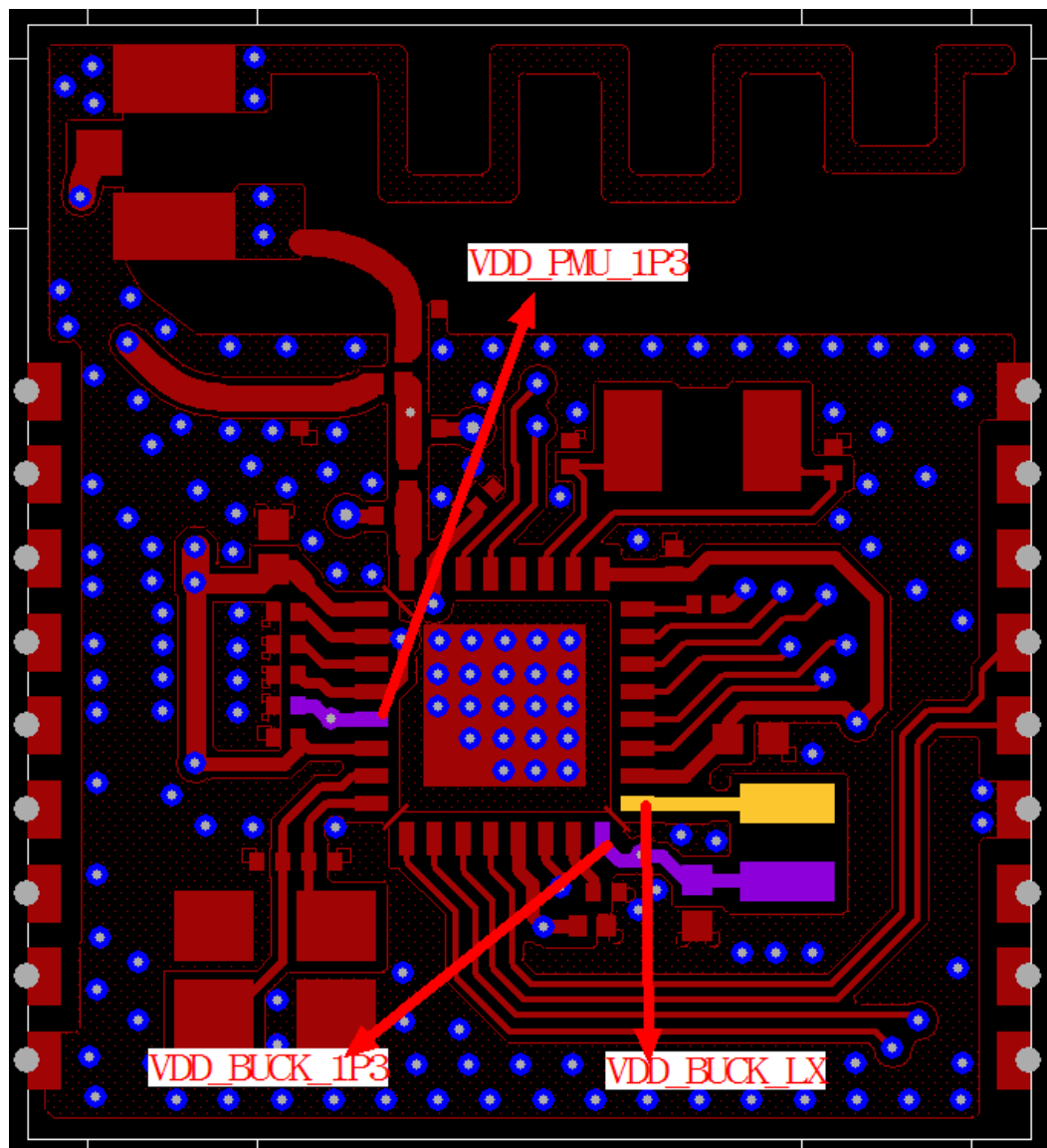


图 4-7 两层板 BUCK 走线参考



4.5 RF 布线指导

RF布线建议如下：

- RFLDO1电源走线支持串行走线，但星型走线可以带来更好的性能，下图黄色走线即为星形走线。
- VDD_WL_RF_VCO_1P2外接一个1UF的电容，给芯片内部的RFLDO2滤波。
- VDD_PMU_RFLDO1是芯片内部LDO输出，输出1.15V给RF供电，150mA，线宽需要 $\geq 8\text{mil}$ 。
- VDD_WL_RF_PA2G_3P3给WiFi的PA供电，可以直接连接到VBAT；滤波电容靠芯片管脚放置。
- PA电源滤波电容放置以及出线不要有过孔，建议与芯片同层出线布局，避免过孔带来寄生参数。走线压降要求 $< 30\text{mV}$ 。电流400mA，线宽需要 $\geq 16\text{mil}$ 。

- VDD_WL_RF_LNA_1P2是给LNA供电的电源，走线要避免RF信号干扰。
- VDD_PMU_RFLDO1、VDD_WL_RF_TRX_1P2、VDD_WL_RF_LNA_1P2、VDD_WL_RF_PA2G_3P3电源走线间尽量错开，避免相互间干扰。
- WiFi RF前端匹配电路尽量靠近芯片放置，ESD防护电感可以靠近天线端。
- RF信号线走线尽量短，控制阻抗50Ω，2层板采用共面波导设计，走线两边包地多打地孔。
- RF射频线远离高速时钟线和电源线，保持射频走线参考面完整；如果射频线参考面被分割，需要通过0Ω电阻跨接保持连通性。
- 射频走线的参考地与芯片主地须保持良好连通，地回路不好的情况下，射频性能会恶化。芯片EPAD需要从两个脚拉出与外部的地连接保持连接。
- RF匹配滤波电路的π型滤波电路的电容需要单点接地不能直接接在TOP层，需要打一个过孔连接到BOTTOM层，如果是多层板过孔不与中间层的地相连，过孔在中间层需要跟TOP层一样做禁空处理。这样处理之后的过孔在RF频率上过孔相当于一个小电感与电容一起组成一个LC电路，起到抑制谐波辐射的目的。前面PCB布局有提到这两个过孔的位置不能太近最好能分布在RF线的两边。

图 4-8 四层板 RFLDO1 及 RF 走线布线参考

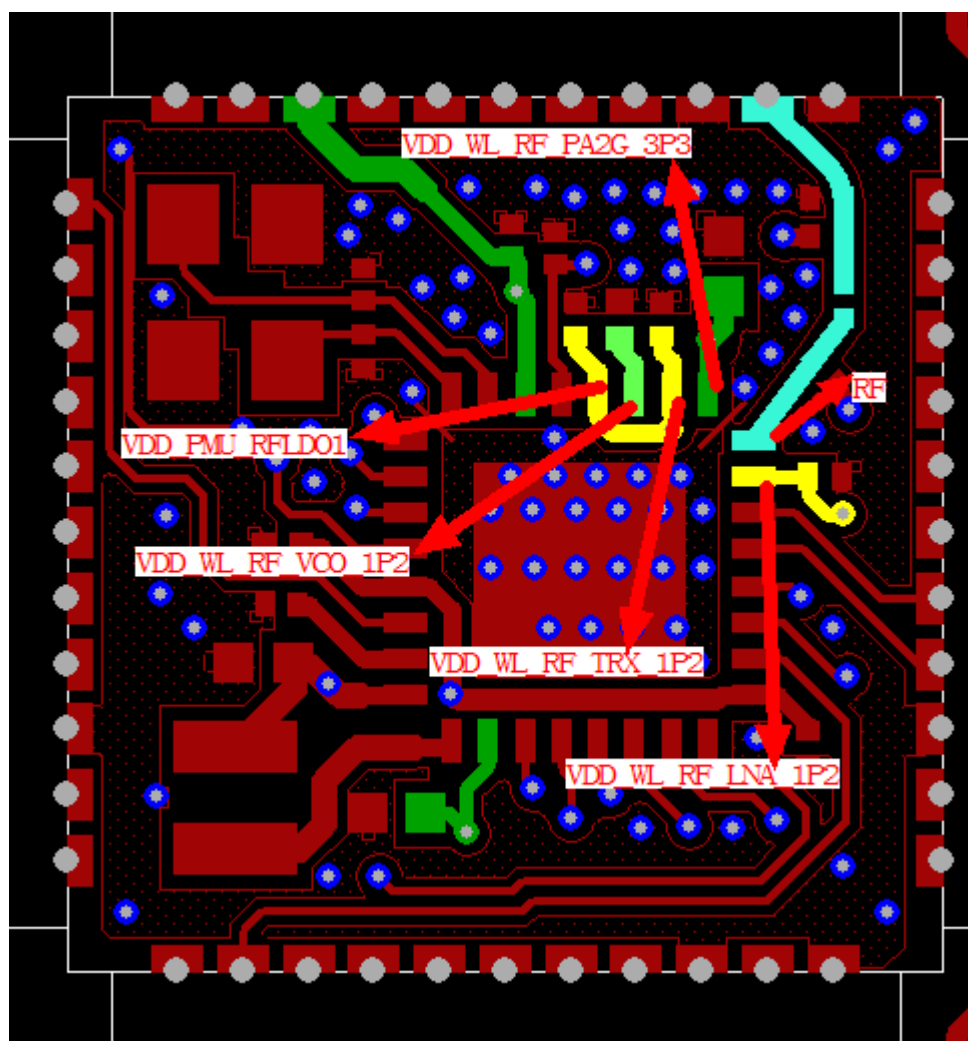
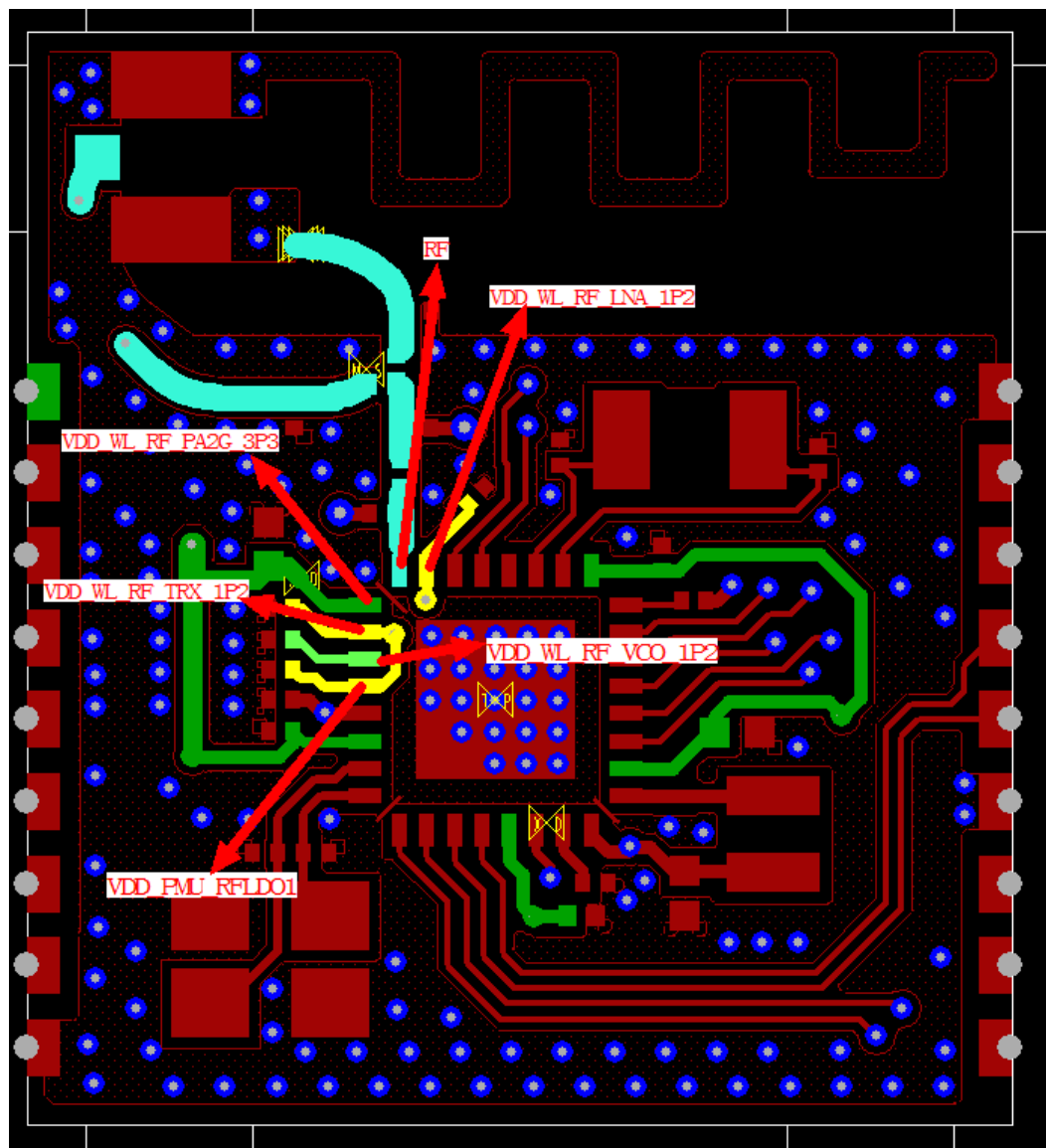


图 4-9 两层板 RFLDO1 及 RF 走线布线参考



4.6 CMU 布线指导

CMU（时钟管理单元）布线建议如下：

- WiFi系统对时钟要求很高，晶体布局以及XIN和XOUT走线须远离噪声源（RF和BUCK）和热源，避免噪声干扰引起系统相噪变差，或者热源辐射引起晶体温漂。
- PCB空间比较小的时候，晶体与RF的空间距离比较小，时钟可能会耦合RF干扰到芯片内部，建议在XIN走线靠近芯片端串接一个0Ω电阻用于调试。
- PCB为4层板时，晶体的GND pad建议在TOP层和其他地分割，通过过孔连接到主地，防止单板上的器件发热影响时钟精度；信号pad下面挖空到主地层，减小pad的寄生电容。
- XIN/XOUT走线尽量短，建议能够包地处理，包地线尽量粗且多打地孔。
- 如果是On Board设计且是双面贴，可以考虑将晶体放到BOTTOM层，XIN/XOUT在靠近芯片管脚处打过孔上来连接到芯片。

- XIN/XOUT与VBAT之间用地过孔分隔开。

CMU布局及布线参考如图4-10所示。

图 4-10 四层板 CMU 布线参考

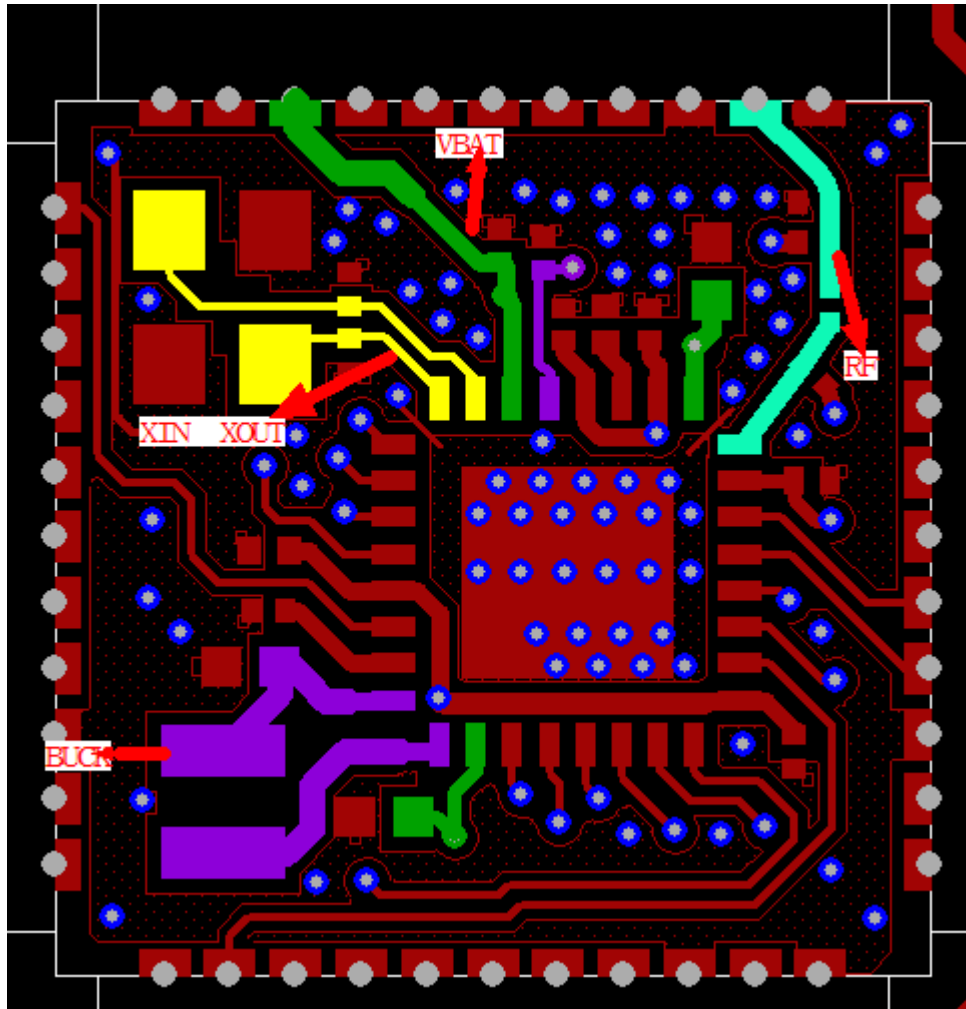
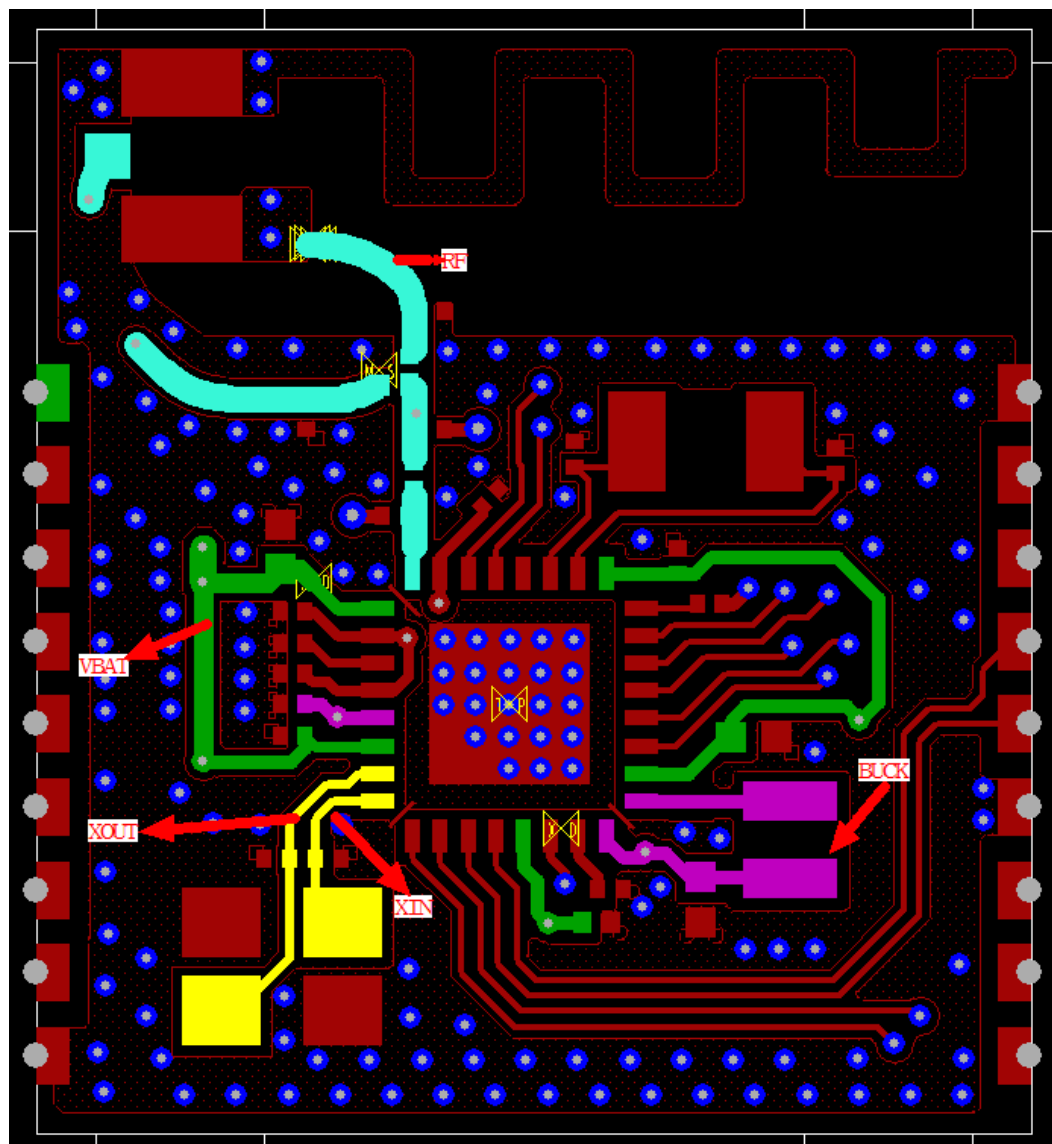


图 4-11 两层板 CMU 布线参考



4.7 DBB 布线指导

DBB（数字基带）布线建议如下：

- VDDIO电源滤波电容尽量靠近管脚放置。
- 数字信号设计规则相对宽松，仅需避开敏感电源、RF和模拟部分。
- RTC时钟布局远离RF和模拟部分，RTC_CLK走线按照包地处理，包地线尽可能多打孔。

4.8 SDIO 接口布线指导

接口布线建议如下：



- SDIO最高支持50MHz，要求布局布线远离敏感电源、RF和模拟部分，且走线线长尽可能短不要超过5inch。
- SDIO走线线距严格按照3W原则，即信号与信号线之间保持3倍线宽，避免信号间的串扰；SDIO_CLK信号包地处理，包地线尽量粗且走线两侧多打地孔。
- SDIO_CLK靠近芯片端预留一个10pf电容用于抑制辐射信号。
- SDIO_DATA（0~3）预留上拉电阻的一端直接接到信号线上，另一端连接到VDDIO。这样可以减少信号的反射。

4.9 GND 布线指导

除接地管脚外，Hi3861V100/Hi3861LV100/Hi3881V100还需要将Epad焊盘接地。

GND布线建议如下：

- 参考地平面尽量完整，2层板设计时背面走线不要割裂参考地平面，尽量使得每个接地管脚、电容接地都能够和芯片Epad以及系统主地有良好的地回路。
- Epad焊盘上打通孔，孔中心距一般约23~40 mil，一般情况下建议28mil。



图 4-12 两层板 Epad 布线参考 (Top 层)

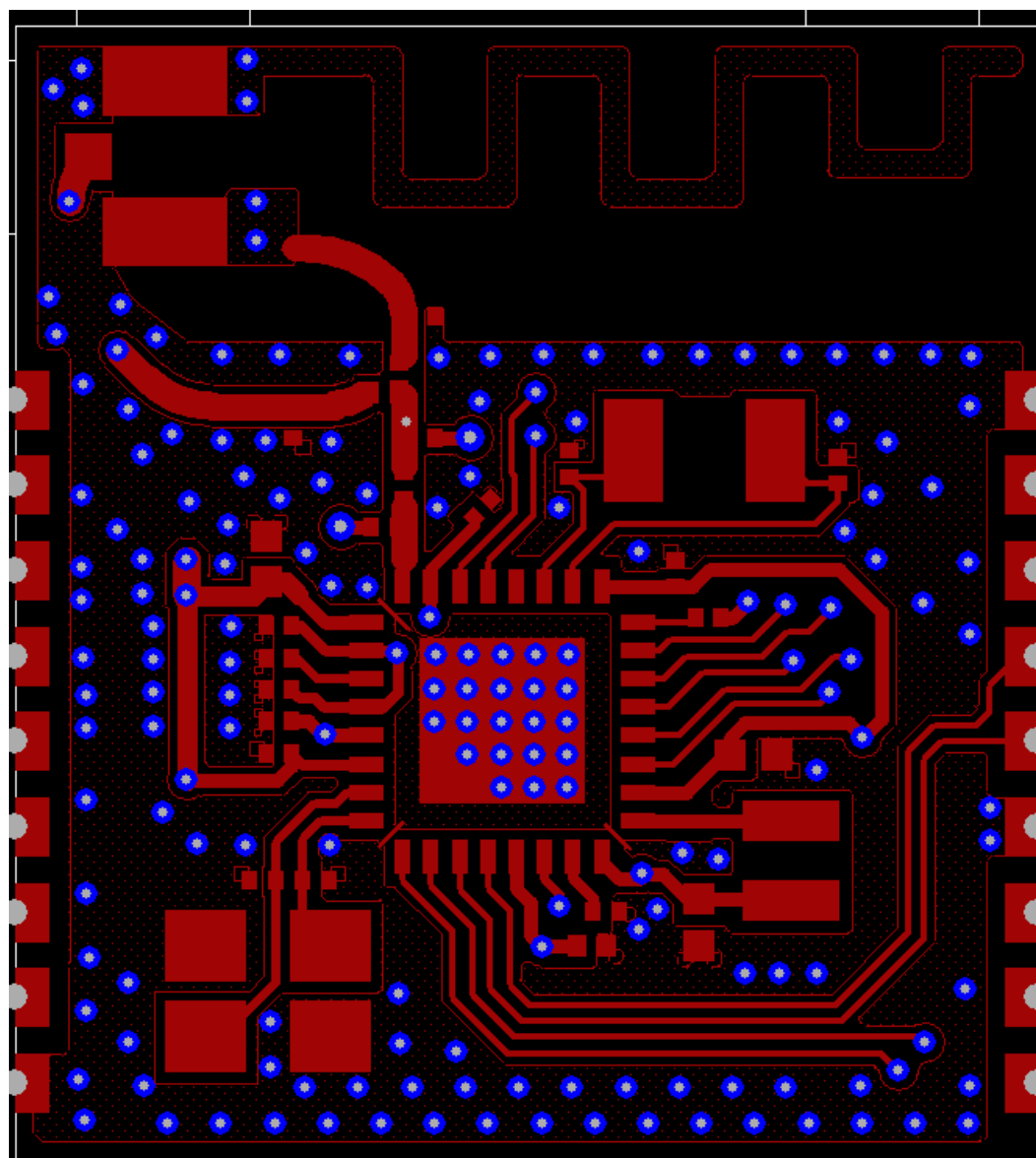
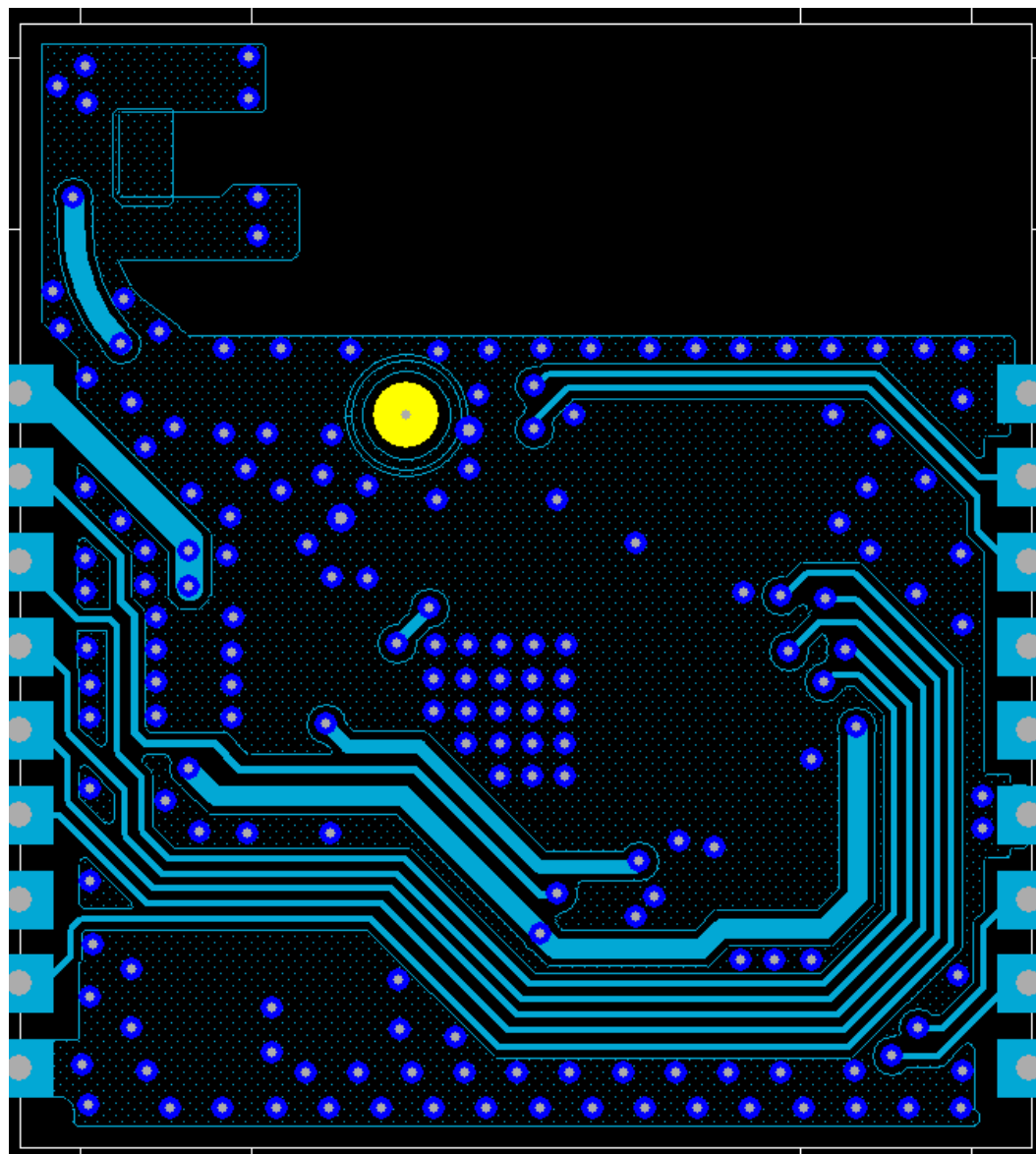


图 4-13 两层板 Epad 布线参考 (Bottom 层)



4.10 强电接口设计 (可选)

4.10.1 电源设计

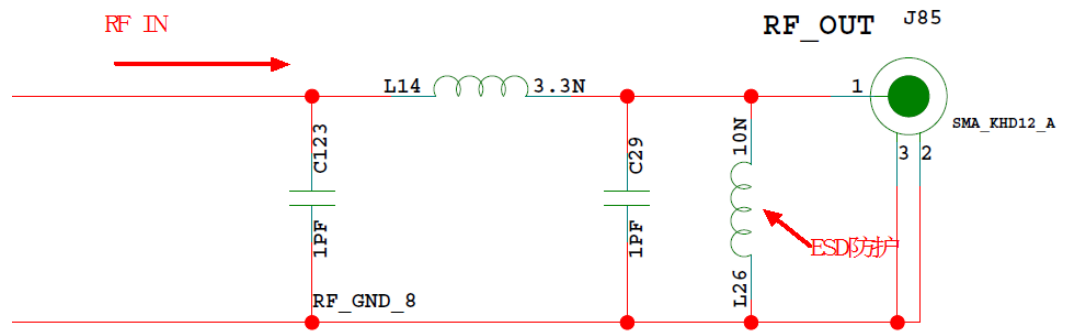
无

4.10.2 安全规范

RF连接天线的位置预留一个10nH电感，用于增强ESD防护能力到 $\geq 4\text{KV}$ ，如果需要ESD防护能力到8KV以上需要加TVS管。



图 4-14 ESD 防护参考电路图





5 热设计建议

- 5.1 工作条件
- 5.2 散热设计参考
- 5.3 电路热设计参考

5.1 工作条件

须知

- 芯片的极限结温的最大值为125℃，任何条件下芯片的结温都不能大于该数值。
- 芯片的长期工作结温的最大值为105℃，正常工作条件下芯片的结温应该小于该数值。
- 在短期工作条件下，芯片可以容忍超过105℃（长期工作结温的最大值）而小于125℃（极限结温的最大值）的高温，但长时间工作在超过105℃（长期工作结温的最大值）结温下会导致芯片寿命缩减。
- 根据GR-63-CORE标准，短期工作条件定义为每次持续时间不超过96小时，并且每年累计时间不超过15天。

表 5-1 芯片的结温要求

封装形式	正常工作结温下限(℃)	长期工作最大结温(℃)	短期工作上限结温(℃)	破坏性最大结温(℃)	生命周期定义
QFN	-40	105	125	125	5年



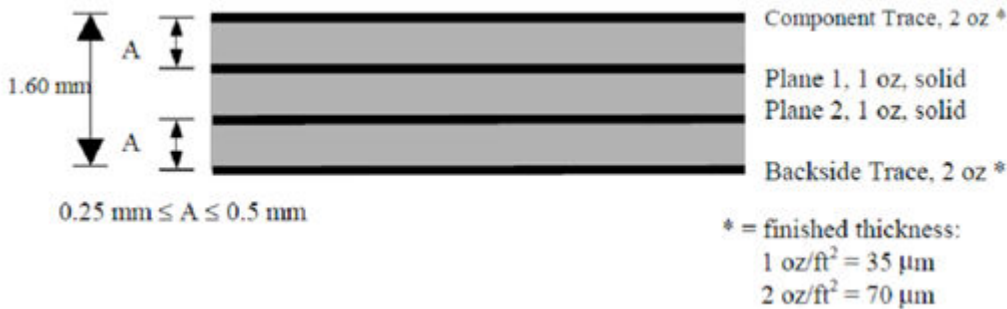
表 5-2 芯片的封装热阻

参数	符号	Hi3881	Hi3861/ Hi3861L	单位
Junction-to-ambient thermal resistance	θ_{JA}	59.9	59.1	°C/W
Junction-to-case thermal resistance	θ_{JC}	37.2	35.7	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	35.4	34.7	°C/W

备注：热阻基于JEDEC JESD51-2标准给出，应用时的系统设计及环境可能与JEDEC JESD51-2标准不同，需要根据应用条件作出分析。

上述封装热阻参数仿真环境是JEDEC标准的4层PCB，如图5-1所示。

图 5-1 JEDEC 标准的 4 层 PCB 参数



5.2 散热设计参考

无

5.3 电路热设计参考

5.3.1 器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和散热效率。
- 合理设计结构，保证产品内部与外界有热交换途径。
- 对单板关键发热器件充分进行极端应用场景的温升测试，确保器件在安全的温度范围内长期可靠工作。



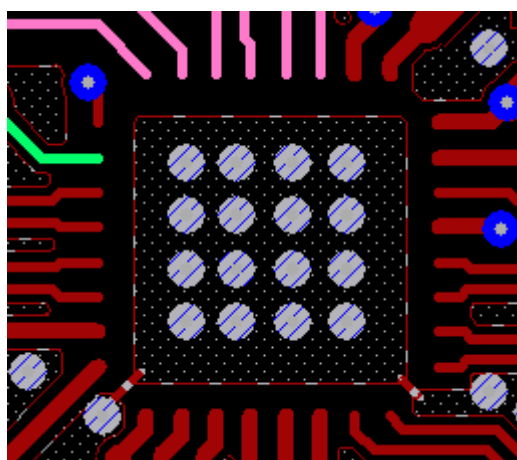
- 必要时，关键发热器件可以增加散热片，进一步提升散热效果。

5.3.2 PCB

走线热设计建议如下：

- 芯片底下的过孔采用FULL孔连接，而不是普通的花孔连接，以提高单板散热效率。
- 在热量大的器件正下方和周边尽量增大铜皮面积，特别是双面PCB单板，发热器件背面的地平面尽量减少分割，完整地平面能够有效分散热量，提高整体散热效果。另外，如果结构允许，将芯片正背面附近地平面进行亮铜处理，也能够进一步提升散热效果。

图 5-2 EPAD 散热地孔设计





6 焊接工艺

6.1 概述

6.2 无铅回流焊工艺参数要求

6.3 混合回流焊工艺参数要求

6.1 概述

【目的】Objective

本章规定了客户端在用海思芯片SMT时各温区温度基本设置。

【适用范围】Scope

海思芯片产品。

【基本信息】Basic information

海思提供给客户端的产品均为RoHS产品（HixxxxRBCVxxx中R表示为RoHS），即均是Lead-free（无铅）产品；本章主要介绍客户端在使用海思芯片做回流焊时工艺控制：主要是无铅工艺和混合工艺两类。

【回流焊工艺控制】Reflow Chart

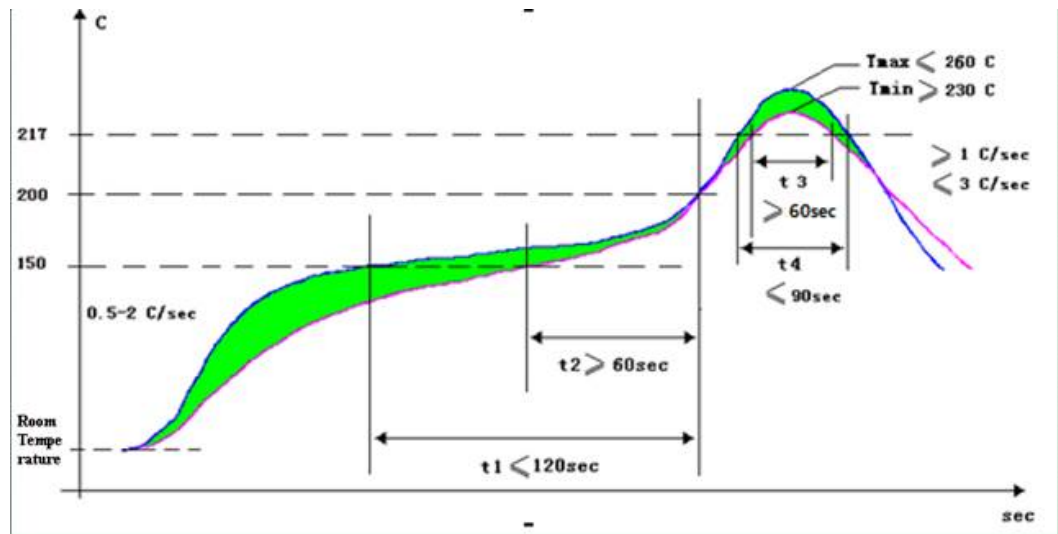
定义说明：

- 海思芯片：海思给客户的芯片均为ROHS产品，均满足无铅要求。
- 无铅工艺：所有器件(主板/所有IC/电容电阻等)均为无铅器件，并使用无铅锡膏的纯无铅工艺。

6.2 无铅回流焊工艺参数要求

无铅回流焊接工艺曲线如[图6-1](#)所示。

图 6-1 无铅回流焊接工艺曲线



无铅回流焊工艺参数如表6-1所示。

表 6-1 无铅回流焊工艺参数

区域	时间	升温速率	峰值温度	降温速率
预热区（40 ~ 150℃）	60 ~ 150s	≤2.0℃/s	-	-
均温区（150 ~ 200℃）	60 ~ 120s	<1.0℃/s	-	-
回流区（>217℃）	60 ~ 90s	-	230-260 °C	-
冷却区（Tmax ~ 180℃）	-	-	-	1.0℃/s≤Slope≤4.0℃/s

说明：

- 预热区：温度由40℃ ~ 150℃，温度上升速率控制在2℃/s左右，该温区时间为60 ~ 150s。
- 均温区：温度由150℃ ~ 200℃，稳定缓慢升温，温度上升速率小于1℃/s，且该区域时间控制在60~120s（注意：该区域一定缓慢受热，否则易导致焊接不良）。
- 回流区：温度由217℃ ~ Tmax ~ 217℃，整个区间时间控制在60 ~ 90s。
- 冷却区：温度由Tmax ~ 180℃，温度下降速率最大不能超过4℃/s。
- 温度从室温25℃升温到250℃时间不应该超过6分钟。
- 该回流焊曲线仅为推荐值，客户端需根据实际生产情况做相应调整。
- 回流时间以60 ~ 90s为目标，对于一些热容较大无法满足时间要求的单板可将回流时间放宽至120s。封装体耐温标准参考IPC/JEDEC J-STD-020D标准，封装体测温方法参考JEP 140标准。



IPC/JEDEC J-STD-020D标准，封装体测温方法按照JEP 140标准要求：IPC/JEDEC 020D中的无铅器件封装体耐温标准如表6-2所示。

表 6-2 IPC/JEDEC 020D 中的无铅器件封装体耐温标准

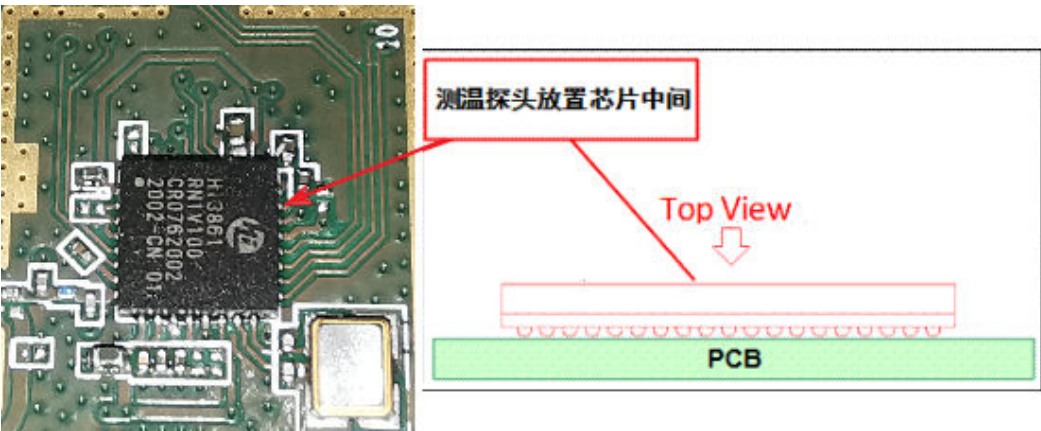
Package Thickness	Volume mm ³ < 350	Volume mm ³ 350~2000	Volume mm ³ > 2000
< 1.6mm	260℃	260℃	260℃
1.6mm ~ 2.5mm	260℃	250℃	245℃
> 2.5mm	250℃	245℃	245℃

体积计算中不计入器件焊端（焊球，引脚）和外部散热片。

回流焊接工艺曲线测量方法：

JEP140推荐：对于厚度较小的器件，测量封装体温度时，直接将热电偶贴放在器件表面，对于厚度较大的器件，在器件表面钻孔埋入热电偶进行测量。由于量化器件厚度的要求，推荐全部采用在封装体表面钻孔埋入热电偶的方式（特别薄器件，无法钻孔除外）。如图6-2所示。

图 6-2 封装体测温示意图



说明

如果是QFP封装的芯片，直接将测温探头放在管脚处即可。

6.3 混合回流焊工艺参数要求

回流焊接过程中，如果出现器件混装现象，应首先保证无铅器件的正常焊接。具体要求如表6-3所示。



表 6-3 混装回流焊工艺参数表

数值要求		有铅BGA	无铅BGA	其它器件
预热区 (40 ~ 150℃)	时间	60 ~ 150s		
	升温斜率	< 2.5℃/s		
均温区 (150 ~ 183℃)	时间	30 ~ 90s		
	升温斜率	< 1.0℃/s		
回流区 (> 183℃)	峰值温度	210 ~ 240℃	220 ~ 240℃	210 ~ 245℃
	时间	30 ~ 120s	60 ~ 120s	30 ~ 120s
冷却区 (Tmax ~ 150℃)	降温斜率	1.0℃/s ≤ Slope ≤ 4.0℃/s		

说明

以上工艺参数要求均针对焊点温度。单板上焊点最热点和最冷点均需要满足以上规范要求。

曲线调制中，还需要满足单板上元器件的封装体耐温要求。封装体耐温标准按照IPC/JEDEC J-STD-020D标准，封装体测温方法按照JEP 140标准。

IPC/JEDEC 020D中的有铅器件封装体耐温标准如表6-4所示。

表 6-4 IPC/JEDEC 020D 中的有铅器件封装体耐温标准

Package Thickness	Volume mm ³ < 350	Volume mm ³ ≥ 350
< 2.5mm	235℃	220℃
≥ 2.5mm	220℃	220℃

体积计算中不计入器件焊端（焊球，引脚）和外部散热片。

JEP140标准规定测量封装体温度方法同无铅工艺，请参考4.2 无铅回流焊工艺参数要求详细说明。



7 潮敏参数

7.1 存放与使用

7.2 重新烘烤

7.1 存放与使用

【使用范围】

海思所有IC（潮敏产品）的存放和使用

【存放环境】

建议产品真空包装存放，存放温度范围：大于等于-40℃，小于等于150℃。推荐存放在25℃的环境温度下。

【存储期限】（shelf life）

存放环境<30℃/60% RH下，真空包装存放，存储期限(shelf life)不少于12个月。

【车间寿命】（floor life）

在环境条件<30℃/60%下，floor life参照表如表7-1所示。

表 7-1 车间寿命（floor life）参照表

潮湿敏感等级 (MSL)	含义（即拆分后放存条件及最长时间）
1	无限制，环境温湿度 $\leq 30^{\circ}\text{C}/85\% \text{ RH}$ （Relative Humidity）
2	1year, $30^{\circ}\text{C}/60\% \text{ RH}$ 。
2a	4week, $30^{\circ}\text{C}/60\% \text{ RH}$ 。
3	1week, $30^{\circ}\text{C}/60\% \text{ RH}$ 。
4	72h, $30^{\circ}\text{C}/60\% \text{ RH}$ 。
5	48h, $30^{\circ}\text{C}/60\% \text{ RH}$ 。



潮湿敏感等级 (MSL)	含义 (即拆分后放存条件及最长时间)
5a	24h, 30°C/60%RH。
6	Time on Label, 30°C/60%RH。

【潮敏产品的使用】

- 产品在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$ 下连续或累计暴露超过2个小时，建议进行重新烘烤后再真空干燥包装。
- 产品在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$ 下暴露累计没有超过2个小时，可以不用重新烘烤，但要更换新的干燥剂，进行真空干燥包装。
- 本产品的潮敏参数等级为3级。

本文没有提到的存储及使用原则，请直接参考JEDEC J-STD-033A。

7.2 重新烘烤

【适用产品】

海思所有IC (潮敏产品)

【使用范围】

需要重新烘烤的IC (潮敏产品)

【重新烘烤参考表】

表 7-2 重新烘烤参考表

芯片厚度	MSL潮敏等级	烘烤125°C	烘烤90°C/ $\leq 5\%\text{RH}$	烘烤40°C/ $\leq 5\%\text{RH}$
$\leq 1.4\text{mm}$	2a	3h	11h	5day
	3	7h	23h	9day
	4	7h	23h	9day
	5	7h	24h	10day
	5a	10h	24h	10day
$\leq 2.0\text{mm}$	2a	16h	2day	22day
	3	17h	2day	23day
	4	20h	3day	28day
	5	25h	4day	35day
	5a	40h	6day	56day



芯片厚度	MSL潮敏等级	烘烤125℃	烘烤90℃/≤5% RH	烘烤40℃/≤5% RH
≤4.5mm	2a	48h	7day	67day
	3	48h	8day	67day
	4	48h	10day	67day
	5	48h	10day	67day
	5a	48h	10day	67day

说明

- 此表中显示的均是受潮后，必须的最小的烘烤时间；
- 重新烘烤优先选择低温烘烤；
- 详细情况请参考JEDEC。



8 接口时序

- 8.1 UART接口时序
- 8.2 I2C时序
- 8.3 I2S时序
- 8.4 SDIO时序
- 8.5 SPI接口时序

8.1 UART 接口时序

芯片的 UART实现BFG子系统和HOST的通信，支持四线的协议（RXD、TXD、CTS、RTS），其中RXD和TXD用于数据传送，RTS和CTS用于流控。

UART接口支持多种波特率，波特率大小和传送速率之间成正比关系，支持的波特率从9600bps到4Mbps，其速率可以通过寄存器进行配置。

波特率和误码率如表8-1所示。

表 8-1 UART 接口波特率和误码率

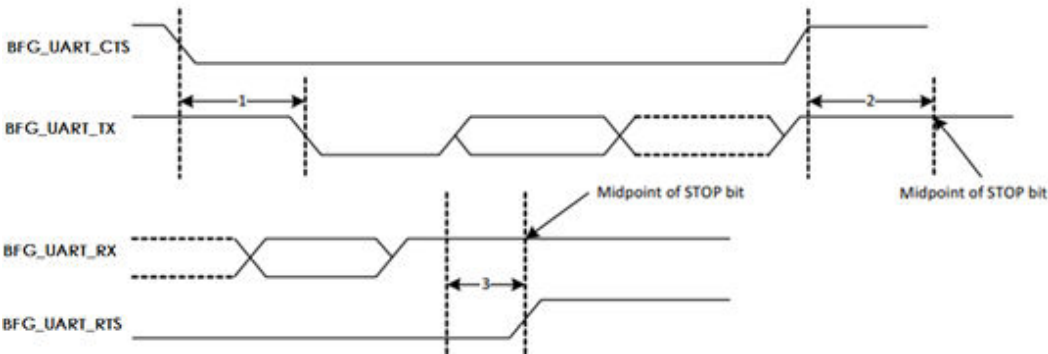
Desired Rate	Actual Rate	Error (%)
4000000	4000000	0.00
3000000	3000000	0.00
2000000	2000000	0.00
1500000	1500000	0.00
1444444	1454544	0.70
921600	923077	0.16
460800	461538	0.16
230400	230796	0.17



Desired Rate	Actual Rate	Error (%)
115200	115385	0.16
57600	57692	0.16
38400	38400	0.00
28800	28846	0.16
19200	19220	0.00
14400	14423	0.16
9600	9600	0.00

UART接口的的时序如图8-1所示。

图 8-1 UART 接口时序图



注：图中虚线的信号上升沿按照 $0.7 \times VDD$ ，下降沿按照 $0.3 \times VDD$ 选取。VDDIO电压默认为1.8V。

其中：

- 标注1为CTS信号拉低到TXD信号有效的最大延时。
- 标注2为结束位的中点到CTS信号拉高需要保持的最大时间。
- 标注3为结束位的中点到RTS信号拉高的最大延时。

UART时序约束如表8-2所示。

表 8-2 UART 时序约束表

Ref No	Characteristics	Min.	Typical	Max.	Unit
1	CTS low to TXD valid	-	-	1.5	Bit Periods
2	CTS high before mid of stop bit	-	-	0.5	Bit Periods

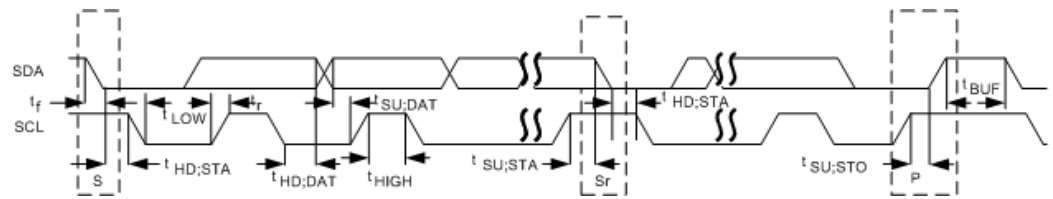


Ref No	Characteristics	Min.	Typical	Max.	Unit
3	Mid of stop bit to RTS high	-	-	0.5	Bit Periods

8.2 I2C 时序

I²C 传输时序如图8-2所示。

图 8-2 I²C 传输时序图



I²C 接口时序参数如表8-3所示。

表 8-3 I²C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL时钟频率	f_{SCL}	-	100	-	400	kH z
启动保持时间	$t_{HD;STA}$	4.0	-	0.6	-	μ s
SCL低电平周期	t_{LOW}	4.7	-	1.3	-	μ s
SCL高电平周期	t_{HIGH}	4.0	-	0.6	-	μ s
启动建立时间	$t_{SU;STA}$	4.7	-	0.6	-	μ s
数据保持时间	$t_{HD;DAT}$	0	3.45	0	0.9	μ s
数据建立时间	$t_{SU;DAT}$	250	-	100	-	ns
SDA、SCL上升时间	t_r	-	1000	$20+0.1C_b$	300	ns
SDA、SCL下降时间	t_f	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{SU;STO}$	4.0	-	0.6	-	μ s
开始与结束之间的总线释放时间	t_{BUF}	4.7	-	1.3	-	μ s

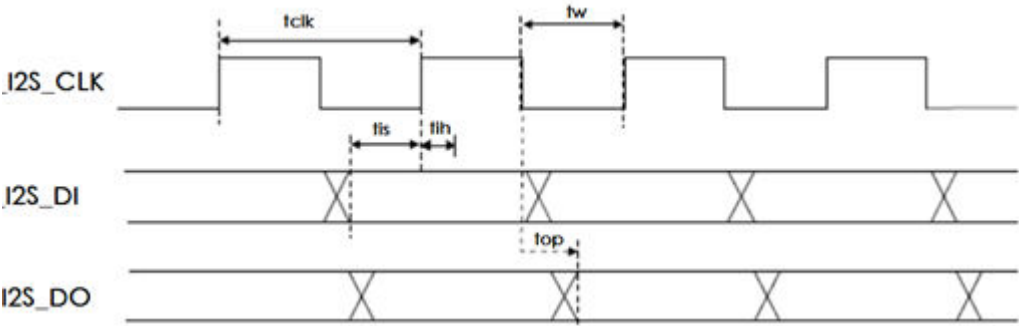


参数	符号	标准模式		快速模式		单位
总线负载	C_b	-	400	-	400	pF
低电平噪声容限	V_{nL}	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V
高电平噪声容限	V_{nH}	$0.2V_{DD}$	-	$0.2V_{DD}$	-	V

8.3 I2S 时序

I2S接口支持Master模式和Slave模式。I2S的时序图如图8-3所示。

图 8-3 I2S 接口时序



注：图中虚线的信号上升沿按照 $0.7 \times V_{DD}$ ，下降沿按照 $0.3 \times V_{DD}$ 选取。 V_{DDIO} 默认电压为1.8V。

上图中的参数定义：

- t_{clk} ：I2S接口时钟的一个周期时间。
- t_w ：I2S接口时钟一个周期内的高电平或者低电平时间。
- t_{is} ：输入信号的建立时间，即输入数据在时钟采样前需要的稳定时间。
- t_{ih} ：输入的保持时间，即输入数据在时钟采样后需要的保持不变的时间。
- t_{op} ：输出信号的输出传输时间。

I2S作为Master的接口时序约束如表8-4所示。

表 8-4 I2S 的 master 时序约束

Symb ol	Parameter	Condit ion	Min	Max	Unit
t_{clk}	Cycle time	-	162	-	ns
t_w	pulse width	-	$0.5 \times t_{clk} - 6.26$	$0.5 \times t_{clk} + 6.26$	
t_{is}	I2S_DI setup time	-	32	-	



Symbol	Parameter	Condition	Min	Max	Unit
t_{ih}	I2S_DI hold time	-	0	-	
t_{op}	I2S_DO propagation time	40 pF load	0	42.6	
t_{op}	I2S_WS propagation time	40 pF load	0	42.6	

I2S作为Slave的接口时序约束如表8-5所示。

表 8-5 I2S 的 slave 时序约束

Symbol	Parameter	Condition	Min	Max	Unit
t_{clk}	Cycle time	-	162	-	ns
t_w	pulse width	-	$0.35 \times t_{CLK}$	$0.65 \times t_{CLK}$	
t_{is}	I2S_DI setup time	-	32	-	
t_{ih}	I2S_DI hold time	-	0	-	
t_{is}	I2S_WS setup time	-	32	-	
t_{ih}	I2S_WS hold time	-	0	-	
t_{op}	I2S_DO propagation time	40 pF load	0	24.5	

8.4 SDIO 时序

SDIO支持3种SDIO工作模式：

- Default speed模式（DS）
接口时钟频率最高25MHz，包括1bit和4bit两种模式。
- High speed模式（HS）
接口时钟频率最高50MHz。



- SDR25模式
接口时钟最高频率50MHz。

须知

对接Host芯片的约束：为保证与SDIO对接芯片的正常工作，需要SDIO Host控制器的接收方向采样时钟进行相位偏移，否则部分芯片SDIO将无法通信。

- 对于VDDIO=3.3V时，Host控制器的采样时钟相位偏移90度。
- 对于VDDIO=1.8V时，Host控制器的采样时钟相位偏移135度。
- 示例：当采样时钟为50MHz时，相位偏移90度即为延时5ns，相位偏移135度即为延时7.5ns。

Default speed 模式

Default speed模式为SDIO上电之后的默认模式，为了与各种HOST器件保持兼容性，此模式要求的工作速率较低，时钟只支持到25MHz，对时钟的要求如表8-6所示。

表 8-6 Default speed 模式时钟参数表（VDDIO=3.3V）

参数	符号	最小值	最大值	单位	备注
Clock CLK (All value are referred to min(V_{IH}) and max(V_{IL}))					
Clock frequency Date Transfer Mode	f_{pp}	-	25	MHz	$C_{CARD} \leq 10pF$
Clock frequency Identification Mode	f_{OD}	-	400	KHz	$C_{CARD} \leq 10pF$
Clock low time	t_{WL}	17	-	ns	$C_{CARD} \leq 10pF$
Clock high time	t_{WH}	17	-	ns	$C_{CARD} \leq 10pF$
Clock rise time	t_{TLH}	-	3	ns	$C_{CARD} \leq 10pF$
Clock fall time	t_{THL}	-	3	ns	$C_{CARD} \leq 10pF$

表 8-7 Default speed 模式时钟参数表（VDDIO=1.8V）

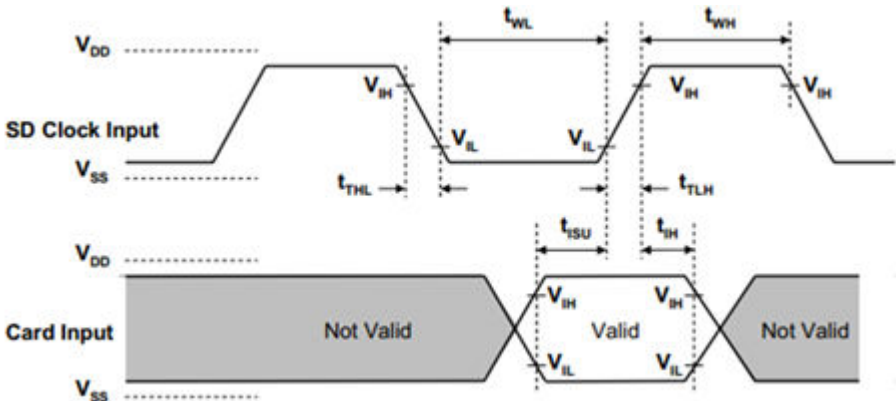
参数	符号	最小值	最大值	单位	备注
Clock CLK (All value are referred to min(V_{IH}) and max(V_{IL}))					
Clock frequency Date Transfer Mode	f_{pp}	-	25	MHz	$C_{CARD} \leq 10pF$



参数	符号	最小值	最大值	单位	备注
Clock frequency Identification Mode	f_{OD}	-	400	KHz	$C_{CARD} \leq 10\text{pF}$
Clock low time	t_{WL}	14	-	ns	$C_{CARD} \leq 10\text{pF}$
Clock high time	t_{WH}	14	-	ns	$C_{CARD} \leq 10\text{pF}$
Clock rise time	t_{TLH}	-	6	ns	$C_{CARD} \leq 10\text{pF}$
Clock fall time	t_{THL}	-	6	ns	$C_{CARD} \leq 10\text{pF}$

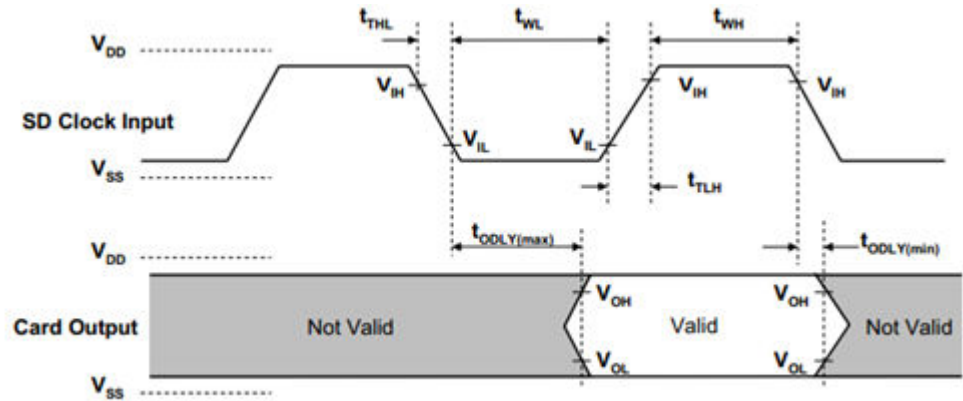
Default speed模式输出数据时序如图8-4所示。其中， t_{ISU} 为建立时间，即此模式下SDIO接口要求的数据在时钟采样前的稳定时间， t_{IH} 为保持时间，即此模式下SDIO接口要求的数据在时钟采样后的保持原电平的时间。

图 8-4 Default speed 模式输入时序



Default speed模式输入数据时序如图8-5所示。其中， $t_{ODLY}(\max)$ 为输出数据相对于时钟下降沿，出现在接口上的最大时延， $t_{ODLY}(\min)$ 为输出数据相对于时钟下降沿，出现在接口上的最小时延。

图 8-5 Default speed 模式输出时序





Default speed模式的时序约束如表8-8所示。

表 8-8 Default speed 模式时序约束表

参数	符号	最小值	最大值	单位	备注
Inputs CMD, DAT (referred to CLK)					
Input set-up time	t_{ISU}	3.5	-	ns	$C_{CARD} \leq 10pF$
Input hold time	t_{IH}	0	-	ns	$C_{CARD} \leq 10pF$
Outputs CMD, DAT(referenced to CLK)					
Output Delay time during Data Transfer Mode	t_{ODLY}	-	11	ns	$C_L \leq 40pF$
Output Delay time during Identification Mode	t_{ODLY}	-	11	ns	$C_L \leq 40pF$

说明：Default speed模式的输出数据以时钟的下降沿为参考，输入数据是以时钟的上升沿为参考。

High speed 模式

High speed模式为SDIO上电经过初始化之后，为了使用更高的速率，通过模式切换而进入的模式，此模式要求的工作速率比default speed模式高，其时钟支持到50MHz，对时钟的约束见表8-9所示。

表 8-9 High speed 模式时钟参数表（VDDIO=3.3V）

参数	符号	最小值	最大值	单位	备注
Clock CLK (All value are referred to min(V_{IH}) and max(V_{IL}))					
Clock frequency Date Transfer Mode	f_{pp}	-	50	MHz	$C_{CARD} \leq 10pF$
Clock low time	t_{WL}	7	-	ns	$C_{CARD} \leq 10pF$
Clock high time	t_{WH}	7	-	ns	$C_{CARD} \leq 10pF$
Clock rise time	t_{TLH}	-	3	ns	$C_{CARD} \leq 10pF$
Clock fall time	t_{THL}	-	3	ns	$C_{CARD} \leq 10pF$

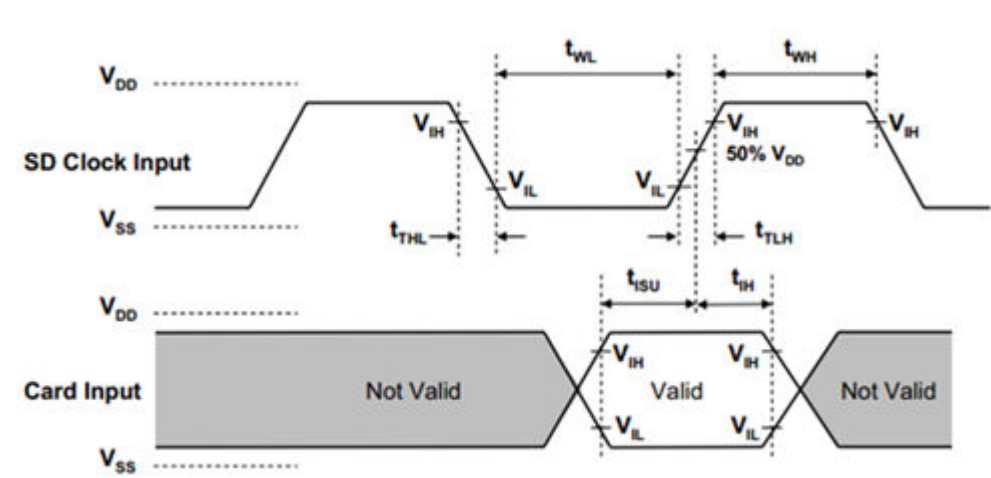


表 8-10 High speed 模式时钟参数表（VDDIO=1.8V）

参数	符号	最小值	最大值	单位	备注
Clock CLK (All value are referred to min(V _{IH}) and max(V _{IL}))					
Clock frequency Data Transfer Mode	f _{pp}	-	50	MHz	C _{CARD} ≤10pF
Clock low time	t _{WL}	4	-	ns	C _{CARD} ≤10pF
Clock high time	t _{WH}	4	-	ns	C _{CARD} ≤10pF
Clock rise time	t _{TLH}	-	6	ns	C _{CARD} ≤10pF
Clock fall time	t _{THL}	-	6	ns	C _{CARD} ≤10pF

High speed模式输入数据时序如图8-6所示。其中，t_{ISU}为建立时间，即此模式下SDIO接口要求的数据在时钟采样前的稳定时间，t_{IH}为保持时间，即此模式下SDIO接口要求的数据在时钟采样后的保持原电平的时间。

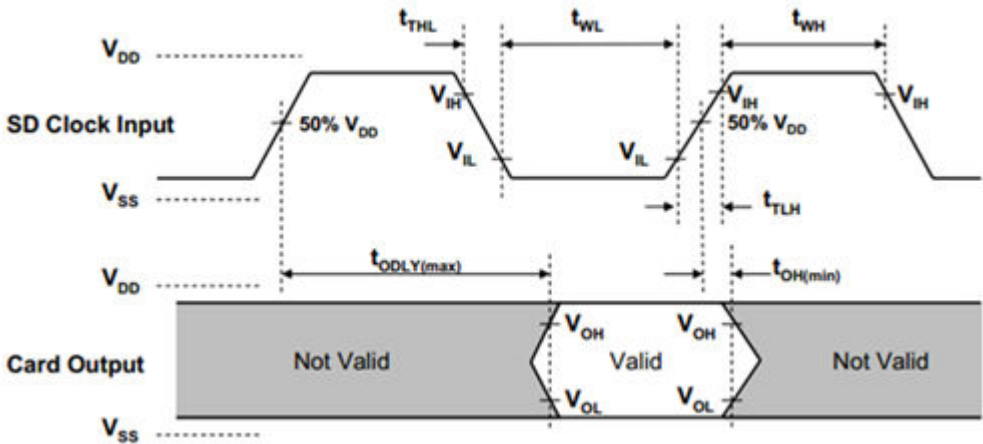
图 8-6 High speed 模式输入时序



High speed模式输入数据时序如图8-7所示。其中，t_{ODLY}（max）为输出数据相对于时钟上升沿，出现在接口上的最大时延，t_{OH}为输出数据相对于时钟上升沿，出现在接口上的最小时延。



图 8-7 High speed 模式输出时序



High speed模式的时序约束如表8-11所示。

表 8-11 High speed 模式时序约束表 (VDDIO=3.3V)

参数	符号	最小值	最大值	单位	备注
Inputs CMD, DAT (referred to CLK)					
Input set-up time	t_{ISU}	3.5	-	ns	$C_{CARD} \leq 10pF$
Input hold time	t_{IH}	0	-	ns	$C_{CARD} \leq 10pF$
Outputs CMD, DAT(referenced to CLK)					
Output Delay time during Data Transfer Mode	t_{ODLY}	-	12	ns	$C_L \leq 40pF$
Output Hold time	t_{OH}	3	-	ns	$C_L \leq 40pF$
Total System Capacitance for each line	C_L	-	40	pF	1 card

表 8-12 High speed 模式时序约束表 (VDDIO=1.8V)

参数	符号	最小值	最大值	单位	备注
Inputs CMD, DAT (referred to CLK)					
Input set-up time	t_{ISU}	3.5	-	ns	$C_{CARD} \leq 10pF$
Input hold time	t_{IH}	0	-	ns	$C_{CARD} \leq 10pF$
Outputs CMD, DAT(referenced to CLK)					



参数	符号	最小值	最大值	单位	备注
Output Delay time during Data Transfer Mode	t_{ODLY}	-	18	ns	$C_L \leq 40\text{pF}$
Output Hold time	t_{OH}	4.5	-	ns	$C_L \leq 40\text{pF}$
Total System Capacitance for each line	C_L	-	40	pF	1 card

说明：High speed模式的数据信号时序与default speed不同，其输出数据和输入数据都是由时钟的上升沿为参考。

SDR25 模式

SDR25模式为SDIO经过电压切换流程之后才能进入的模式，此模式要接口时钟最大支持到50MHz。对时钟的约束如表8-13所示。

表 8-13 SDR25 模式时钟参数表（VDDIO=3.3V）

参数	符号	最小值	最大值	单位	备注
Clock CLK (All value are referred to min(V_{IH}) and max(V_{IL}))					
Clock frequency Date Transfer Mode	f_{pp}	-	50	MHz	$C_{CARD} \leq 10\text{pF}$
Clock low time	t_{WL}	7	-	ns	$C_{CARD} \leq 10\text{pF}$
Clock high time	t_{WH}	7	-	ns	$C_{CARD} \leq 10\text{pF}$
Clock rise time	t_{TLH}	-	3	ns	$C_{CARD} \leq 10\text{pF}$
Clock fall time	t_{THL}	-	3	ns	$C_{CARD} \leq 10\text{pF}$

表 8-14 SDR25 模式时钟参数表（VDDIO=1.8V）

参数	符号	最小值	最大值	单位	备注
Clock CLK (All value are referred to min(V_{IH}) and max(V_{IL}))					
Clock frequency Date Transfer Mode	f_{pp}	-	50	MHz	$C_{CARD} \leq 10\text{pF}$
Clock low time	t_{WL}	4	-	ns	$C_{CARD} \leq 10\text{pF}$



参数	符号	最小值	最大值	单位	备注
Clock high time	t_{WH}	4	-	ns	$C_{CARD} \leq 10pF$
Clock rise time	t_{TLH}	-	6	ns	$C_{CARD} \leq 10pF$
Clock fall time	t_{THL}	-	6	ns	$C_{CARD} \leq 10pF$

表 8-15 SDR25 模式时序约束表 (VDDIO=3.3V)

参数	符号	最小值	最大值	单位	备注
Inputs CMD, DAT (referred to CLK)					
Input set-up time	t_{ISU}	3.5	-	ns	$C_{CARD} \leq 10pF$
Input hold time	t_{IH}	0	-	ns	$C_{CARD} \leq 10pF$
Outputs CMD, DAT(referenced to CLK)					
Output Delay time during Data Transfer Mode	t_{ODLY}	-	12	ns	$C_L \leq 10pF$
Output Hold time	t_{OH}	3	-	ns	$C_L \leq 5pF$
Total System Capacitance for each line	C_L	-	40	pF	1 card

表 8-16 SDR25 模式时序约束表 (VDDIO=1.8V)

参数	符号	最小值	最大值	单位	备注
Inputs CMD, DAT (referred to CLK)					
Input set-up time	t_{ISU}	3.5	-	ns	$C_{CARD} \leq 10pF$
Input hold time	t_{IH}	0	-	ns	$C_{CARD} \leq 10pF$
Outputs CMD, DAT(referenced to CLK)					
Output Delay time during Data Transfer Mode	t_{ODLY}	-	18	ns	$C_L \leq 10pF$
Output Hold time	t_{OH}	4.5	-	ns	$C_L \leq 5pF$



参数	符号	最小值	最大值	单位	备注
Total System Capacitance for each line	C _L	-	40	pF	1 card

8.5 SPI 接口时序

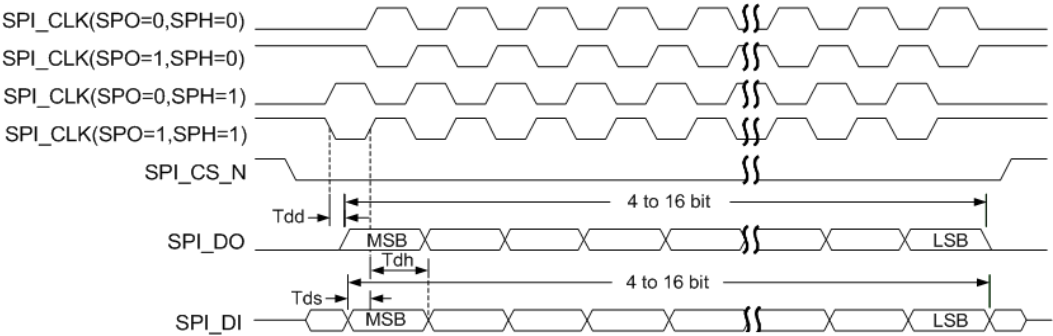
说明

以下缩略语或字母含义：

- MSB: Most Significant Bit
- LSB: Least Significant Bit
- SPI_CLK(0): spo=0
- SPI_CLK(1): spo=1

SPI接口时钟时序如图8-8所示。

图 8-8 SPI 接口时序图



注：用作Master时，时钟周期最小值为80ns；用作Slave时，时钟周期最小值为80ns。

SPO (SPICLKOUT Polarity) 表示SPICLKOUT极性，SPH (SPICLKOUT Phase) 表示SPICLKOUT相位。

表 8-17 SPI 接口时序参数表

参数	符号	最小值	最大值	单位
输出数据延迟	T _{dd}	3.5	17.5	ns
输入控制信号建立时间 (master)	T _{ds}	4	-	ns
输入控制信号保持时间 (master)	T _{dh}	1.6	-	ns



参数	符号	最小值	最大值	单位
输入控制信号建立时间 (slave)	T_{ds}	4	-	ns
输入控制信号保持时间 (slave)	T_{dh}	1	-	ns



9 注意事项

9.1 硬件设计

9.2 单板生产工艺

9.1 硬件设计

在硬件设计中的几个注意事项：

- 使用硬件配置字和Power on等管脚需要做外部上下拉，为了满足低功耗设计，建议使用100KΩ电阻。
- Hi3861/Hi3861L/Hi3881的参考设计单板经过发射EVM、接收灵敏度、认证等WiFi射频指标测试。围绕Hi3861/Hi3861L/Hi3881芯片的去耦电容容值及摆放位置尽量不要变动，如果必须修改，需要针对单板发射EVM、接收灵敏度、认证等WiFi射频指标进行详细摸底测试
- RF链路使用LC组成的π形低通滤波器建议不要更改，尤其是接地电容的地焊盘和地孔处理方式。
- 建议在RF链路上添加接地的ESD射频电感，感值为10nH，摆放位置靠近天线端。
- 海思提供的参考设计与器件选型主要是实验室测试与样品测试。用户在量产导入时，建议进行全面的产品硬件测试与评估，按照量产流程逐步完成导入。

9.2 单板生产工艺

单板生产工艺的几个注意事项：

- 单板分板需要使用机器分板，严禁手工分板。
- 手工焊接前请做好静电放电处理，佩戴静电手镯。
- PCB存储条件建议：
 - OSP (Organic Solderability Preservative) 板
真空包装前后的存放条件：温度20℃～30℃，相对湿度50%。真空包装后寿命3个月～1年。储存时间超过6个月时，通常拆封后即可组装，但为了避免板材储藏湿气造成爆板，可以烘烤方式来去除板内湿气，烘烤条件为110℃～120℃，1h（最长时间不要超过1.5h）。



- 喷锡板

真空包装前后的存放条件：温度25℃，相对湿度60%。真空包装后寿命1年。储存时间超过6个月时，通常拆封后即可组装，但为了避免板材储藏湿气造成爆板，可以烘烤方式来去除板内湿气，烘烤条件为120℃，1h（最长时间不要超过1.5h）。