



**Hi3861V100 / Hi3861LV100 硬件设计**

## **Checklist**

文档版本 02

发布日期 2020-06-05

版权所有 © 上海海思技术有限公司2020。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## 商标声明



**HISILICON**、海思和其他海思商标均为海思技术有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 上海海思技术有限公司

地址：            深圳市龙岗区坂田华为总部办公楼    邮编：518129

网址：            <https://www.hisilicon.com/cn/>

客户服务邮箱：  [support@hisilicon.com](mailto:support@hisilicon.com)



## 前言

### 概述

本文档详细的描述了Hi3861V100/Hi3861LV100硬件单板设计的checklist，用于指导用户基于芯片的硬件单板开发进行设计检查。

### 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3861	V100
Hi3861L	V100



### 读者对象

本文档主要适用于以下工程师：



- 单板硬件开发工程师
- 技术支持工程师

### 符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 <b>危险</b>	表示如不可避免则将会导致死亡或严重伤害的具有高等级风险的危害。
 <b>警告</b>	表示如不可避免则可能导致死亡或严重伤害的具有中等级风险的危害。



符号	说明
 注意	表示如不可避免则可能导致轻微或中度伤害的具有低等级风险的危害。
须知	用于传递设备或环境安全警示信息。如不可避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。
 说明	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

## 修改记录

文档版本	发布日期	修改说明
02	2020-06-05	更新“ <a href="#">1 原理图设计checklist</a> ”的电源（编号5）的规格要素说明。
01	2020-04-30	第一次正式版本发布。 <ul style="list-style-type: none"> <li>更新“<a href="#">1 原理图设计checklist</a>”的电源（编号5）、数字IO（编号9）、其他（编号15、16）的规格要素说明。</li> <li>在“<a href="#">2 PCB设计checklist</a>”中更新数字IO（编号2）、晶体（编号12、14）、RF（编号16）、整机及屏蔽罩（编号24、26）的规格要素说明；新增RF（编号22）的规格要素说明。</li> </ul>
00B04	2020-04-15	在“ <a href="#">1 原理图设计checklist</a> ”的晶体中新增关于单板空间较小的规格要素说明。
00B03	2020-03-25	更新“ <a href="#">2 PCB设计checklist</a> ”中数字IO（编号2、5）、电源（编号10、14）、RF（编号21）、整机及屏蔽罩（编号28）的规格要素说明。
00B02	2020-02-12	删除“ <a href="#">2 PCB设计checklist</a> ”中5G射频电路的屏蔽罩间距说明。
00B01	2020-01-15	第一次临时版本发布。



# 目 录

前言..... i

1 原理图设计 checklist..... 1

2 PCB 设计 checklist..... 3



# 1 原理图设计 checklist

类别	小类	编号	规格要素内容	级别		检查结果
				规则	建议	
原理图	晶体	1	晶体选型，频偏要求 $<\pm 10\text{ppm}$ 。	✓		
		2	晶体调试，需让供应商提供0ppm-Type晶体样本，在0ppm样本晶体情况下，常温25℃下，研发阶段确定晶体两端的负载电容，尽量在0ppm，可以适当负偏5ppm以内比较合理。	✓		
		3	如果单板空间较小（例如：12mm×12mm模组且为单面贴方案时），建议在晶体的XIN串联0R电阻，防止外部干扰对于系统主时钟的影响。	✓	✓	
	电源	4	芯片支持两种方式：低功耗BUCK模式、低成本LDO模式。采用的方式由硬件配置字VDD_PMU_LX决定，上拉到VBAT即为低成本LDO模式，不需要电感；反之即为BUCK低功耗模式。	✓		
		5	采用低功耗BUCK模式时，电感感值2.2μH，直流电阻（Rdc） $\leq 0.5\Omega$ ，饱和电流 $\geq 500\text{mA}$ ，输出电容采用4.7μF，电容额定电压建议6.3V。	✓		
	数字IO	6	芯片调试串口硬件和软件默认GPIO_03和GPIO_04，不建议使用GPIO_13和GPIO_14作为调试串口。	✓		
		7	芯片有15个GPIO，每个GPIO复用请参见《Hi3861V100/Hi3861LV100/Hi3881V100 WiFi芯片硬件用户指南》。	✓		



		8	芯片有4个硬件配置字： <ul style="list-style-type: none"> <li>Pin4/REFCLK_FREQ_STATUS: 主时钟工作模式。 0: 40M时钟（默认）； 1: 24M时钟。</li> <li>Pin20/JTAG_ENABLE: JTAG模式使能。 0: 普通IO模式（默认）； 1: JTAG使能。</li> <li>Pin18/JTAG_MODE: JTAG模式。 0: 正常模式（默认）； 1: DFT测试模式。</li> <li>Pin25/VDD_PMU_LX: Buck和LDO模式切换。 0: BUCK（默认）； 1: LDO。</li> </ul>	√		
		9	如果需要配置高电平，以上4个硬件配置字管脚除Pin25/VDD_PMU_LX可以直接上拉至VBAT外，其他3个管脚均需要通过4.7K电阻上拉至VDDIO。	√		
		10	UDSLEEP模式（即超深睡模式），芯片仅有4个IO可以唤醒（即：GPIO03、GPIO05、GPIO07、GPIO14），仅上升沿才可以唤醒。	√	√	
	R F	11	RF cable排线布放需远离晶体（参考值>5mm）。	√		
		12	RF cable排线布放需远离DDR、CPU等强干扰。	√		
		13	射频测试座按兼容设计，根据用户的使用环境决定是否需要焊接。	√		
		14	建议在RF链路靠近天线端预留ESD电感（感值10nH）。	√	√	
	其 他	15	为确保芯片上电初始化正常，建议采取如下措施： <ul style="list-style-type: none"> <li>建议在模组内部的芯片Power-on引脚处添加RC延迟电路（建议R=100KΩ、C=100nF）。如果模组内部空间不足，建议在对端MCU相应EN信号上添加。</li> <li>Power-on上拉电平为VDDIO。</li> </ul>	√	√	
		16	为防止外接带电机大功率设备对串口的影响，通信串口TRX信号线上预留到地电容，具体容值根据对端大功率设备浪涌和调试结果决定。	√	√	



# 2 PCB 设计 checklist

类别	小类	编号	规格要素内容	级别		检查结果
				规则	建议	
PCB	数字IO	1	SDIO接口CLK和数据走线，PCB上走线长度 < 5000mil。	✓		
		2	SDIO接口CLK和数据走线必须预留匹配电阻，在空间允许的情况下最好做到单根包地。	✓		
		3	SDIO接口匹配电阻按照源端匹配原则来摆放：CLK串联电阻位置越靠近对接Host器件越好。Data串联电阻位置越靠近对接Host器件端放置越好。	✓		
		4	芯片有15个GPIO，IO过冲须满足 < 4.1V。如果不满足，则需要匹配电阻。	✓		
	电源	5	BUCK储能电感（尤其是绕线电感）尽量远离天线（参考值>10mm）。	✓		
		6	BUCK储能电感的输入输出走线须尽量短粗。电感和输出电容排布紧靠芯片管脚处，电感和电容到达芯片EPAD的GND回路尽量短。	✓		
		7	滤波电容靠近被滤波网络放置，避免长走线引入的电感效应。	✓		
		8	器件接地须就近打地孔，不允许通过一个很细的长线接地（除过孔滤波器外）。	✓		
		9	Transceiver/PA供电电源去耦电容靠近Pin脚放置，容值越小越靠近Pin脚摆放，建议使用X7R的物料。	✓		
		10	RFLDO（芯片的PIN12）给LNA（芯片的PIN7）供电的1P2走线，建议换层到内层或bottom层走线到LNA的供电管脚附近再接入管脚。	✓	✓	
		11	如果条件允许，VBAT电源走线建议两侧包地处理。	✓	✓	





	晶 体	1 2	晶体尽量远离天线和单板边缘（建议在空间条件允许的情况下，晶体和天线的距离>10mm）。	✓		
		1 3	时钟（MHz量级）及高速数据线尽量远离天线（参考值>5mm）。	✓		
		1 4	晶体远离功放等热源。	✓		
		1 5	XIN/XOUT和32K晶体信号需包地处理。	✓		
	R F	1 6	射频口旁边的其他模块信号需尽量远离RF口，并包地处理。	✓		
		1 7	射频Transceiver（芯片的PIN8）下方地保证完整性，地PAD需要就近接到主地。	✓		
		1 8	射频走线参考地保证完整，不允许有交叉走线。	✓		
		1 9	RF connector等大焊盘器件，射频信号对应的Pin邻层地需挖空（2层板除外），避免寄生电容效应，射频信号耦合到地。	✓		
		2 0	射频走线需要做50Ω阻抗控制，走线保证平顺自然，尽量避免出现直角或锐角的拐弯，且走线两侧各打一排地孔。	✓		
		2 1	射频换层孔周围打一圈地孔，形成类同轴结构。	✓		
		2 2	如果RF器件布局比较紧凑，会导致RF接地电容的两个过孔靠的较近，此时会影响到RF的谐波抑制性能，建议两个接地电容分布在RF走线的两边，这样可以提高RF电路的谐波抑制效果。同时如果是多层板，需要保证接地电容的地孔直接打到bottom层接地，在其他层对应位置禁铺。	✓		
		2 3	IPEX座子top层和bottom层需要就近接地和地孔。	✓		
	整 机 及 屏 蔽 罩	2 4	top层对应主芯片EPAD的地面建议通过一段4mil走线和周围的地面连接。	✓		
		2 5	高速信号接口走线（例如：SDIO等）换层位置周边需伴随VSS过孔。	✓		
		2 6	整机尽量保留一个完整地平面对，保证各芯片信号良好共地和回流，完善地孔，避免孤立铜皮出现。	✓		
		2 7	单板四周打地孔，注意连接好各层的地，且建议紧挨着屏蔽罩焊盘打两排交错的地孔（即第一排地孔和第二排地孔交错排列），地孔间距满足<1/50波长。	✓	✓	



		28	屏蔽罩须尽量开口最少，最好做到只有RF走线一个开口，其他的接口信号线和电源线可以打孔到内层或bottom层再接到模组的管脚。	√		
		29	屏蔽框开口间距要求 < 1/20 波长，对于2.4G网关，建议间距<3mm。	√		
		30	屏蔽框须保证接地良好，每个接地焊盘周围尽可能多打地孔（至少3个），以最近的路径连到主地。	√		
	散热	31	两层板PCB在满足工艺前提下建议在主芯片的EPAD多打地孔。	√		