

江南大学 2022 年《计算机组成原理》期末试卷 B（有答案）

课程：计算机组成原理

专业：计算机科学与技术

学号：

一、选择题

1、某计算机使用 4 体交叉编址存储器，假定在存储器总线上出现的主存地址（十进制）序列为 8005, 8006, 8007, 8008, 8001, 8002, 8003, 8004, 8000, 则可能发生访存冲突的地址对是（ ）。

A.8004 和 8008

B.8002 和 8007

C.8001 和 8008

D.8000 和 8004

2、主存与 Cache 间采用全相联映射方式，Cache 容量 4MB，分为 4 块，每块 1MB，主存容量 256MB。若主存读/写时间为 30ms，Cache 的读/写时间为 3ns，平均读/写时间为 3.27ms，则 Cache 的命中率为（ ）。

A.90% B.95% C.97% D.99%

3、信息序列 16 位，若想构成能纠正一位错、发现两位错的海明码，至少需要加（ ）位校验位。

A.4 B.5 C.6 D.7

4、当定点运算发生溢出时，应（ ）。

A.向左规格化 B.向右规格化 C.舍入处理 D.发出出错信息

5、浮点数加/减运算过程一般包括对阶、尾数运算、规格化、舍入和判断溢出等步骤。设浮点数的阶码和尾数均采用补码表示，且位数分别为 5 位和 7 位（均含两位符号位）。若有两个数，即 $x=2 \times 29/32$, $y=25 \times 5/8$ ，则用浮点数加法计算 $x+y$ 的最终结果是（ ）。

A.001111100010 B.001110100010 C.010000010001 D.发生溢出

6、控制总线主要用来传送（ ）。

更多考试真题
请扫码获取



I.存储器和 I/O 设备的地址码

II.所有存储器和 I/O 设备的时序信号

III.所有存储器和 I/O 设备的控制信号

IV.来自 I/O 设备和存储器的响应信号

A.II、 III B. I, III, IV C. III, IV D.II, III. IV

7、在链式查询方式下，若有 N 个设备，则（ ）。

A.只需一条总线请求线

B.需要 N 条总线请求线

C.视情况而定，可能一条，也可能 N 条

D.以上说法都不对

8、在计算机系统中，作为硬件与应用软件之间的界面是（ ）。

A.操作系统

B.编译程序

C.指令系统

D.以上都不是

9、假定编译器对高级语言的某条语句可以编译生成两种不同的指令序列，A、B和C三类指令的CPI和执行两种不同序列所含的三类指令条数见下表。则以下结论错误的是（ ）。

指令类	CPI	序列一的指令条数	序列二的指令条数
A	1	2	4
B	2	1	1
C	3	2	1

I.序列一比序列二少1条指令

II.序列一比序列二的执行速度快

III.序列一的总时钟周期数比序列二多1个

IV.序列一的CPI比序列二的CPI大

A.I、II B.I、III C.II、IV D.II

10、流水线中有3类数据相关冲突：写后读相关、读后写相关、写后写相关。那么下列3组指令中存在读后写相关的是（ ）。

A. I_1 , SUB R_1, R_2, R_3 ; $(R_2) - (R_3) \rightarrow R_1$

I_2 , ADD R_4, R_5, R_1 ; $(R_5) + (R_1) \rightarrow R_4$

B. I_1 , STA M, R_2 ; $(R_2) \rightarrow M$, M 为主存单元

I_2 , ADD R_2, R_4, R_5 ; $(R_4) + (R_5) \rightarrow R_2$

C. I_1 , MUL R_3, R_2, R_1 ; $(R_2) \times (R_3) \rightarrow R_3$

I_2 , SUB R_3, R_4, R_5 ; $(R_5) - (R_4) \rightarrow R_3$

D.以上都不是

11、内部异常（内中断）可分为故障（Fault）、陷阱（Trap）和终止（Abort）三类。下列有关内部异常的叙述中，错误的是（ ）。

A.内部异常的产生与当前执行指令相关

B.内部异常的检测由 CPU 内部逻辑实现

C.内部异常的响应发生在指令执行过程中 D.内部异常处理后返回到发生异常的指令继续执行

12、某 CPU 主频为 1.03GHz，采用 4 级指令流水线，每个流水段的执行需要 1 个时钟周期。假定 CPU 执行了 100 条指令，在其执行过程中，没有发生任何流水，线阻塞，此时流水线的吞吐率为（ ）。

A. 0.25×10^9 条指令/秒

B. 0.97×10^9 条指令/秒

C. 1.0×10^9 条指令/秒

D. 1.03×10^9 条指令/秒

13、下列关于超标量流水线特性的叙述中，正确的是（ ）。

I.能缩短流水线功能段的处理时间

II.能在一个时钟周期内同时发射多条指令

III.能结合动态调度技术提高指令执行并行性

A.仅 II B.仅 I、III C.仅 I、II D. I、II、III

14、某指令系统指令字长为 8 位，每一地址码长 3 位，用扩展操作码技术。若指令系统具有两条二地址指令、10 条零地址指令，则最多有（ ）条一地址指令。

A.20 B.14 C.10 D.6

15、下列寻址方式中，最适合按下标顺序访问一维数组的是（ ）。

A.相对寻址 B.寄存器寻址 C.直接寻址 D.变址寻址

二、填空题

16、存储器和 CPU 连接时，要完成_____的连接；_____的连接和_____的连接，方能正常工作。

17、为了运算器的高速性，采用了_____进位，_____乘法，_____等并行技术措施。

18、存储器的技术指标有存储容量、存取时间、_____和_____、

19、多个用户共享主存时，系统应提供_____。通常采用的方法是_____保护和_____保护，并用硬件来实现。

20、主存储器容量通常以 MB 表示，其中 M=_____，B=_____硬盘容量通常以 GB 表示，其中 G=_____。

21、汉字的_____、_____、_____是计算机用于汉字输入、内部处理、输出三种不同用途的编码。

22、总线同步定时协议中，事件出现在总线的时刻由_____信号确定，总线周期的长度是_____的。

23、主存储器的性能指标主要是存储容量、存取时间、_____和_____

24、按 IEEE754 标准，一个浮点数由_____、_____、_____三个域组成。

25、按 IEEE754 标准，一个浮点数的阶码 E 的值等于指数的_____加上一个固定的_____

三、名词解释题

26、冯·诺依曼舍入法：

27、计数器定时查询方式：

28、通道命令：

29、按写分配：

四、简答题

30、说明计算机系统的层次结构。

31、简述计算机控制器的功能和执行一条指令所需的步骤。

32、集中式仲裁有几种方式？有何特点

33、什么是并行处理？

五、计算题

34、某计算机采用5级指令流水线，如果每级执行时间是2ns，求理想情况下该流水线的加速比和吞吐率。

35、假设磁盘存储器转速为3000r/min，分8个扇区，每扇区存储1KB，主存与磁盘存储器数据传送的宽度为16位（即每次传送16位）。假设一条指令最长执行时间为25s。

试问：是否可采用一条指令执行结束时响应DMA请求的方案，为什么？若不行，应采用什么方案？

36、某32位计算机，CPU主频为800MHz，Cache命中时的CPI为4，Cache块大小为32B；主存采用8体交叉存储方式，每个体的存储字长为32位、存储周期为40ns；存储器总线宽度为32位，总线时钟频率为200MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括送首地址和命令、存储器准备数据和传送数据。每次突发传送32B，传送地址或32位数据均需一个总线时钟周期。请回答下列问题，要求给出理由或计算过程。

- 1) CPU和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？
- 2) Cache缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？
- 3) 存储器总线完成一次读突发传送总线事务所需的时间是多少？
- 4) 若程序BP执行过程中，共执行了100条指令，平均每条指令需进行1.2次访存，Cache缺失率为5%，不考虑替换等开销，则BP的CPU执行时间是多少？

六、综合题

37、在一个8级中断系统中，硬件中断响应从高到低的优先顺序是：1→2→3→4→5→6-7-8，设置中断屏蔽寄存器后，中断处理的优先顺序变为1→5→8→3→2→4→6→7。

- 1) 应如何设置屏蔽码？
- 2) 如果CPU在执行一个应用程序时有5、6、7级3个中断请求同时到达，中断请求8在6没有处理完以前到达，在处理8时中断请求2又到达CPU，试画出CPU响应这些中断的顺序示意图。

38、设浮点数字长32位，其中阶码部分8位（含1位阶符），尾数部分24位（含1位数符），当阶码的基值分别是2和16时：

- 1) 说明基值2和16在浮点数中如何表示。
- 2) 当阶码和尾数均用补码表示，且尾数采用规格化形式时，给出这两种情况下所能表示的最大正数真值和非零最小正数真值。
- 3) 在哪种基值情况下，数的表示范围大？
- 4) 两种基值情况下，对阶和规格化操作有何不同？

39、某计算机字节长为 16 位，主存地址空间大小为 128KB，按字编址。采用单字长指令格式，指令各字段定义如图所示。

15	12 11	6 5	0	
OP	Mx	R ₁	Md	Rd

源操作数

目的操作数

转移指令采用相对寻址方式，相对偏移用补码表示，寻址方式的定义见表

寻址方式的定义

My/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数= (Rn)
001B	寄存器间接	(Rn)	操作数= ((Rn))
010B	寄存器间接、自增	(Rn) +	操作数= ((Rn)) , (Rn) +1→Rn
011B	相对	D (Rn)	转移目标地址= (PC) + (Rn)

回答下列问题：

1) 该指令系统最多可有多少指令？该计算机最多有多少个通用寄存器？存储地址寄存器（MAR）和存储器数据寄存器（MDR）至少各需要多少位？

2) 转移指令的目标地址范围是多少？

3) 若操作码0010B表示加法操作（助记符为add），寄存器R4和R5的编号分别为100B和101B，R4的内容为1234H，R5的内容为5678H，地址1234H中的内容为5678H，地址5678H中的内容为1234H，则汇编语句“add (R4), (R5) +”（逗号前为源操作数，逗号后为目的操作数）对应的机器码是什么（用十六进制表示）？该指令执行后，哪些寄存器和存储单元中的内容会改变？改变后的内容是什么？

微信公众号：江小南球知道

参考答案

一、选择题

1、 D

2、 D

3、 C

4、 D

5、 D

6、 D

7、 A

8、 A

9、 D

10、 B

11、 D、

12、 C

13、 C

14、 B

15、 D

二、填空题

16、顺序寻址方式 跳跃寻址方式

17、先行 阵列 流水线

18、存储周期 存储器带宽

19、存储保护 存储区域 访问方式

20、220 8 位 (1 个字节) 230

21、输入编码 (或输入码) 内码 (或机内码) 字模码

22、总线时钟 固定

23、存储周期 存储器带宽

24、符号位 阶码 尾数

25、真值 偏移量

三、名词解释题

26、冯诺依曼舍入法:

浮点数据的一种舍入方法, 在截去多余位时, 将剩下数据的最低位置 1。

27、计数器定时查询方式:

集中式总线裁决方式之一, 设备要求使用总线时通过一条公用请求线发出, 总线控制器按计数的值对各设备进行查询。

28、通道命令:

通道自己专门用来处理输入输出事务的指令

29、按写分配:

cache 不命中时的一种更新策略, 写操作时把对应的数据块从主存调入 cache。

四、简答题

30、答: 计算机系统可分为: 微程序机器级, 一般机器级 (或称机器语言级), 操作系统级, 汇编语言级, 高级语言级。

31、解析: 控制器部件是计算机的五大功能部件之一, 其作用是向整机的每个部件 (包括控制器部件本身) 提供协同运行所需要的控制信号。计算机最本质的功能是连续执行指令, 而每一条指令往往又要分成几个执行步骤才得以完成。因此又可以说, 计算机控制器的基本功能是依据当前正在执行的指

令和它所处的执行步骤，形成（或称得到）并提供出在这一时，刻整机各部件要用到的控制信号。执行一条指令，要经过读取指令、分析指令、执行指令3个阶段，控制器还要保证能按程序中设定的指令运行次序，自动地连续执行指令序列。

32、答：三种方式：链式查询方式，（距离仲裁器最近的设备优先级最高。）计数器定时查询方式，（优先级均等而且可以用程序改变。）独立请求方式（响应时间快）

33、答：广义地讲，并行性有两种含义：一是同时性，指两个或多个事件在同一时刻发生；二是并行性，指两个或多个事件在同一时间间隔内发生。计算机的并行处理技术可贯穿于信息加工的各个步骤和阶段，概括起来，主要有三种形式：（1）时间并行：指时间重叠，在并行性概念中引入时间因素，让多个处理过程在时间上相互错开，轮流重叠地使用同一套硬件设备的各个部分，以加快硬件周转而赢得速度。（2）空间并行：指资源重复，在并行性概念中引入空间因素，以“数量取胜”为原则来大幅度提高计算机的处理速度。（3）时间并行+空间并行：指时间重叠和资源重复的综合应用，既采用时间并行性又采用空间并行性

五、计算题

34、44.解析：流水线的加速比指采用流水线技术时指令的执行速度与等效的不采用流水线技术的指令执行速度之比，理想情况加速比等于流水线的级数。吞吐率指每秒钟能处理的指令数量。本题中计算机采用5级指令流水线，所以理想情况下加速比等于5。现在每完成一条指令的时间是2ns，则最大吞吐率等于 $1/2\text{ns}=5\times 10^8$ 。

35、解析：磁盘存储器转速为3000r/min，即50r/s。每转传送的数据为 $8\times 1\text{KB}=8\text{KB}$ ，所以数据传输率为 $8\text{KB}\times 50\text{r/s}=400\text{KB/s}$ 。16位数据的传输时间= $16\text{位}/(400\text{KB/s})=2\text{B}/(400\text{KB/s})=5\mu\text{s}$ 。由于 $5\mu\text{s}$ 远小于25s，因此不能采用一条指令执行结束响应DMA的请求方案。应采用每个CPU机器周期末查询及响应DMA的请求方案。

36、解析：

1) CPU的时钟周期为 $1/800\text{MHz}=1.25\text{ns}$ 。

总线的时钟周期为 $1/200\text{MHz}=5\text{ns}$ 。

总线带宽为 $4\text{B}\times 200\text{MHz}=800\text{MB/s}$ 或 $4\text{B}/5\text{ns}=800\text{MB/s}$ 。

2) 因为每次读突发传送32B, 而Cache块大小恰好是32B, 所以只需要1个读突发传送总线事务来完成一个主存块的读取。

3) 一次读突发传送总线事务包括一次地址传送和32B数据传送: 用1个总线时钟周期传输地址, 即5ns; 首先, 根据低位交叉存储器的工作原理, 数据全部读出需要 $40\text{ns} + (8-1) \times 5\text{ns} = 75\text{ns}$ 。但是, 在第40ns时, 数据的读取与传输是可以重叠的, 所以只需要加上最后个体读出的数据的传输时间即可, 即5ns。故读突发传送总线事物时间为 $5\text{ns} + 75\text{ns} + 5\text{ns} = 85\text{ns}$ 。

4) BP的CPU执行时间包括Cache命中时的指令执行时间和Cache缺失时带来的额外开销。命中时的指令执行时间: $100 \times 4 \times 1.25\text{ns} = 500\text{ns}$ 。指令执行过程中Cache缺失时的额外开销: $1.2 \times 100 \times 5\% \times 85\text{ns} = 510\text{ns}$ 。可得, BP的CPU执行时间: $500\text{ns} + 510\text{ns} = 1010\text{ns}$ 。

六、综合题

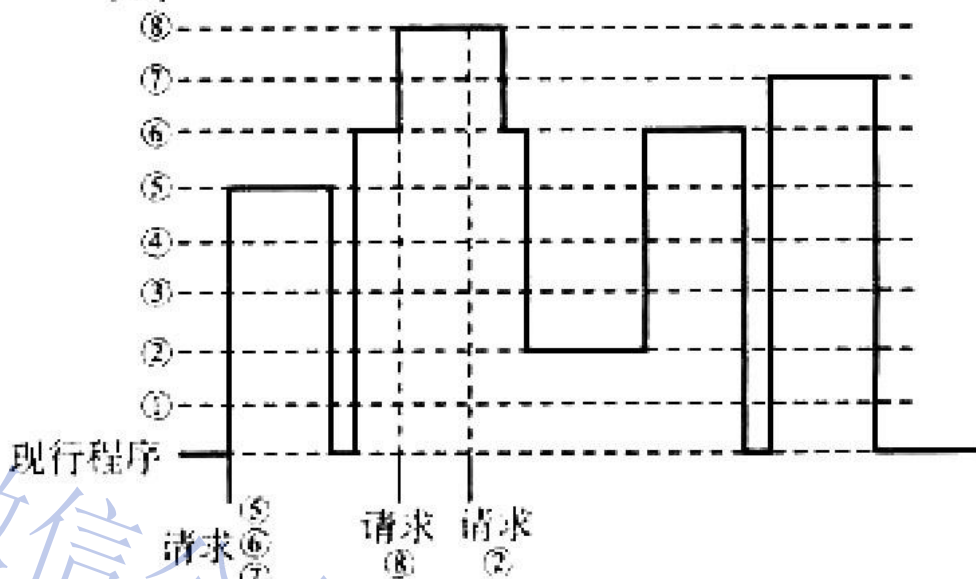
37、解析:

1) 中断屏蔽码见表

序号 中断号	1	2	3	4	5	6	7	8
中断 1	1	1	1	1	1	1	1	1
中断 2	0	1	0	1	0	1	1	0
中断 3	0	1	1	1	0	1	1	0
中断 4	0	0	0	1	0	1	1	0
中断 5	0	1	1	1	1	1	1	1
中断 6	0	0	0	0	0	1	1	0
中断 7	0	0	0	0	0	0	1	0
中断 8	0	1	1	1	0	1	1	1

2) 中断处理示意图如图所示。

中断服务程序



5、6、7级中断请求同时到达，CPU按响应优先顺序首先执行中断服务程序⑤，在中断⑤执行完后回到现行程序，再按响应优先顺序先进入中断服务程序④。由于中断请求的处理优先级，高于中断④，因此中断⑤被打断，进入中断服务程序③。当处理中断③的过程中又有一个中断请求②到达，由于②的优先级低于中断8，因此中断服务程序③可继续执行。中断8执行完后回到被打断的中断⑤，但中断③又被中断请求②打断，而进入中断服务程序②。中断②执行完后才回到中断⑤，中断⑤执行完后回到现行程序，再按响应优先顺序进入中断服务程序⑦。中断⑦执行完后回到现行程序，整个中断处理完毕。

38、解析：

- 1) 基值2和16在浮点数中是隐含表示的，并不出现在浮点数中。
- 2) 最大正数，也就是，尾数最大且规格化，阶码最大的数；最小正数，也就是，尾数最小且规格化（ t 为基值时，尾数的最高 $\log_2 t$ 位不全为0的数为规格化数），阶码最小的数。

当阶码的基值是2时，最大正数：0.1111111；0，11...1，真值是 $(1-2^{-23}) \times 2^{127}$ ；最小正数：1，0000000；0，10...0，真值是 2^{-129} 。

当阶码的基值是16时，最大正数：0.111111；0，11...1，真值是 $(1-2^{-23}) \times 16^{127}$ ；最小正数：1，0000000；0，0001.0，真值是 16^{-129} 。

3) 在浮点数表示中，基值越大，表示的浮点数范围就越大，所以基值为16的浮点数表示范围大。

4) 对阶时，需要小阶向大阶看齐，若基值为2的浮点数尾数右移一位，阶码加1；而基值为16的浮点数尾数右移4位，阶码加1。

格式化时，若基值为2的浮点数尾数最高有效位出现0，则需要尾数向末移动一位，阶码减1；而基值为16的浮点数尾数最高4位有效位全为0时，才需要尾数向左移动，每移动4位，阶码减1。

39、解析：

1) 指令操作码占4位，则该指令系统最多可以有 $2^4=16$ 条指令。由于指令操作数占6位，其中3位指示寻址方式，寄存器编号占3位，因此该计算机最多可以有 $2^3=8$ 个通用寄存器。由于计算机字长为16位，因此存储器数据寄存器（MDR）至少为16位。主存空间为128KB，按字（16位）编址，寻址范围为0~64K，存储器地址寄存器（MAR）需16位（ $2^{16}=64K$ ）。

2) 寄存器为16位，指令中可寻址范围至少可达 $0 \sim 2^{16}-1$ 。主存地址空间为 $2^{16}=64K$ ，寻址范围也应该大于或等于64K。因此，转移指令的目标地址范围是 $0 \sim 2^{16}-1$ 。

3) 汇编语句“add (R4) , (R5) +”对应的机器码。

OP	Ms	Rs	Md	Rd
0010	001	100	010	101
	源寻址方式	源寄存器	目标寻址	目标寄存器

对应的机器码写成十六进制为0010001100010101B=2315H：该指令的功能是将R4内容所指存储器单元的内容（源）与R5内容所指存储器单元（目标）的内容相加后，写到R5内容所指的存储器单元。