

Università della Calabria
**Dipartimento di Ingegneria Informatica,
Modellistica, Elettronica e Sistemistica**



Corso di Laurea Triennale in Ingegneria Informatica

PROGETTAZIONE E ANALISI DI UN MOLTIPLICATORE DI WALLACE BASATO SU FPGA

Relatore

Prof.ssa Stefania Perri

Candidato

Giorgio Ubbriaco

Matricola 209899

Anno Accademico 2021-2022

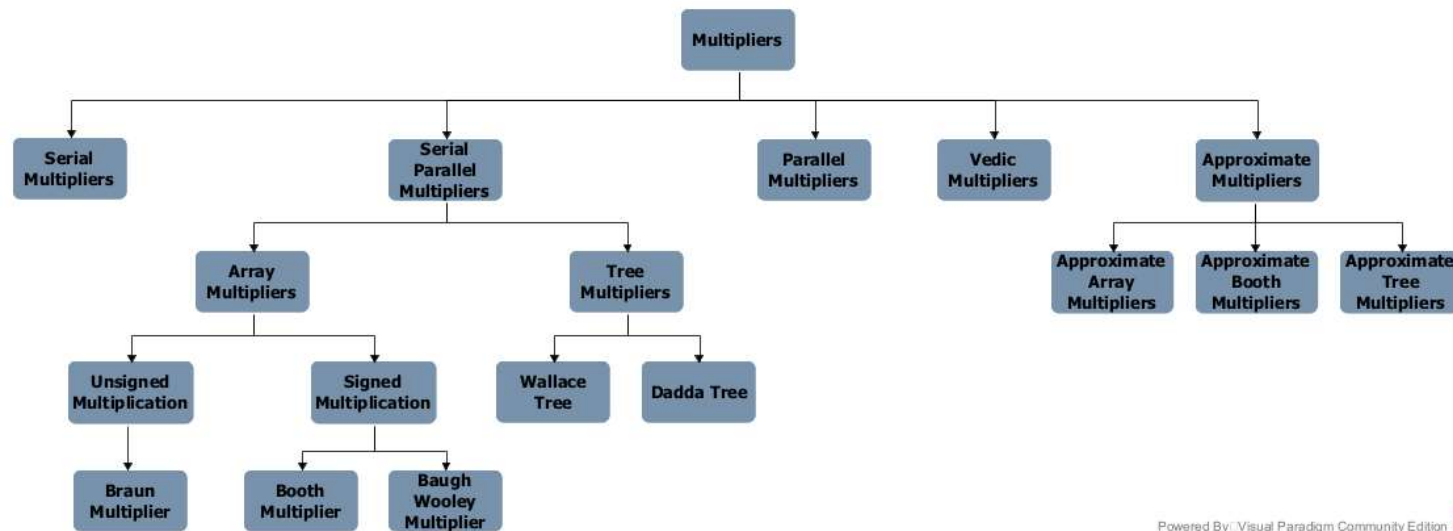


Sommario

- Motivazioni e stato dell'arte.
- Progettazione del Moltiplicatore di Wallace a 8 bit e a 16 bit.
- Confronto tra il Moltiplicatore di Wallace a 8 bit e il Moltiplicatore standard «Carta e Penna» a 8 bit.
- Analisi delle simulazioni e dei report dei sistemi elettronici digitali progettati.



Strutture di moltiplicatori



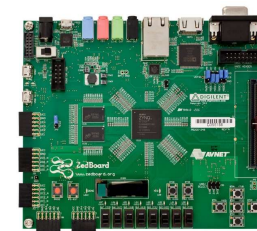
Powered By: Visual Paradigm Community Edition

- Moltiplicatore digitale: circuito elettronico digitale che permette la moltiplicazione binaria tra due operandi ad N bit.

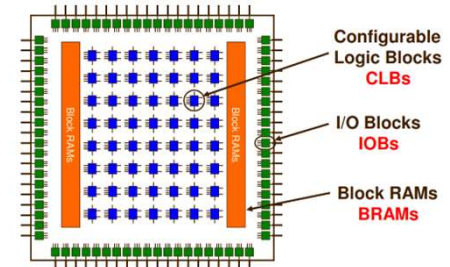


Strumenti di progettazione

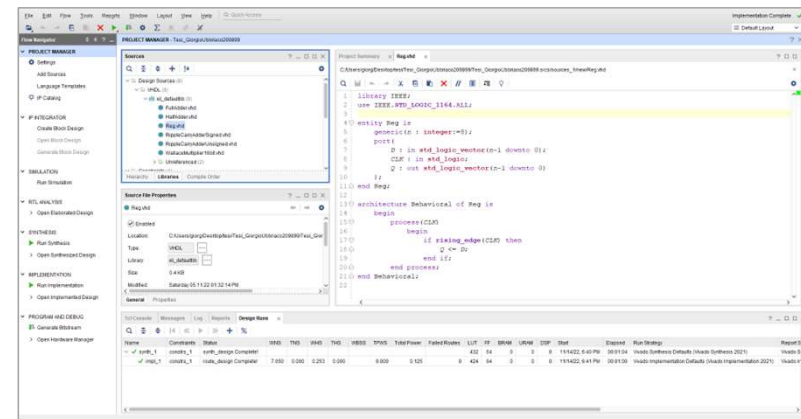
- ZedBoard™: piattaforma ideale sia per sviluppatori principianti sia per quelli esperti.
- FPGA: uno dei dispositivi logici programmabili più diffusi.
- Vivado Design Suite: suite di strumenti utilizzata per la sintesi e l'analisi di progetti scritti in HDL.



ZedBoard



FPGA

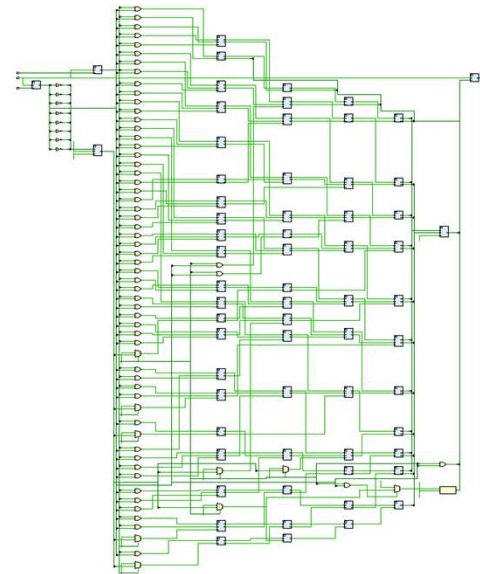


Vivado Design Suite

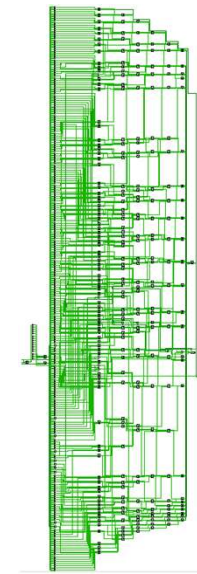


Moltiplicatore di Wallace

- Moltiplicatore ad albero veloce di tipologia seriale-parallelo.
- Maggiore area di occupazione su chip.
- Notevoli guadagni in termini di velocità di calcolo.
- Minore dissipazione di potenza.



RTL Schematic del Moltiplicatore di Wallace a 8 bit

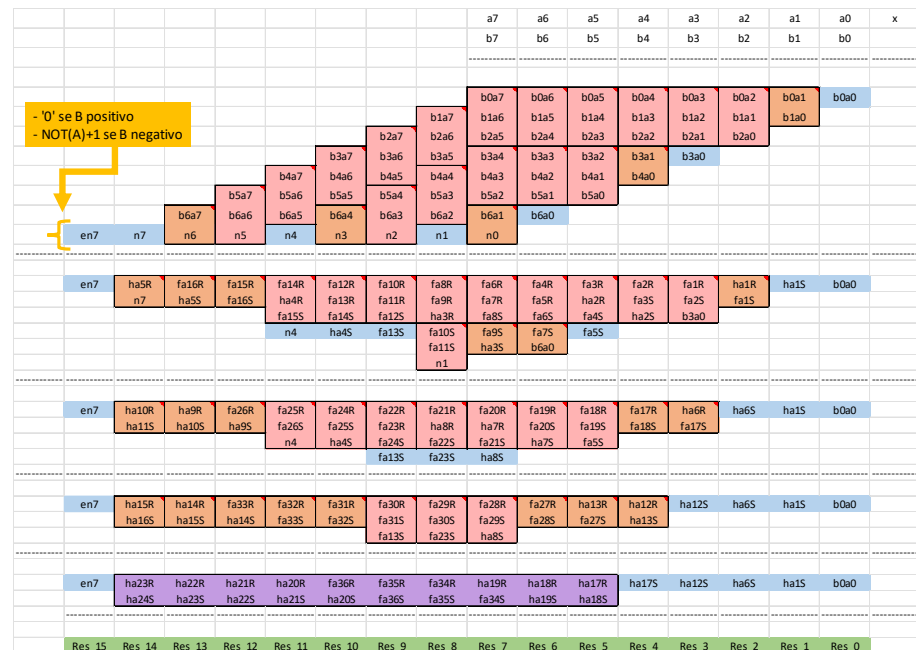


RTL Schematic del Moltiplicatore di Wallace a 16 bit



Generazione e gestione dei prodotti parziali

- Generazione dei prodotti parziali → operazione logica *and* tra gli operandi ad N bit.
- Gestione dei prodotti parziali → iterazioni di compressione.
- 1 Terna di bit → 1 Full-Adder.
- 1 Coppia di bit → 1 Half-Adder.
- 1 bit singolo → 1 bit propagato all'iterazione successiva.
- Compressione finale → 1 Ripple Carry Adder.



Struttura del Moltiplicatore di Wallace a 8 bit



Constraint di clock

- È una specifica di progetto.

Name	Waveform	Period (ns)	Frequency (MHz)
MyCLK	{0.000 10.000}	20.000	50.000

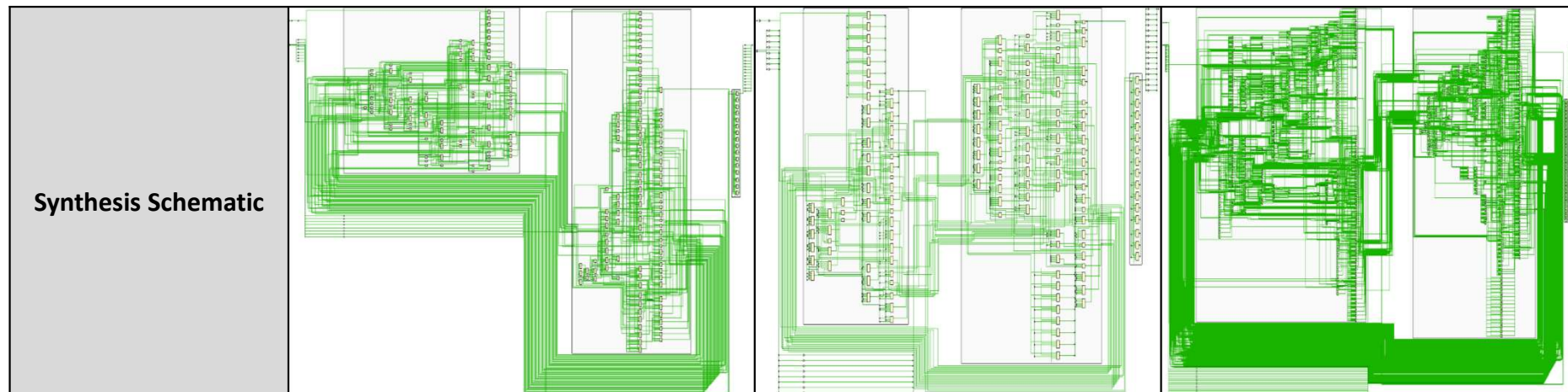
- Frequenza massima di funzionamento maggiore della frequenza garantita dal constraint di clock.

$$f_{garantita} = \frac{1}{T_{constraint}} = \frac{1}{20 \text{ ns}} = \frac{1}{20 \times 10^{-9} \text{ s}} = 50 \times 10^9 \text{ Hz} = 0.05 \text{ GHz}$$



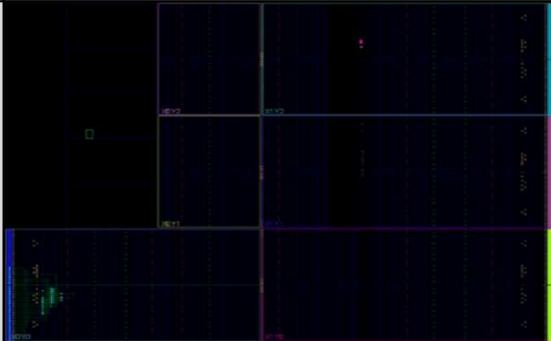
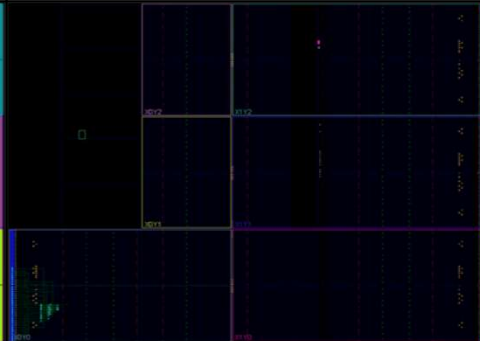
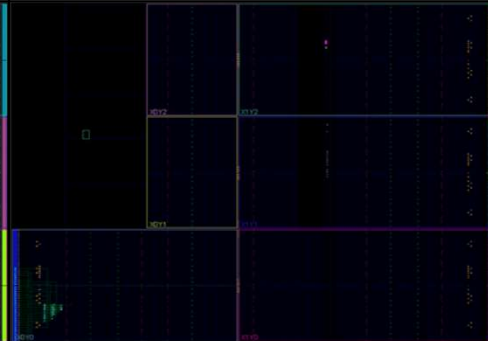
Post-Synthesis

	Moltiplicatore «Carta e Penna» a 8 bit		Moltiplicatore di Wallace a 8 bit		Moltiplicatore di Wallace a 16 bit	
LUT	141/53200	0.27%	102/53200	0.19%	424/53200	0.80%
FF	32/106400	0.03%	32/106400	0.03%	64/106400	0.06%
IO	33/200	16.50%	33/200	16.50%	65/200	32.50%
BUFG	1/32	3.13%	1/32	3.13%	1/32	3.13%



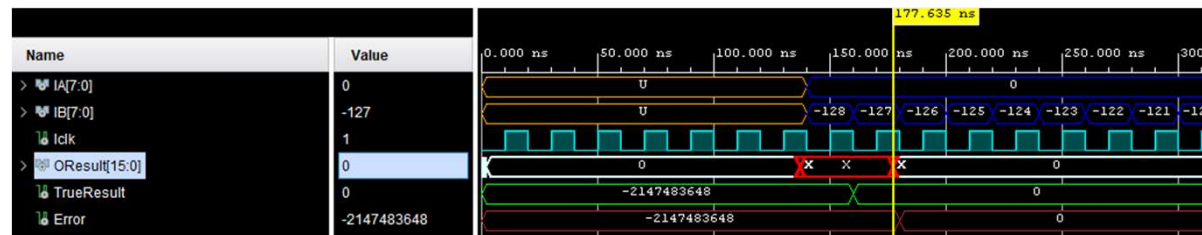


Post-Implementation

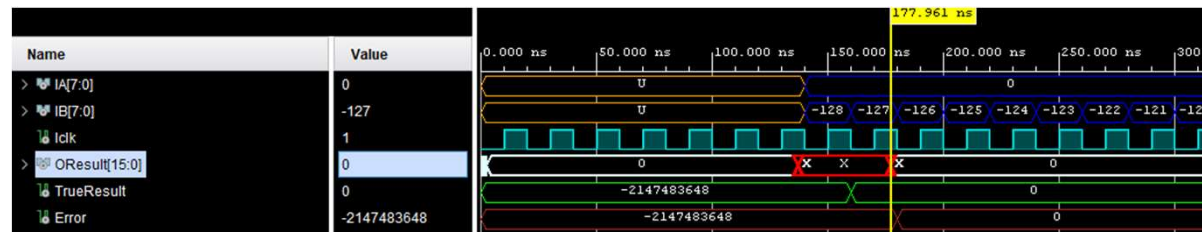
		Moltiplicatore «Carta e Penna» a 8 bit		Moltiplicatore di Wallace a 8 bit		Moltiplicatore di Wallace a 16 bit			
t_{setup}	t_{hold}	9.294 ns	0.260 ns	12.414 ns	0.431 ns	7.650 ns	0.253 ns		
f_{max}		0.09340556697 GHz		0.131821777 GHz		0.08097165992 GHz			
Total On-Chip Power	0.112 W	Static	Dynamic	0.112 W	Static	Dynamic	0.125 W	Static	Dynamic
		0.104W	0.008W		0.104W	0.007W		0.105W	0.020W
Junction Temperature		26.3°C		26.3°C		26.4°C			
Thermal Margin		58.7°C (4.9W)		58.7°C (4.9W)		58.6°C (4.9W)			
Effective ϑJA		11.5°C/W		11.5°C/W		11.5°C/W			
Device									



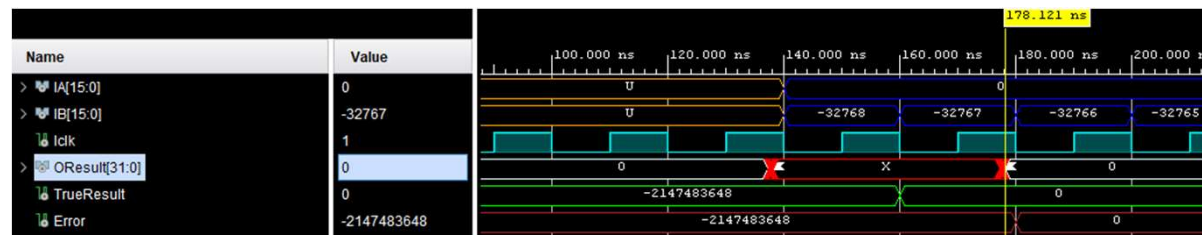
Simulazioni di timing



Post-Implementation Timing Simulation del Moltiplicatore «Carta e Penna» a 8 bit



Post-Implementation Timing Simulation del Moltiplicatore di Wallace a 8 bit

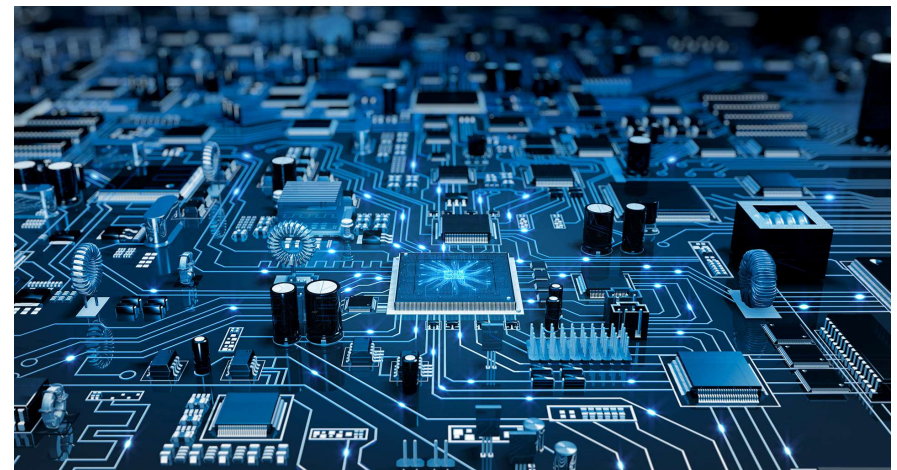


Post-Implementation Timing Simulation del Moltiplicatore di Wallace a 16 bit



Conclusioni

- I moltiplicatori digitali sono fondamentali al giorno d'oggi nell'ambito del *digital signal processing* e delle reti neurali.
- La generazione e la gestione dei prodotti parziali sono, oggi, oggetto di ricerca.
- Stanno prendendo il sopravvento i moltiplicatori approssimati che permettono di mantenere costi e *delay* relativamente bassi.



Grazie per l'attenzione