

Prendendo come riferimento il circuito rappresentato nella slide numero 15 del gruppo di slide "CH12_VHDL_for_LowPower", cercare di ottimizzare la dissipazione di energia del circuito utilizzando una o più tecniche viste a lezione (esempio NON esaustivo: gate level reordering, clock gating, intelligent clock gating, registering, precomputation etc.). Per semplificare il problema, considerare le seguenti cose:

- un registro di uscita a 33 bit
- il sommatore a monte del parity checker sia di 8 bit
- gli ingressi del sommatore a 8 bit a monte del parity checker provengano da due registri a 8 bit

Lo spazio di tutte le possibili combinazioni di tecniche risulta essere molto ampio, per cui non è necessario analizzare TUTTE le possibili combinazioni di tecniche. E' sufficiente selezionare alcune tecniche e/o alcune combinazioni di esse che siano ragionevolmente promettenti per la riduzione dell'energia dissipata. Per ognuna delle tecniche/combinazioni di tecniche selezionate, analizzare la dissipazione dinamica di **energia (escludere l'energia degli I/O)**, la frequenza massima di clock e le risorse hardware utilizzate. Commentare i risultati attesi per ogni tecnica e confrontarli con quelli realmente ottenuti. Per analizzare la dissipazione di energia, utilizzare degli opportuni testbench. Nel confrontare la dissipazione di energia delle varie tecniche, confrontare i file SAIF ottenuti e commentare i risultati di conseguenza. Come output principale dell'elaborato, si dovrebbe ottenere una tabella con l'analisi di tutte le tecniche analizzate in cui si evinca la migliore soluzione (e perché).