**“Low Power Design”**

**2023-2024**

**Prof. FRUSTACI**

**FPGA Analysis**

|  |  |
| --- | --- |
| **Date** | <10/12/2023> |
| **Document** | Final Document |

|  |  |  |
| --- | --- | --- |
| **Full Name** | **ID** | **E-mail Address** |
| Giorgio Ubbriaco | 247284 | bbrgrg00h11d086x@studenti.unical.it |

Contents

[Definitions 5](#_Toc158416493)

[I. Tasks to be performed 6](#_Toc158416494)

[II. Abstract 7](#_Toc158416495)

[1. Introduction 8](#_Toc158416496)

[1.1. ZedBoard™ 8](#_Toc158416497)

[1.2. FPGA 8](#_Toc158416498)

[1.3. VHDL 9](#_Toc158416499)

[1.4. Vivado Design Suite 9](#_Toc158416500)

[1.5. VHDL for Low Power 10](#_Toc158416501)

[1.5.1. Registering Technique 10](#_Toc158416502)

[1.5.2. Clock Gating Technique 11](#_Toc158416503)

[1.5.3. Hybrid Technique 13](#_Toc158416504)

[2. Non-Optimized Architecture Analysis and Design 14](#_Toc158416505)

[2.1. RTL Description and Schematic 15](#_Toc158416506)

[2.2. Synthesis 16](#_Toc158416507)

[2.3. Power Analysis 17](#_Toc158416508)

[2.4. Timing Analysis 18](#_Toc158416509)

[2.5. Frequency Analysis 18](#_Toc158416510)

[2.6. Resources Utilization Analysis 18](#_Toc158416511)

[3. Registering Technique Analysis and Design 18](#_Toc158416512)

[3.1. RTL Description and Schematic 18](#_Toc158416513)

[3.2. Synthesis 18](#_Toc158416514)

[3.3. Power Analysis 18](#_Toc158416515)

[3.4. Timing Analysis 18](#_Toc158416516)

[3.5. Frequency Analysis 18](#_Toc158416517)

[3.6. Resources Utilization Analysis 18](#_Toc158416518)

[4. Clock Gating Technique Analysis and Design 19](#_Toc158416519)

[4.1. Selectors Clock Gating 19](#_Toc158416520)

[4.1.1. RTL Description and Schematic 19](#_Toc158416521)

[4.1.2. Synthesis 19](#_Toc158416522)

[4.1.3. Power Analysis 19](#_Toc158416523)

[4.1.4. Timing Analysis 19](#_Toc158416524)

[4.1.5. Frequency Analysis 19](#_Toc158416525)

[4.1.6. Resources Utilization Analysis 19](#_Toc158416526)

[4.2. Inputs Clock Gating 19](#_Toc158416527)

[4.2.1. RTL Description and Schematic 19](#_Toc158416528)

[4.2.2. Synthesis 19](#_Toc158416529)

[4.2.3. Power Analysis 19](#_Toc158416530)

[4.2.4. Timing Analysis 19](#_Toc158416531)

[4.2.5. Frequency Analysis 19](#_Toc158416532)

[4.2.6. Resources Utilization Analysis 19](#_Toc158416533)

[4.3. All Clock Gating 19](#_Toc158416534)

[4.3.1. RTL Description and Schematic 19](#_Toc158416535)

[4.3.2. Synthesis 19](#_Toc158416536)

[4.3.3. Power Analysis 19](#_Toc158416537)

[4.3.4. Timing Analysis 19](#_Toc158416538)

[4.3.5. Frequency Analysis 19](#_Toc158416539)

[4.3.6. Resources Utilization Analysis 19](#_Toc158416540)

[5. Hybrid Technique Analysis and Design 20](#_Toc158416541)

[5.1. RTL Description and Schematic 20](#_Toc158416542)

[5.2. Synthesis 20](#_Toc158416543)

[5.3. Power Analysis 20](#_Toc158416544)

[5.4. Timing Analysis 20](#_Toc158416545)

[5.5. Frequency Analysis 20](#_Toc158416546)

[5.6. Resources Utilization Analysis 20](#_Toc158416547)

[6. Conclusions 21](#_Toc158416548)

# Definitions

Qui sono contenute diverse definizioni utilizzate all’interno del report per semplificare la fluidità delle analisi.

# Tasks to be performed

Prendendo come riferimento il circuito rappresentato nella slide numero 15 del gruppo di slide “CH12\_VHDL\_for\_LowPower”, cercare di ottimizzare la dissipazione di energia del circuito utilizzando una o più tecniche viste a lezione (esempio NON esaustivo: gate level reordering, clock gating, intelligent clock gating, registering, precomputation etc.). Per semplificare il problema, considerare le seguenti cose:

* un registro di uscita a 33 bit
* il sommatore a monte del parity checker sia di 8 bit
* gli ingressi del sommatore a 8 bit a monte del parity checker provengano da due registri a 8 bit

Lo spazio di tutte le possibili combinazioni di tecniche risulta essere molto ampio, per cui non è necessario analizzare TUTTE le possibili combinazioni di tecniche. È sufficiente selezionare alcune tecniche e/o alcune combinazioni di esse che siano ragionevolmente promettenti per la riduzione dell’energia dissipata. Per ognuna delle tecniche/combinazioni di tecniche selezionate, analizzare la dissipazione dinamica di energia (escludere l’energia degli I/O), la frequenza massima di clock e le risorse hardware utilizzate. Commentare i risultati attesi per ogni tecnica e confrontarli con quelli realmente ottenuti. Per analizzare la dissipazione di energia, utilizzare degli opportuni testbench. Nel confrontare la dissipazione di energia delle varie tecniche, confrontare i file SAIF ottenuti e commentare i risultati di conseguenza. Come output principale dell’elaborato, si dovrebbe ottenere una tabella con l’analisi di tutte le tecniche analizzate in cui si evinca la migliore soluzione (e perché).

# Abstract

La parte iniziale di questo progetto ha previsto la descrizione, mediante il linguaggio di descrizione dell’hardware VHDL e il software di progettazione Xilinx Vivado 2018.3, di un circuito digitale non ottimizzato, precedentemente affrontato durante le lezioni, e la sua ottimizzazione mediante tecniche low-powering. Nello specifico, nella parte finale di questo report verranno analizzati i risultati ottenuti al fine di ricercare la migliore soluzione tra quelle proposte. Tra queste strategie, sono state esaminate e testate tecniche quali il registering, il clock gating in svariate configurazioni e un approccio ibrido che combina entrambe le metodologie.

Per quanto riguarda il circuito non ottimizzato, questo presenta 4 input, A, B, C e D, disposti in ingresso a 2 sommatori. Nello specifico, un adder sarà relativo alla somma tra A e C mentre l’altro relativo alla somma tra B e D. Infine, le somme ottenute, verranno disposte in input ad un multiplexer, che secondo un determinato selettore, sceglierà quale dei due risultati ottenuti, mediante sommatori, processare in output. Tale circuito non ottimizzato verrà affrontato nei dettagli nei successivi capitoli.

Immagine che contiene diagramma, schizzo, Piano, Disegno tecnico

Descrizione generata automaticamente

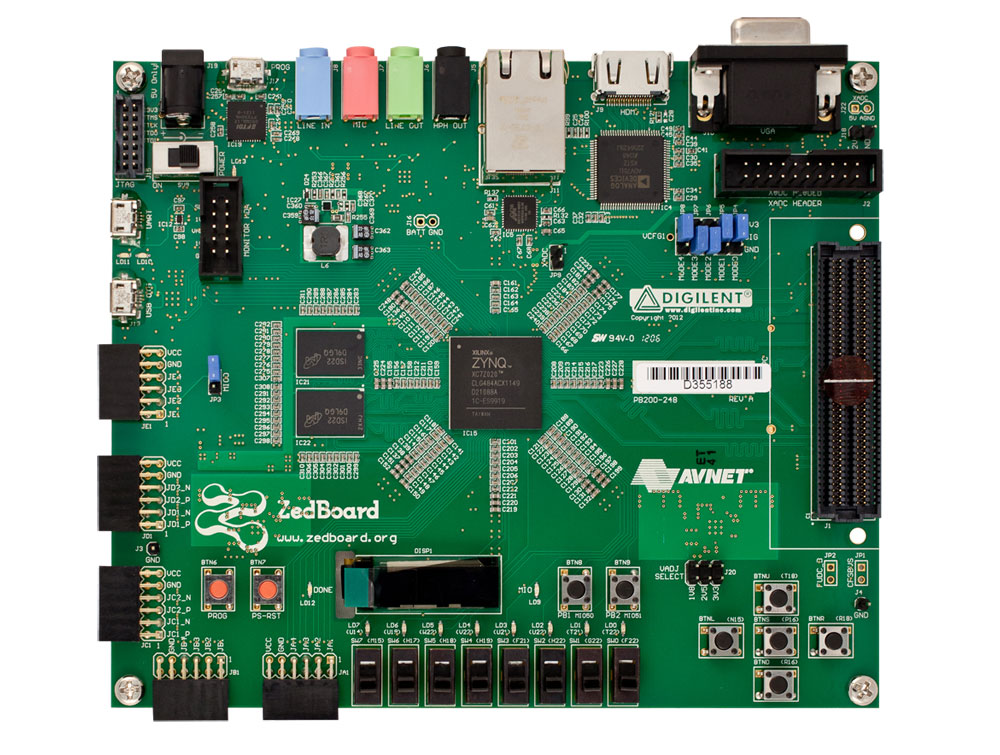
Pertanto, considerando questa progettazione hardware iniziale, verranno implementate, mediante gli strumenti sopra citati, alcune tecniche al fine di ottenere miglioramenti dal punto di vista della potenza e considerando opportuni trade-off.

# Introduction

In questo capitolo verranno introdotti alcuni concetti teorici utili ad affrontare le tematiche e le analisi svolte all’interno del report del progetto.

## ZedBoard™

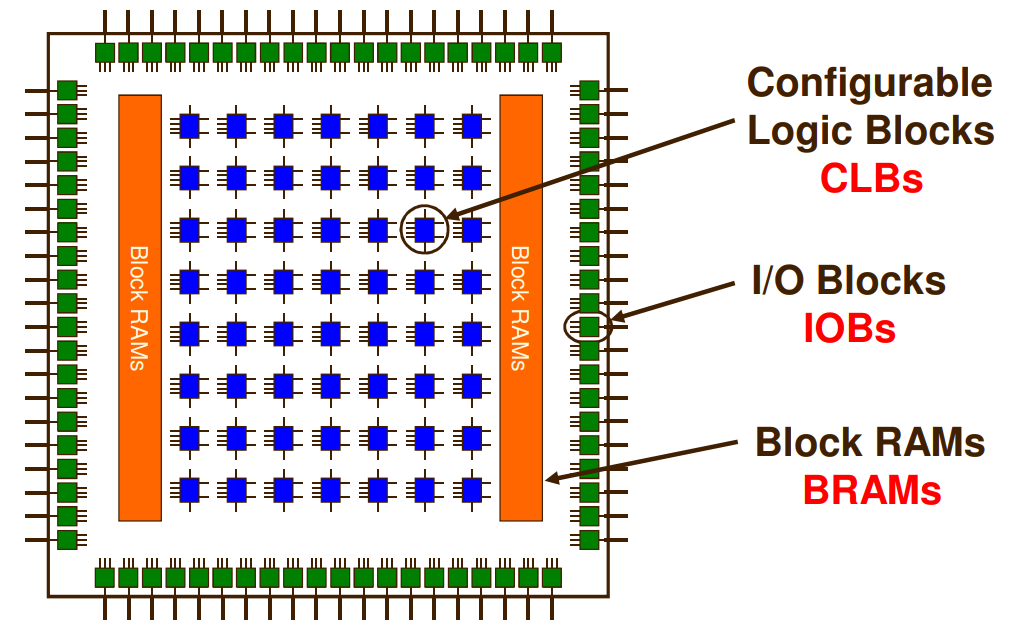
Una piattaforma ideale sia per sviluppatori principianti sia per quelli esperti è la ZedBoard™. Essa è una scheda di sviluppo a basso costo basata sul Xilinx Zynq-7000 All Programmable SoC. È composta dal processore multi-core Corex-A9 con frequenza di funzionamento massima pari a 667 𝑀𝐻𝑧, una memoria da 512 𝑀𝐵 di tipologia DDR3 e 85,000 Series-7 Programmable Logic (PL) tale da essere destinata per un utilizzo in molte applicazioni. Inoltre, prevede uno slot per microSD e diverse periferiche tale da renderla una piattaforma versatile e flessibile in molti usi.



## FPGA

Oggigiorno, l’interesse relativo ai sistemi riprogrammabili tende ad aumentare sempre di più. Tanto è vero che una tra le figure più richieste nel mondo ingegneristico è quella dello sviluppatore competente sia in ambito software che hardware, capace di progettare componenti HW e SW per sistemi elettronici complessi. Nello specifico, sfruttando schede riconfigurabili, è possibile avere flessibilità ed efficienza pur mantenendo una dissipazione di potenza ed un costo moderati. Quindi, si può evincere come la richiesta di chip, che incorporano un microprocessore a cui sono cablate le logiche programmabili, sia sempre più alta.

Uno tra i dispositivi logici programmabili più versatili è l’FPGA. Il Field Programmable Gate Array è un dispositivo logico riconfigurabile composto da un circuito integrato le cui funzionalità logiche sono programmabili tramite linguaggi descrittivi hardware come, ad esempio, VHDL e Verilog.



Al suo interno è presente una matrice di blocchi logici configurabili, denominati CLB (Configurable Logic Blocks), i cui collegamenti fra loro non sono prestabiliti. Ogni blocco presenta una struttura gerarchica. Infatti, è composto da 2 o 4 logic cell ed ognuna di quest’ultime è composta da una o più LUT (Look-up Table). Ogni LUT è composta da una memoria SRAM da 16 bit e da un multiplexer a 4 ingressi tale che ognuna di esse potrà essere progettata affinché riproduca una funzione logica. I collegamenti delle CLB sono organizzati tramite matrici di interruttori programmabili (Programmable Switch Matrix). Inoltre, lungo il perimetro della matrice, sono presenti gli IOB (Input Output Block) che si occupano dell’interfacciamento input-output del circuito con l’esterno.

## VHDL

Uno tra i linguaggi descrittivi dell’hardware più utilizzati è il VHDL (Very High Speed Integrated Circuits Hardware Description Language). Esso, sviluppato dal Dipartimento della Difesa (DoD) statunitense, è uno standard IEEE11 utilizzato per la progettazione di sistemi elettronici digitali. Il VHDL si propone come linguaggio indipendente dall’architettura di implementazione tale da essere usato sia per la sintesi che per la simulazione del circuito progettato. Tanto è vero che, tramite la dichiarazione del modulo che si vuole simulare, è possibile creare un file di testbench che permette di analizzare il comportamento del circuito, cioè l’output generato, a fronte di determinati ingressi imposti al modulo.

Di notevole importanza è la possibilità di una modellazione di tipo gerarchica, cioè descrivere un componente attraverso altri sotto-moduli già progettati. Essi potranno essere connessi tra di loro tramite dei signals. Quest’ultimi appena citati vengono, infatti, utilizzati per modellare l’informazione che transita tra i vari moduli progettati, cioè tra le porte di ognuno e, quindi, assumere i connotati di un’entrata (input) o di un’uscita (output) di un componente logico, oppure semplicemente per realizzare una determinata funzione logica.

## Vivado Design Suite

La Vivado Design Suite è una suite di strumenti progettata da Xilinx per aumentare la produttività complessiva della progettazione, dell’integrazione e dell’implementazione di sistemi che utilizzano dispositivi UltraScale™, 7 series e Versal®, MPSoC Zynq® UltraScale+™ e SoC Zynq®-7000. Essa è utilizzata per la sintesi e l’analisi di progetti scritti in un linguaggio descrittivo dell’hardware di tipologia HDL. Vivado risulta essere un’evoluzione rispetto a Xilinx ISE poiché introduce funzionalità per lo sviluppo di SoC12 e per la sintesi ad alto livello. Inoltre, la suite permette di analizzare, verificare e modificare il progetto ad ogni fase del processo di progettazione.

## VHDL for Low Power

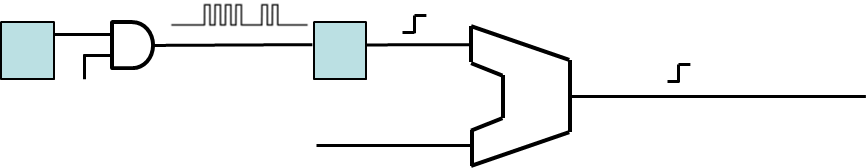
Il linguaggio di descrizione dell’hardware VHDL, oltre a permettere una corretta interpretazione da parte di alcuni software riguardo l’architettura hardware che si vuole progettare, consente di implementare attraverso metodi impliciti ed espliciti tecniche che possono effettivamente migliorare alcuni parametri di progettazione come, ad esempio, la misura della potenza. Nello specifico, è possibile esprimere attraverso alcuni costrutti software alcune metodologie low powering come, ad esempio, il Clock Gating Esplicito. Inoltre, attraverso l’omissione di altri costrutti è possibile implementare invece il Clock Gating Implicito. Oppure ancora, attraverso, l’introduzione di altri componenti hardware è possibile attuare ulteriori strategie come, ad esempio, il Registering. In aggiunta, è possibile, attraverso la re-organizzazione dello schematic, è possibile mettere in atto tecniche low powering più complesse che potrebbero migliorare le prestazioni del circuito stesso come, ad esempio, la tecnica conosciuta con l’appellativo di Gate Level Reordering. Bisogna notare che le tecniche a disposizione per effettuare miglioramenti ad alcuni aspetti cruciali, del circuito che viene considerato, sono molteplici e, soprattutto, la loro applicazione in alcuni casi risulta essere differente rispetto ad altri. Inoltre, è necessario specificare che l’applicazione di alcune di queste tecniche è più semplice rispetto ad altre ed in alcuni casi risulta essere più efficiente per alcuni punti di vista mentre in altre situazioni è fondamentale applicare strategie più complesse dal punto di vista della progettazione.

In questo progetto sono state utilizzate, come precedentemente specificato, tre tecniche: la strategia di registering, quella del clock gating e, infine, un ibrido tra le due appena citate. Nello specifico, tali tecniche, dal punto di vista teorico, verranno illustrate nei successivi paragrafi.

In generale, l’analisi della potenza prevede considerazioni a livello statico e a livello dinamico. Nello specifico, le tecniche di riduzione della potenza statica includono variazioni di , e ulteriori strategie. Pertanto, applicare una di queste tecniche vuol dire modificare il processo tecnologico relativo al MOS o dell’architettura globale del sistema. Quindi, dal punto di vista hardware, nel caso di utilizzo di FPGA, tali tecniche non sono realmente utilizzabili a livello RTL. Viceversa, l’analisi e l’attuazione di tecniche rivolte alla diminuzione della potenza dinamica risulta essere più adeguata alle soluzioni hardware in questione. Nello specifico, analizzando l’attività di switching dell’architettura progettata e, pertanto, considerando il parametro caratteristico associato, cioè l’activity factor , è possibile modellare soluzioni low powering associate all’applicazioni considerata. Infatti, nel seguente report, per ogni strategia utilizzata, verrà considerato un , relativo ad un determinato segnale, per spiegare a livello pratico come questo parametro possa influenzare la potenza dinamica associata al circuito. Inoltre, per effettuare una stima accurata della potenza, precedentemente citata, verrà considerata la generazione del file .saif mediante l’utilizzo di di stimoli digitali in input all’architettura in questione. Nello specifico, la simulazione del circuito, in condizioni random (mediante generazione di input random tramite script python), permette di analizzare l’attività di switching di ogni singolo nodo e ottenere una stima della potenza totale del circuito. Ovviamente, più si considerano stimoli random e più la stima del report di potenza sarà accurata.

### Registering Technique

La tecnica del registering consiste nell’utilizzo di registri per limitare l’attività di switching dovuta ai glitch che si propagano lungo le interconnessioni. Infatti, tale fenomeno non si ferma localmente ma viene propagato, tramite il segnale in cui sono presente, attraverso i moduli. Nello specifico, i glitch sono molto importanti dal punto di vista della potenza perché essi comportano continui switching e, pertanto, peggiorando il parametro di activity factor e il valore di potenza dinamica associata. Questo vuol dire che, maggiore saranno i glitch maggiore sarà l’attività di switching e la potenza dinamica corrispondente.



Pertanto, considerando l’introduzione di registri all’interno dell’architettura hardware permetterebbe di ridurre l’attività dei glitch e il corrispondente switching. Ovviamente, questo vuol dire considerando un maggiore numero di risorse, una maggiore latenza e una differente distribuzione del clock all’interno del layout.

Nello specifico, avere una propagazione dei glitch vuol dire avere un valore di transition count TC elevato, cioè sta a significare che l’attività di switching è elevata. Una conferma di ciò può essere analizzata nel dettaglio facendo riferimento rispettivamente al file .saif dell’architettura non ottimizzata e di quella relativa all’applicazione del registering. Prendendo, ad esempio, un segnale comune ad entrambe le architetture si pùo notare come tale parametro venga ridotto utilizzando la tecnica low powering del registering:

La prima riga è relativa al file .saif dell’architettura non ottimizzata mentre la seconda è relativa alla soluzione hardware mediante registering. Si può notare come il valore di transition count da 426 viene ridotto al valore di 99. Pertanto, considerando tale approccio sull’intera architettura, ci si aspetta una riduzione della potenza dinamica dal momento che l’attività di switching viene ridotta tramite tale tecnica.

### Clock Gating Technique

La tecnica del Clock Gating fa parte della tipologia di strategie implementabili attraverso esplicitazione e non di costrutti tramite linguaggio VHDL. Nello specifico, considerando il segnale di clock enable, è possibile specificare se aggiornare il dato di un determinato registro/flipflop e, pertanto, effettuare miglioramenti dal punto dell’attività di switching. Questo vuol dire che, se non c’è necessità di aggiornare un dato in un determinato istante, allora si può limitare tale attività di switching utilizzando il segnale di clock enable, cioè se CE=1 allora il dato viene aggiornato altrimenti no. Questa tecnica è possibile implementarla sia esplicitamente sia implicitamente. Nel primo caso, tale metodo consiste nel verificare il valore logico del pin di clock enable esplicitando proprio il suo uso tramite una direttiva if nel codice VHDL.

Immagine che contiene testo, schermata, schermo, software

Descrizione generata automaticamente

Per quanto riguarda, invece, la tecnica di clock gating implicita prevede di non esplicitare una determinata condizione. Un esempio potrebbe essere quello di non esplicitare cosa accade ad un determinato segnale nel momento in cui il reset assume il livello logico alto:

Immagine che contiene testo, schermata, schermo, software

Descrizione generata automaticamente

Pertanto, non specificando cosa accade al segnale reg2 nel momento in cui il segnale RST=’1’ vuol dire applicare la tecnica di clock gating sul segnale reg2, cioè, nel caso in cui tale condizione sia soddisfatta, tale segnale non viene aggiornato.

Inoltre, il clock gating implicito è possibile esprimerlo tramite un multiplexer. Questo vuol dire che, nel momento in cui bisogna esprimere le condizioni per cui i segnali in ingresso possono essere processati in uscita secondo un certo selettore, all’interno della definizione di tale modulo non viene esplicitato direttamente un determinato caso. Pertanto, non specificare un determinato caso vuol dire effettuare il clock gating secondo una certa logica. Questo vuol dire che il clock enable CE sarà abilitato secondo una certa funzione logica data dalla definizione di tale multiplexer:

Immagine che contiene testo, schermata, schermo, software

Descrizione generata automaticamente

Ad esempio, in questo caso non viene esplicitato cosa accade nel caso in cui il selettore risulta assumere il valore logico “11”. Pertanto, analizzare i bit che può assumere il segnale SEL è possibile notare come il segnale di clock enable CE è possibile ricavarlo tramite l’analisi di una tabella di verità. In questo caso, la LUT che dovrà calcolare il valore logico di CE dovrà prevedere il comportamento della funzione logica NAND. Infatti, si avrà che tale che per le leggi di De Morgan è possibile esplicitare secondo la seguente funzione logica .

Bisogna specificare che, in tale progetto il clock gating implicito utilizzato è il primo descritto, cioè prevede la non specificazione esplicita della condizione in cui il RST risulta avere il valore logico basso. Inoltre, bisogna precisare che tale tecnica è stata applicata per i selettori del circuito sopra citato, per gli ingressi A, B, C e D, e, infine, sia per i selettori sia per gli ingressi appena citati.

### Hybrid Technique

La tecnica ibrida prevede la sperimentazione dell’utilizzo di più tecniche low powering combinate per ottenere un possibile risultato migliore rispetto al considerare ogni strategia singolarmente. In questo caso, il sistema ibrido prevede l’utilizzo del registering combinato alla tecnica del clock gating implicito.

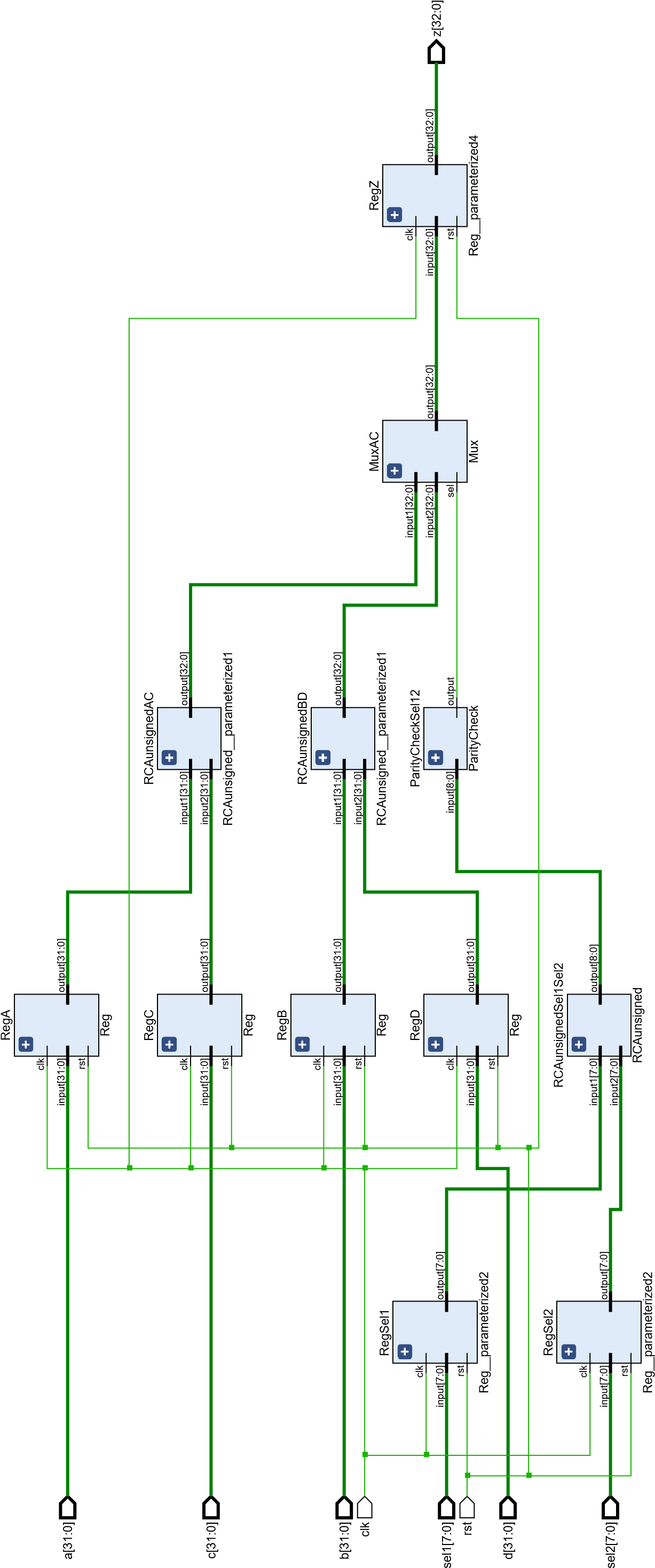
# Non-Optimized Architecture Analysis and Design

L’architettura non ottimizzata, precedentemente descritta, è possibile consultarla nel file " \progetti\progetto-3\vivado\not\_optimized\src\TopArchitecture.vhd". Qui di seguito viene riportato un estratto di codice relativo alla descrizione tramite linguaggio di descrizione dell’hardware VHDL dell’architettura corrispondente.

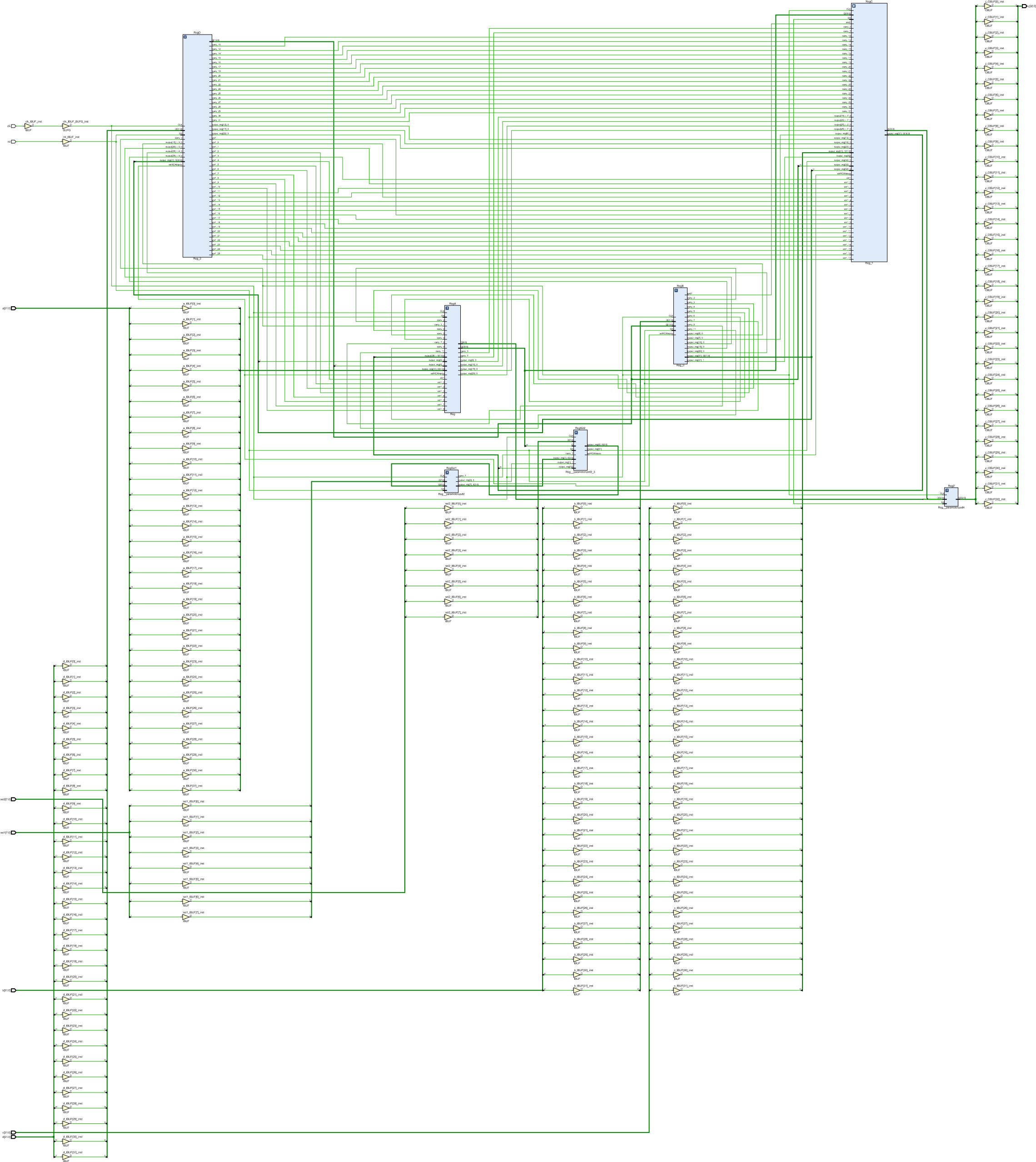
Immagine che contiene testo, elettronica, schermata, schermo

Descrizione generata automaticamente

## RTL Description and Schematic



## Synthesis



## Power Analysis

Dopo aver effettuato l’implementazione e aver aggiunto al progetto il file .saif, generato in seguito alla simulazione Post-Implementation Timing Simulation dove sono stati considerati input random, vengono qui di seguito allegati i plot relativi ai report di potenza corrispondenti rispettivamente ai segnali di clock relativi ai FF, ai segnali di logica e ai segnali di dati relativi alle interconnessioni.

## Timing Analysis

Qui di seguito viene riportata la tabella rappresentante la timing analysis relativa all’architettura non ottimizzata.

|  |  |
| --- | --- |
| Worst Negative Slack WNS [ns] | Worst Hold Slack WHS [ns] |
| 1.009 | 0.147 |

Nello specifico, con il termine slack ci si riferisce al margine temporale disponibile per completare un path critico all’interno del circuito. Esso indica la differenza tra il tempo disponibile per completare il percorso e il tempo effettivamente richiesto per farlo. Uno slack positivo indica che il percorso è temporizzato correttamente, mentre uno slack negativo indica che il percorso non rispetta i requisiti di timing.

Il WNS, cioè il Worst Negative Slack, indica la peggiore differenza temporale tra il tempo disponibile e il tempo necessario per completare un path critico all’interno del circuito. In particolare, indica il path con il margine di slack più basso, cioè il percorso che è più critico dal punto di vista temporale. Può essere positivo se il path viene completato prima del tempo previssto oppure negativo se il percorso richiede più tempo di quello disponibile.

Per quanto riguarda il margine di hold, esso indica una misura del margine temporale disponibile per mantenere stabile il dato su un percorso di temporizzazione. Nello specifico, esso indica la differenza tra il tempo minimo di hold (il tempo minimo che un dato deve essere stabile prima del fronte di clock successivo) e il tempo effettivo di hold ottenuto dal percorso. Un hold slack positivo indica che il dato è stabile per un periodo di tempo maggiore del minimo richiesto, mentre un hold slack negativo indica che il dato non è stabile per il tempo minimo richiesto.

Il WHS, cioè il Worst Hold Slack, indica la peggiore differenza temporale tra il tempo minimo di hold e il tempo effettivo di hold ottenuto per tutti i percorsi di temporizzazione all’interno del circuito. Pertanto, WHS indica il percorso con il margine di hold più basso, cioè il percorso che è più critico dal punto di vista del mantenimento del dato stabile tra due clock consecutivi. Come il WNS, il WHS può essere positivo se il percorso rispetta il tempo minimo di hold, oppure negativo se il percorso non soddisfa il requisito di hold.

## Maximum Frequency Analysis

L’analisi della frequenza massima è relativa alla possibile frequenza che il circuito può raggiungere facendo alcune considerazioni riguardo parametri relativi all’architettura non ottimizzata.

## Resources Utilization Analysis

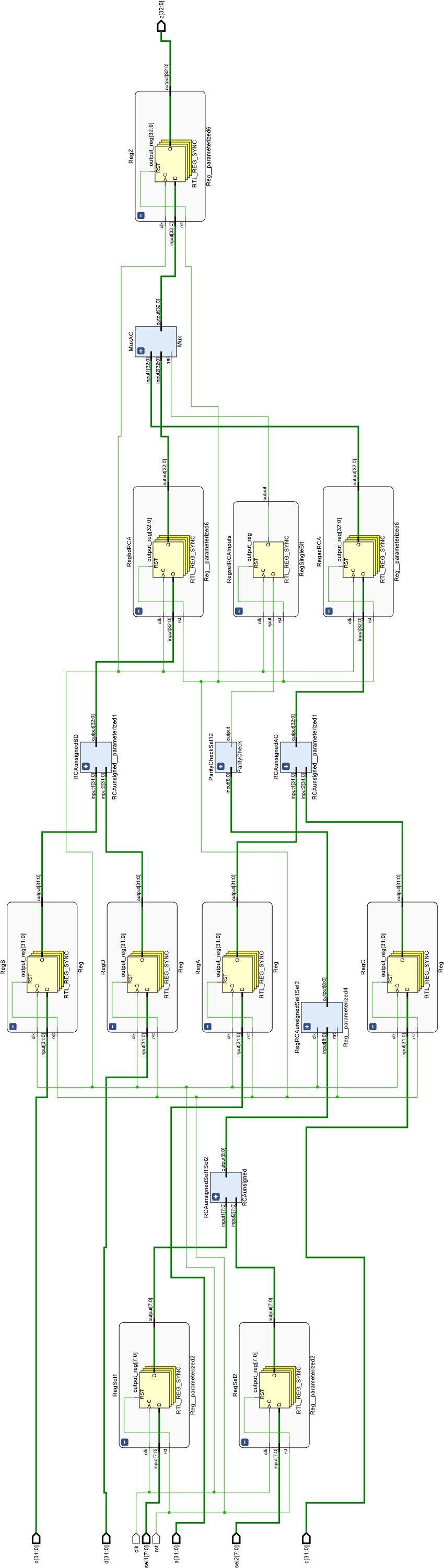
Qui di seguito viene riportata la tabella rappresentante l’utilizzazione delle risorse relativa all’architettura non ottimizzata.

Immagine che contiene testo, schermata, Carattere, numero

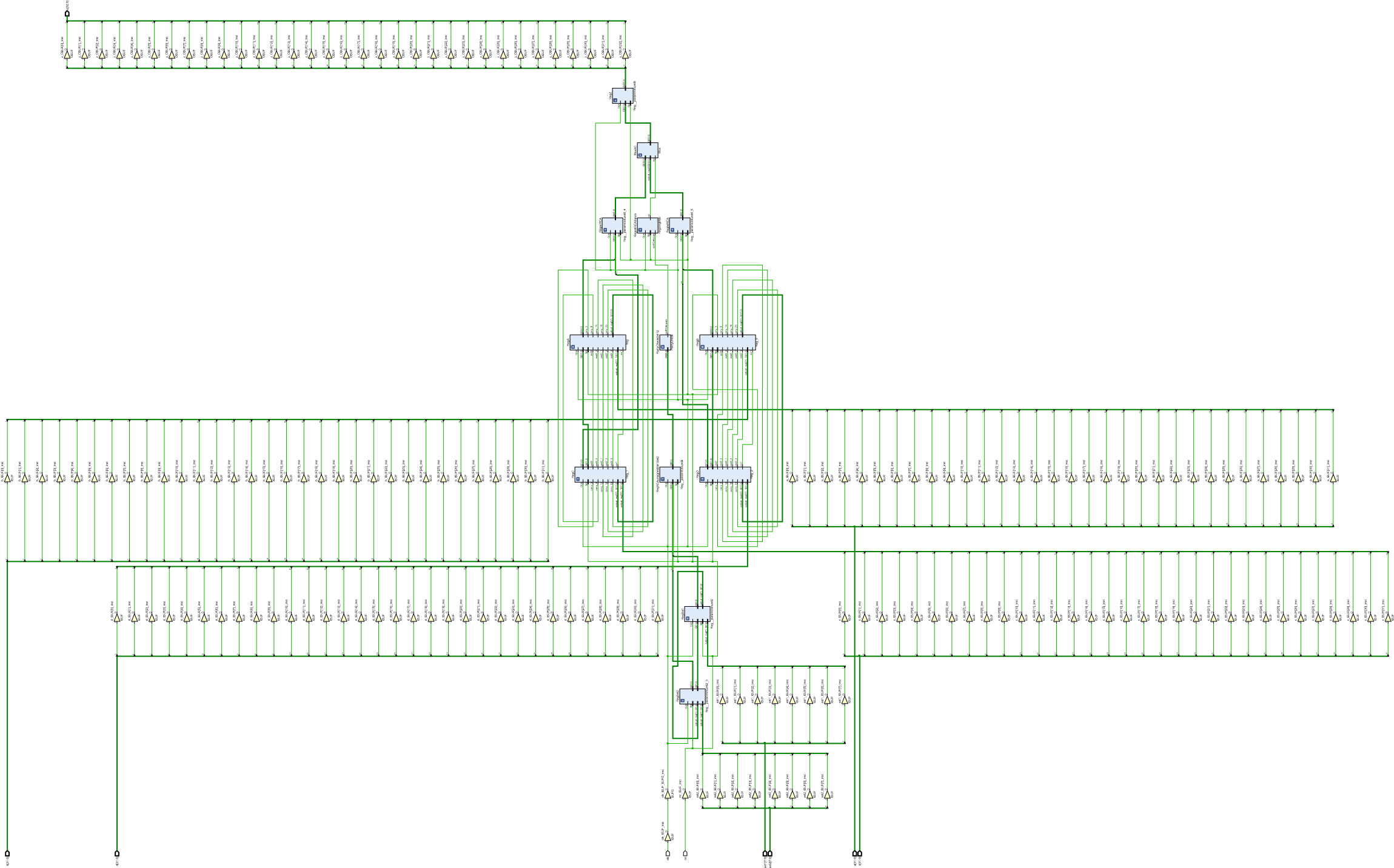
Descrizione generata automaticamente

# Registering Technique Analysis and Design

## RTL Description and Schematic



## Synthesis



## Power Analysis

Dopo aver effettuato l’implementazione e aver aggiunto al progetto il file .saif, generato in seguito alla simulazione Post-Implementation Timing Simulation dove sono stati considerati input random, vengono qui di seguito allegati i plot relativi ai report di potenza corrispondenti rispettivamente ai segnali di clock relativi ai FF, ai segnali di logica e ai segnali di dati relativi alle interconnessioni.

## Timing Analysis

Qui di seguito viene riportata la tabella rappresentante la timing analysis relativa all’architettura ottimizzata con tecnica di registering.

|  |  |
| --- | --- |
| Worst Negative Slack WNS [ns] | Worst Hold Slack WHS [ns] |
| 1.052 | 0.12 |

## Frequency Analysis

L’analisi della frequenza massima è relativa alla possibile frequenza che il circuito può raggiungere facendo alcune considerazioni riguardo parametri relativi all’architettura ottimizzata con tenica di registering.

## Resources Utilization Analysis

Qui di seguito viene riportata la tabella rappresentante l’utilizzazione delle risorse relativa all’architettura ottimizzata tramite tecnica di registering.

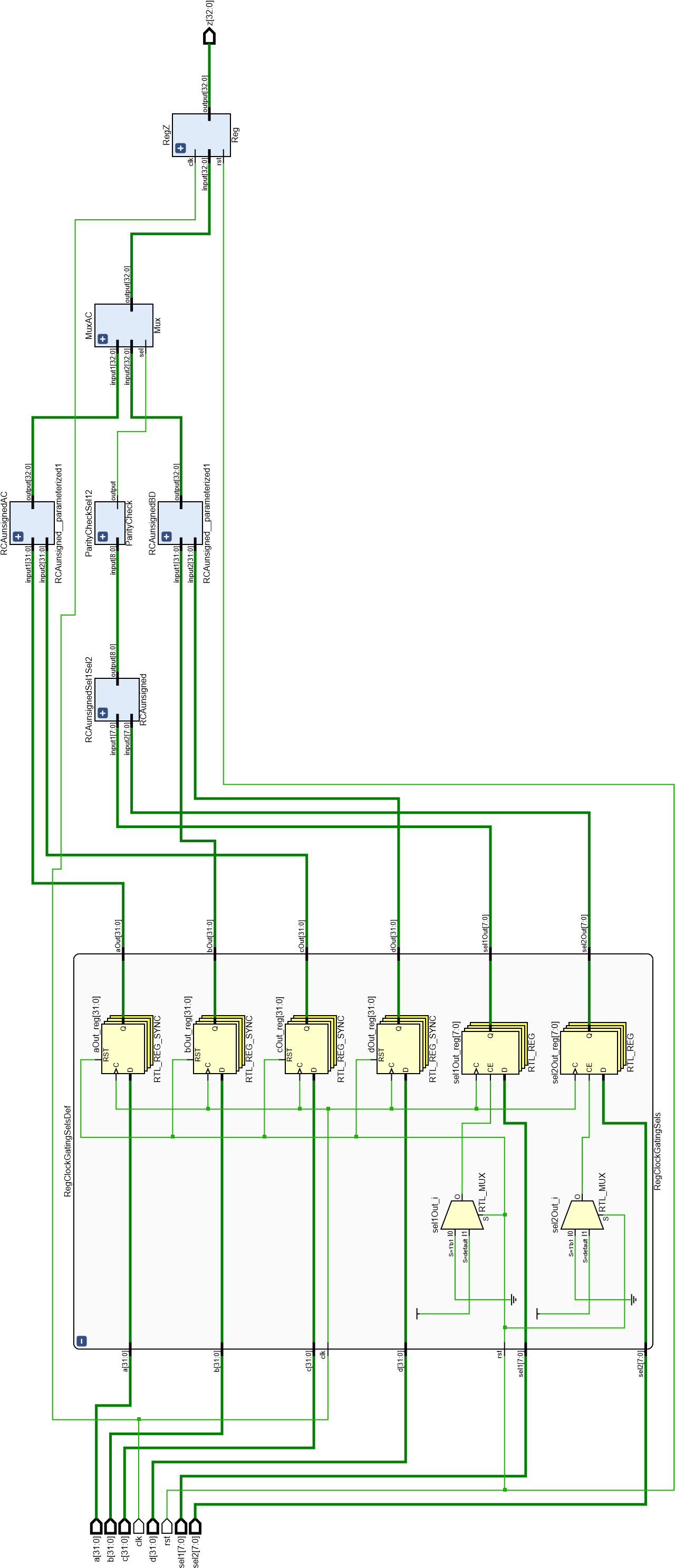
Immagine che contiene testo, schermata, Carattere, numero

Descrizione generata automaticamente

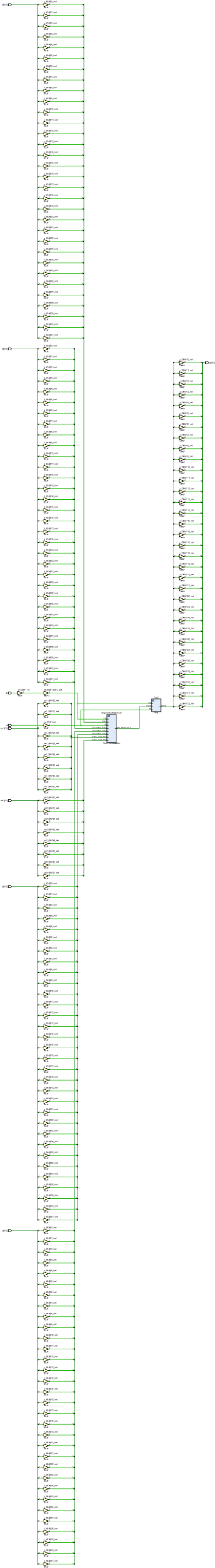
# Clock Gating Technique Analysis and Design

## Selectors Clock Gating

### RTL Description and Schematic



### Synthesis



### Power Analysis

Dopo aver effettuato l’implementazione e aver aggiunto al progetto il file .saif, generato in seguito alla simulazione Post-Implementation Timing Simulation dove sono stati considerati input random, vengono qui di seguito allegati i plot relativi ai report di potenza corrispondenti rispettivamente ai segnali di clock relativi ai FF, ai segnali di logica e ai segnali di dati relativi alle interconnessioni.

### Timing Analysis

Qui di seguito viene riportata la tabella rappresentante la timing analysis relativa all’architettura ottimizzata con tecnica di clock gating applicata ai selettori.

|  |  |
| --- | --- |
| Worst Negative Slack WNS [ns] | Worst Hold Slack WHS [ns] |
| 1.383 | 0.224 |

### Frequency Analysis

L’analisi della frequenza massima è relativa alla possibile frequenza che il circuito può raggiungere facendo alcune considerazioni riguardo parametri relativi all’architettura ottimizzata con tenica di clock gating applicata ai selettori.

### Resources Utilization Analysis

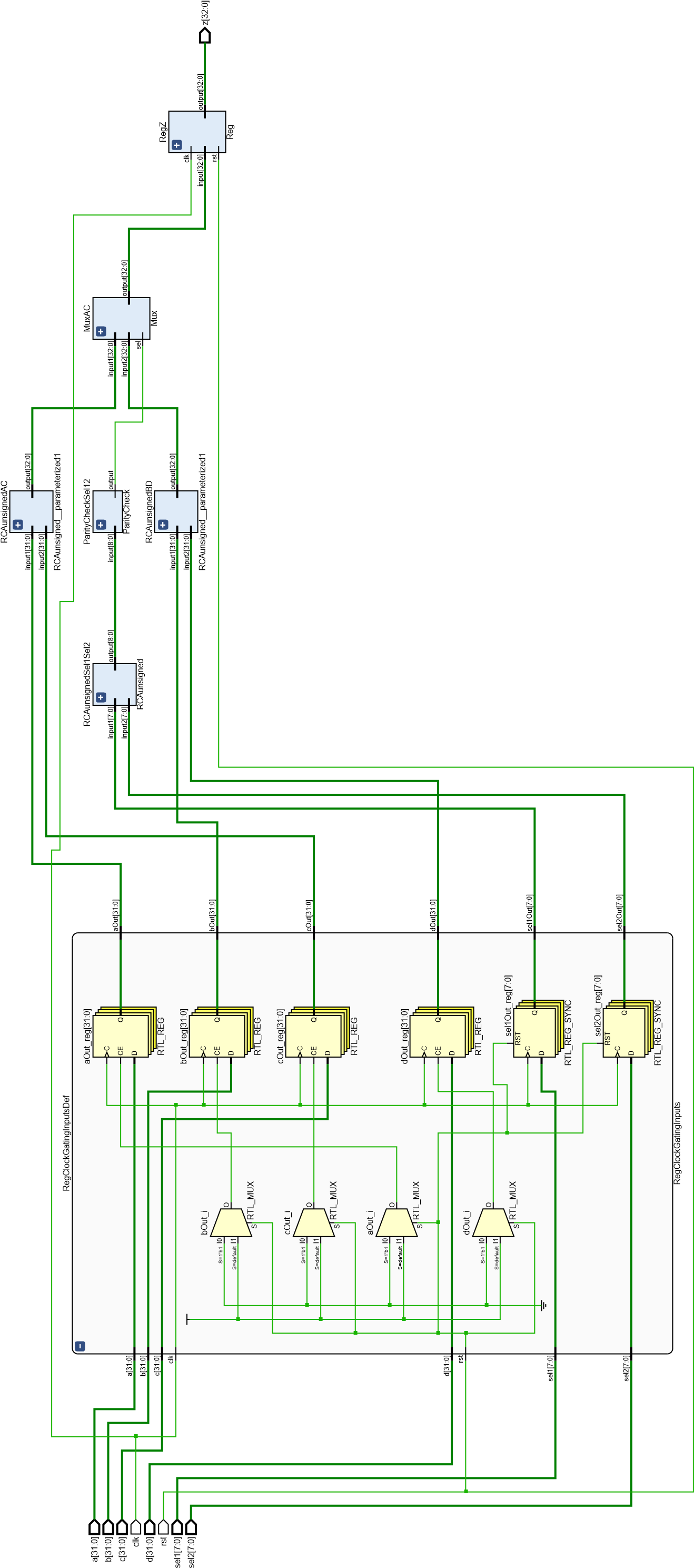
Qui di seguito viene riportata la tabella rappresentante l’utilizzazione delle risorse relativa all’architettura ottimizzata tramite tecnica di clock gating applicata ai selettori.

Immagine che contiene testo, schermata, numero, Carattere

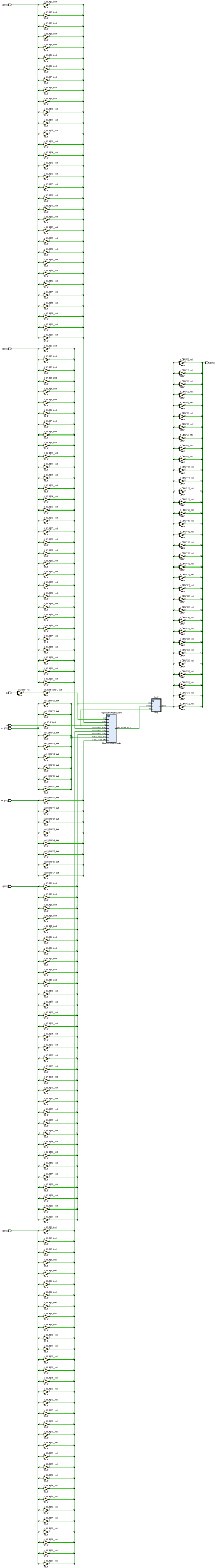
Descrizione generata automaticamente

## Inputs Clock Gating

### RTL Description and Schematic



### Synthesis



### Power Analysis

Dopo aver effettuato l’implementazione e aver aggiunto al progetto il file .saif, generato in seguito alla simulazione Post-Implementation Timing Simulation dove sono stati considerati input random, vengono qui di seguito allegati i plot relativi ai report di potenza corrispondenti rispettivamente ai segnali di clock relativi ai FF, ai segnali di logica e ai segnali di dati relativi alle interconnessioni.

### Timing Analysis

Qui di seguito viene riportata la tabella rappresentante la timing analysis relativa all’architettura ottimizzata con tecnica di clock gating applicata agli input A, B, C e D.

|  |  |
| --- | --- |
| Worst Negative Slack WNS [ns] | Worst Hold Slack WHS [ns] |
| 1.499 | 0.163 |

### Frequency Analysis

L’analisi della frequenza massima è relativa alla possibile frequenza che il circuito può raggiungere facendo alcune considerazioni riguardo parametri relativi all’architettura ottimizzata con tecnica di clock gating applicata agli input A, B, C e D.

### Resources Utilization Analysis

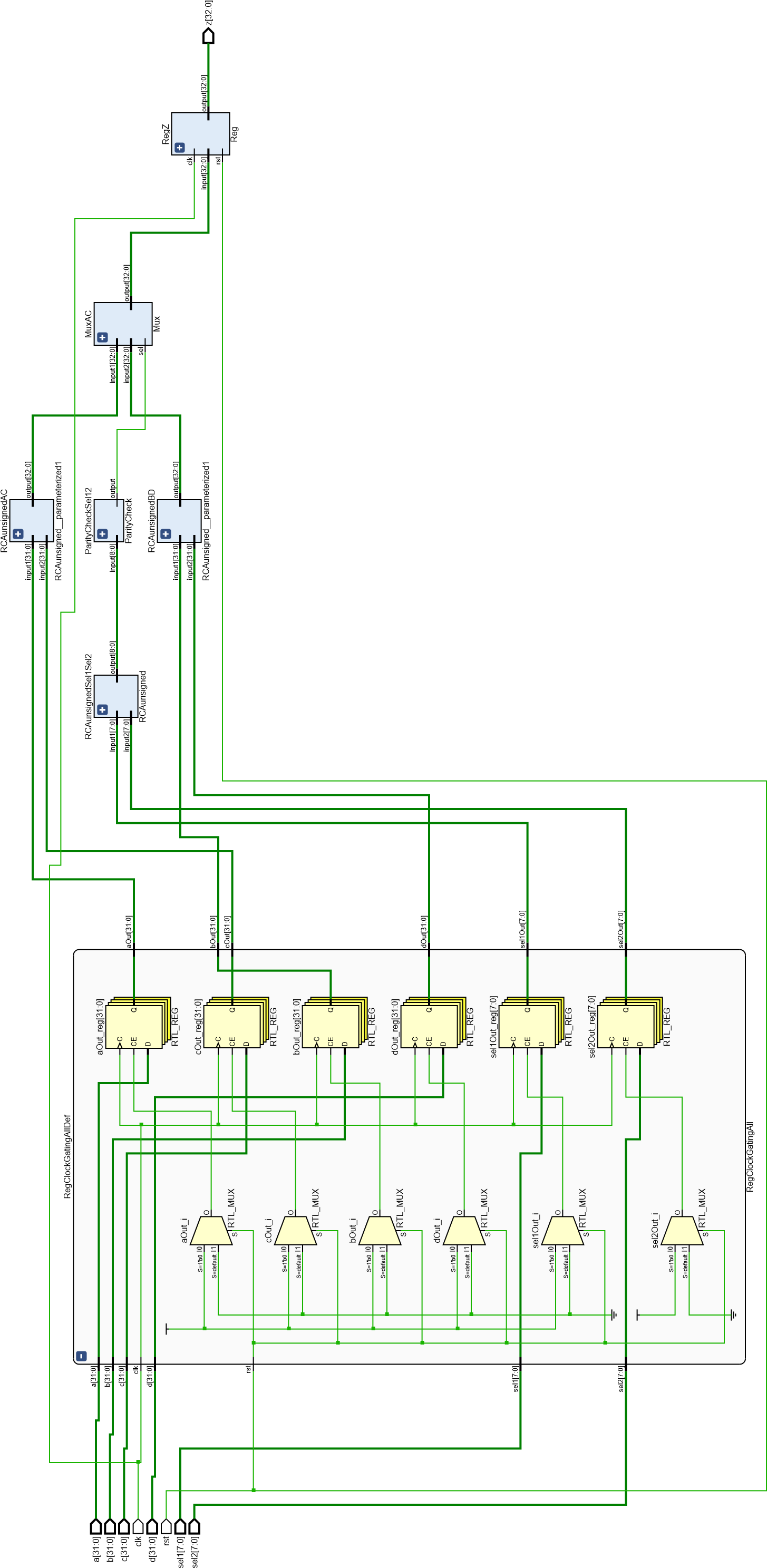
Qui di seguito viene riportata la tabella rappresentante l’utilizzazione delle risorse relativa all’architettura ottimizzata tramite tecnica di clock gating applicata agli input A, B, C e D.

Immagine che contiene testo, schermata, numero, Carattere

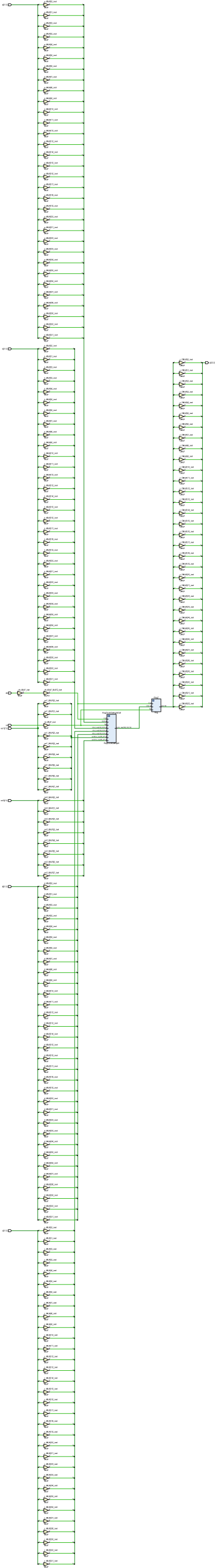
Descrizione generata automaticamente

## All Clock Gating

### RTL Description and Schematic



### Synthesis



### Power Analysis

Dopo aver effettuato l’implementazione e aver aggiunto al progetto il file .saif, generato in seguito alla simulazione Post-Implementation Timing Simulation dove sono stati considerati input random, vengono qui di seguito allegati i plot relativi ai report di potenza corrispondenti rispettivamente ai segnali di clock relativi ai FF, ai segnali di logica e ai segnali di dati relativi alle interconnessioni.

### Timing Analysis

Qui di seguito viene riportata la tabella rappresentante la timing analysis relativa all’architettura ottimizzata con tecnica di clock gating applicata sia ai selettori sia agli input A, B, C e D.

|  |  |
| --- | --- |
| Worst Negative Slack WNS [ns] | Worst Hold Slack WHS [ns] |
| 1.107 | 0.202 |

### Frequency Analysis

L’analisi della frequenza massima è relativa alla possibile frequenza che il circuito può raggiungere facendo alcune considerazioni riguardo parametri relativi all’architettura ottimizzata con tecnica diclock gating applicata sia ai selettori sia agli input A, B, C e D.

### Resources Utilization Analysis

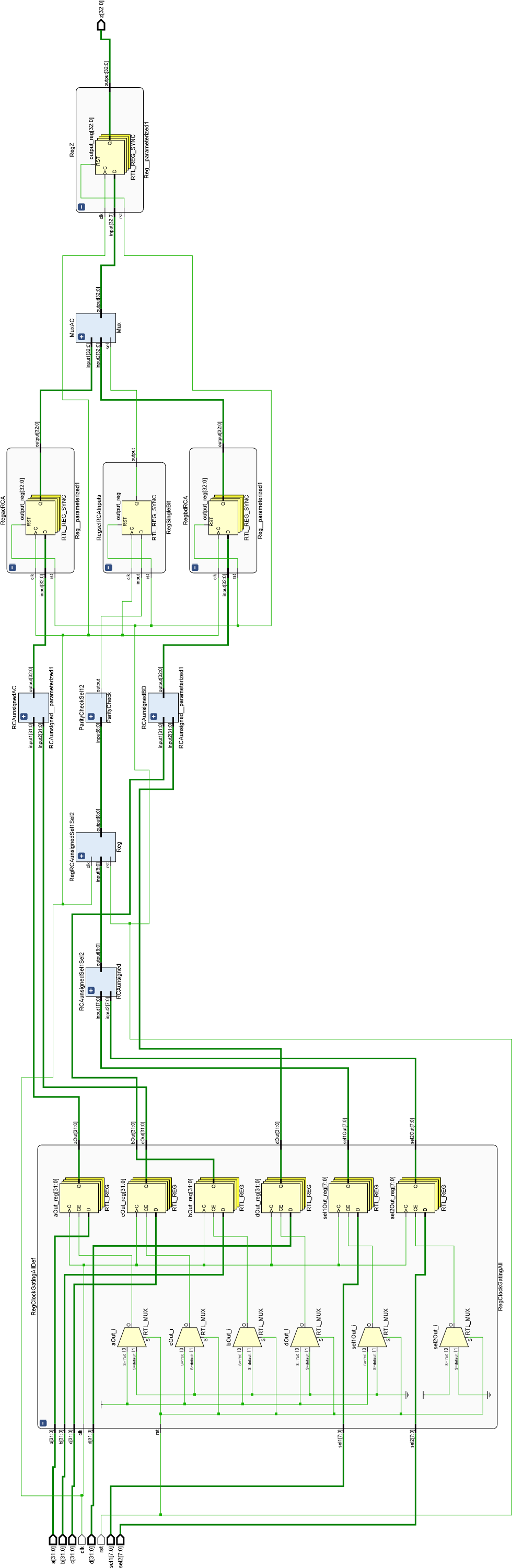
Qui di seguito viene riportata la tabella rappresentante l’utilizzazione delle risorse relativa all’architettura ottimizzata tramite tecnica di clock gating applicata sia ai selettori sia agli input A, B, C e D.

Immagine che contiene testo, schermata, numero, Carattere

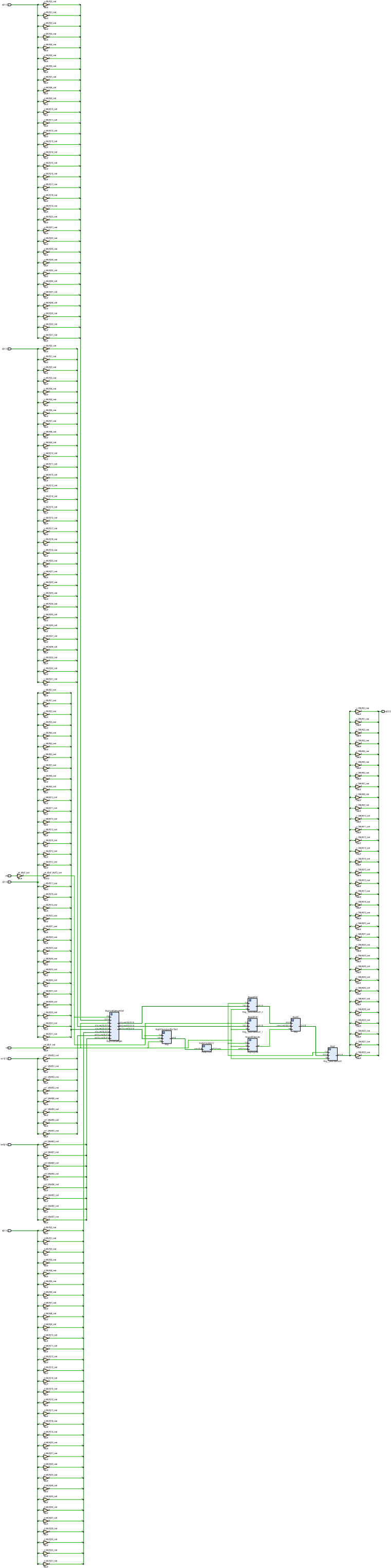
Descrizione generata automaticamente

# Hybrid Technique Analysis and Design

## RTL Description and Schematic



## Synthesis



## Power Analysis

Dopo aver effettuato l’implementazione e aver aggiunto al progetto il file .saif, generato in seguito alla simulazione Post-Implementation Timing Simulation dove sono stati considerati input random, vengono qui di seguito allegati i plot relativi ai report di potenza corrispondenti rispettivamente ai segnali di clock relativi ai FF, ai segnali di logica e ai segnali di dati relativi alle interconnessioni.

## Timing Analysis

Qui di seguito viene riportata la tabella rappresentante la timing analysis relativa all’architettura ottimizzata con tecnica di registering e di clock gating applicata sia ai selettori sia agli input A, B, C e D.

|  |  |
| --- | --- |
| Worst Negative Slack WNS [ns] | Worst Hold Slack WHS [ns] |
| 1.107 | 0.117 |

## Frequency Analysis

L’analisi della frequenza massima è relativa alla possibile frequenza che il circuito può raggiungere facendo alcune considerazioni riguardo parametri relativi all’architettura ottimizzata con tenica di registering e di clock gating applicata sia ai selettori sia agli input A, B, C e D.

## Resources Utilization Analysis

Qui di seguito viene riportata la tabella rappresentante l’utilizzazione delle risorse relativa all’architettura ottimizzata tramite tecnica di registering e di clock gating applicata sia ai selettori sia agli input A, B, C e D.

Immagine che contiene testo, schermata, numero, Carattere

Descrizione generata automaticamente

# Conclusions

