

* 难度除了最后一题颇为简单，我这里回忆一下几道大题
* 第一题就是一个简单的设计时序电路——一个模6计数器，第二题是根据第一题的功能用计数器实现（就是连连线，非常简单）
* 第三题是看verilog代码然后画出电路图，第二小问分析一下非阻塞赋值和阻塞赋值的区别
* 第四题就是模电最基本的BJT电路分析，算Q点相关参数，算输入电阻输出电阻放大倍数之类的
* 第五题是运放的电路推导，就是求R6和Vo的表达式，自己胡乱写的感觉难者不会会者不难
* 第六题是mos电路图的推导，实际上让你求几个中间量和最后结果的表达式，也比较简单
* 第七题也就是压轴题，设计一个能处理两个数据的数字系统，第一题画数据通路，第二题画状态图，说实话考试结束前半个小时我在跟这个题大眼瞪小眼实在不会，也没记住啥，提供一下题型供明年参考吧。

2021

期末(半开卷)考的内容按顺序为：二极管导通的恒压降模型、BJT类型分析(只给电流流向和大小，判断NPN or PNP并确定各极)、共集电极放大电路直流交流分析(没错就是那个最难的)、MOS管搭组合电路、方波锯齿波产生电路(老师在中间还塞了个放大电路，考场上看到三个运放时我的内心是懵逼的)、AD7533-DAC的应用与分析(这是作业题)、74x160串联组成的同步置数计数器、SRAM的字扩展、Verilog代码阅读与分析(根据代码画出部分逻辑元件及其数据通路)、数电压轴设计大题——模式匹配(没错就是找子串个数).试卷的平均难度明显高于期中，考试时间甚至还延长了十分钟。最后卷面全班均分40+，最高75(鲨疯了鲨疯了)，等待调分中......

* 期末最后两个题(12+15分)分别是给一段有三个always语句的Verilog代码,第一问画出某段语句的电路图(基本送分),后面让画出DFA然后写出它的功能,三个always语句给我一种A调用B,B调用C,C调用A的感觉,平常没做过类似练习,实在是绕不过来,最后一个提是做一个有15位(?这个记不清了)序列检测电路,可以使用给出的寄存器,比较器,计数器,还有额外要求,如序列检测开始到结束之间复位键无法使用等,实在是太难,完全白给.这些题给我感觉类似于图论中merge定理,五色定理等,就算给我证明过程也要反应半天,实在是不会,最后班上最高分75,恐怕真的能够完整做出来一个题的没几个吧....

2019

唯一感觉有难度的地方是一个数字电路控制的传输门和积分电路的组合，在运放+电容放电的分析上遇到了一些问题。然而非常真实的是，失分最多的地方是符号写反/忘记算完之类的，失去了10分左右，可惜题量足够大**并没有时间检查。**~~因为平均分低，所以助教们不能重拳出击，这也是好事~~

假如期望拿到高分的话，需要**理解+细致+速度。**以及老师平时上课会提到一些是 “决定95-100分的差异” 的知识点，这些地方可以成为考察理解的难点。~~最后期末复习的时候老师提到 “希望把模电和数电结合起来考察”，然后就有题目真的这么做了。~~

# 模拟与数字电路期末考卷

1. 给出一计数器的状态转换图与计数器引脚功能定义，画出计数器的外围电路。（有坑，复位和置数都是异步的）

2. Verilog代码阅读(FSM的Verilog描述)

(1)c和s分别有什么用：c下降沿触发时钟信号，r上升沿触发复位信号

(2)画出FSM状态转换图

(3)FSM运行到S3时n中的值为多少(input d[7]中1的个数)

3. 用D触发器，2-4线译码器实现一个可编程寄存器，用于逐次比较型ADC的计数器

4. 考察积分电路+传输门+T触发器

5. 实现一个FSM(一共六个状态，已不能化简)，根据状态转移图画出状态表，写出FSM三个输出端口的激励方程（Q2要求使用T触发器，Q1Q0使用D触发器），并画出门级电路图。

6. 根据MOS管电路图写出电路的功能，输入限制。（两个与非门C=!AD，D=!BC，功能为低电平有效SR锁存器，限制为AB不同时为0）

7. 等压降模型二极管，根据vi画出vo

8. 三极管放大电路，画出交流，直流电路，分析静态工作点，计算Ri，Ro，Av，写出电容的作用（和书上长的不太一样，抄的模型都没用）

9. 理想运放，分析电路功能，画出电压特性曲线（考察迟滞比较器，加了一个稳压二极管用于输出端限幅）。

### ****影响深刻的是第一题，利用给好的二进制计数芯片设计一个模6的计数器，给出了状态转换图，答主一看到这道题就乐了，这不是我看过的吗？就弄了一个异步清零反馈就看下一题了，但是考完试对答案发现，状态并不是递增+1！然后GG****

### ****还有第二题Verilog，个人以为这道题出的不好，其实这题蛮像大一C语言的读代码求运行结果这种题的，但是一定要铭记一点：Verilog代码并不是串行执行的语句，同步时序电路中，多个always块之间其实是在同一个时钟信号有效边沿到来时同时执行！这题有一个线网z没有定义。****

### ****最后一题是这张卷子中最有水平的题目，一个触发器+传送门+运放，需要你把老师上课的ppt好好看一看，了解积分电路、虚短、和传送门的工作原理，题目让画输出波形****

2018

**期末试题大体回忆：这套卷子是程老师出卷然后张老师心慈手软改掉了几道难题，卷子体量较大**

~~**（程老师：“我不会让所有人都挂的，我就是打个响指”）（我瞎编的**~~

第一部分选择题：基本是送分+概念题，涉及那些课上讲了、会考但是属于理解性内容的，比如FPGA和CPLD，CMOS功率特性，ALU之类的，需要在复习的时候把ppt（包括下面的注释）要好好看

第二部分填空：考到了DRAM的分时输送，BJT三极管的工作区判断，等等，也是\_需要在复习的时候把ppt（包括下面的注释）要好好看。\_

第一大题，给了个同步置数法计数器，让你画出全部状态完整状态图：挖了个坑，置数置的是0010不是0000，容易思维定势然后做错。但是逻辑上不算不基础的。

第二大题：摩尔形时序逻辑设计。下降沿检测，将输入的连续高电平转换成一个单独时钟周期的高电平然后输出。还要求最低位用T触发器，其他用D触发器。这道题蛮耗时间的，而且设计要思路全面，不容易想清楚。

第三大题：掩模ROM，二极管类型的，和ppt上一样，送分

第四大题：verilog代码分析，要求不能生成锁存器，找错（但不用改）。这道题本人认为略微超纲，而且比较难，得分率蛮低的，要考虑清楚always语句块的行为，会联系到你在模数实验里使用verilog的经验。

第五大题：BJT放大电路，很基本的几乎不变的例题模型（参考ppt上的共集电极放大电路），没有具体数值，全部带字母算。最后一问问你，现在截止失真了，要你怎样调整一个电阻的大小。（本来程老师出这道题是全部给了数值，最后一问要你定量计算电阻调整的取值范围，还要考虑同时饱和和截止来确定R的范围。但是张老师心慈手软把这题改了）

第六大题：虚断虚断分析集成运放电路，给你了几个输入字母，要你字母算出输出电压。这道题和模电书习题2.4.4的电路基本一模一样。貌似错了一片，有人误认为虚断的集成运放输出端电流也为0.........

第七大题：迟滞比较器，比较基本的。考了一个“平衡电阻”，这个概念要心里有个数。

第八大题：MOS的逻辑门，送分的，真的是送分的。

平心而论，很公正的，题目的模型大部分都是基本甚至是课上的例子，但是坑的点+费时间的点+平时作业写不会+考试周时间紧+上午考试都睡不醒............

//期中，均分60+,应该是张老师出的，我就记住了最难的一道题：

试用四个加法器和尽量少的任意种类逻辑门，设计一个，两个四位有符号二进制补码的，大小比较电路。

2017

期末半开卷，大题较为简单，但是填选出了一些藏在犄角旮旯里的知识点。举例（表述可能有细微差异）：

1. 选出与数据选择器功能相反的元件（我到现在都不知道是啥）
2. 请问PLA与阵列固定/可编程？或阵列固定/可编程？
3. 把OD门的输出端并联在一起可以实现**\_**？
4. ADC的一般工作过程：采样，保持，\_\_\_\_，编码？

大题记得是一道画计数器状态图，一道画移位寄存器状态图，一道读verilog代码画电路图，一道共射放大电路，一道运放，一道给CMOS门电路画逻辑图，还有一道不知道让人写什么的综合题。基本涵盖期中考试后所有知识点。