

Augusto André Souza Berndt

Métodos para Cálculo das Probabilidades de Sinais em Circuitos Combinacionais

Brasil

Dezembro de 2017

Augusto André Souza Berndt

Métodos para Cálculo das Probabilidades de Sinais em Circuitos Combinacionais

Projeto de graduação apresentado ao Centro de Ciências Computacionais da Universidade Federal do Rio Grande como requisito parcial para a obtenção do título de Bacharel em Engenharia de Computação.

Universidade Federal do Rio Grande

Centro de Ciências Computacionais

Engenharia de Computação

Brasil

Dezembro de 2017

Agradecimentos

Agradeço aos meus pais Nara Berndt e Ricardo Berndt por me estimularem desde pequeno a me dedicar aos estudos e ter uma formação como graduado. Agradeço meu orientador Paulo Butzen por me direcionar e salientar dúvidas sempre que necessário, inclusive aos fins de semana. E por ter me guiado no meu desenvolvimento não só como aluno, mas também como indivíduo. Agradeço minha namorada Bruna Martins por dedicar seu tempo a mim, me trazendo foco e calma nos momentos de sufoco.

Resumo

Na intenção de ampliar a capacidade e o desempenho de dispositivos eletrônicos, as dimensões de seus componentes estão em constante redução. Em contrapartida, esta miniaturização torna os circuitos mais densos e complexos. Efeitos indesejados surgiram em função desta miniaturização. Diversos deles necessitam de dados de probabilidade dos sinais internos dos sistemas. Há uma vasta quantidade de trabalhos propostos na literatura que necessitam de dados de probabilidade de sinais, como em [Abdollahi, Fallah e Pedram \(2004\)](#), [Wang et al. \(2007\)](#) e [Alkabani et al. \(2008\)](#). Por outro lado, são poucos os trabalhos que exploram como estes dados são calculados. Na maioria dos trabalhos que usam dados de probabilidade, são utilizadas heurísticas que estimam valores de probabilidade. Este projeto tem o enfoque de revelar métodos que façam o cálculo exato das probabilidades.

Neste trabalho serão demonstrados três métodos diferentes para a obtenção de valores de probabilidade de sinais de um circuito combinacional qualquer. Cada um destes métodos possui vantagens e desvantagens, as quais serão apresentadas. Também será exposto um estudo de caso mostrando passo a passo de como cada método é executado. Caminhos re-convergentes são um obstáculo no cálculo das probabilidades de sinais. Será demonstrado como supera-los e o comportamento do cálculo caso sejam ignorados.

Palavras-chaves: Probabilidade de sinais. Caminhos re-convergentes. Circuito Lógico. Probabilidade Condicional.

Lista de ilustrações

Figura 1.1 –Lei de Moore.	11
Figura 1.2 –Fluxo de projeto CMOS.	12
Figura 2.1 –União.	16
Figura 2.2 –Intersecção.	17
Figura 2.3 –Complemento.	17
Figura 2.4 –Fan-out.	18
Figura 2.5 –Caminho Re-convergente.	19
Figura 2.6 –Circuito exemplo.	19
Figura 3.1 –Fluxograma de execução da ferramenta.	22
Figura 3.2 –Circuito lógico exemplo.	24
Figura 3.3 –Circuito lógico e pilha.	31
Figura 3.4 –Circuito lógico e pilha.	31
Figura 3.5 –Circuito lógico e pilha.	32
Figura 3.6 –Circuito lógico e pilha.	33
Figura 3.7 –Circuito lógico e pilha.	34
Figura 3.8 –Circuito lógico e pilha.	35
Figura 3.9 –Encontrando caminhos re-convergentes.	37
Figura 3.10 –Encontrando caminhos re-convergentes.	37
Figura 3.11 –Encontrando caminhos re-convergentes.	38
Figura A.1 –UML.	55
Figura A.2 –UML primeira parte.	56
Figura A.3 –UML segunda parte.	57
Figura C.1 –Circuito 1.	66
Figura C.2 –Circuito 2.	66
Figura C.3 –Circuito 3.	67
Figura C.4 –Circuito 4.	67
Figura C.5 –Circuito C17.	68
Figura C.6 –Circuito C17 NAND.	68

Lista de tabelas

Tabela 1 – Corrente de fuga estática para porta NAND com 2 entradas.	12
Tabela 2 – Espaço amostral da porta AND.	15
Tabela 3 – Níveis de contaminação em <i>wafers</i>	17
Tabela 4 – Relação <i>sink</i> e <i>sources</i>	20
Tabela 5 – Tabela verdade para o circuito exemplo.	24
Tabela 6 – Probabilidade dos vetores de entrada.	24
Tabela 7 – Propagação dos sinais.	25
Tabela 8 – Atualização das probabilidades.	26
Tabela 9 – Propagação dos sinais.	26
Tabela 10 – Propagação dos sinais.	27
Tabela 11 – Regras probabilísticas.	28
Tabela 12 – Regras probabilísticas condicionais.	40
Tabela 13 – Relação entre portas lógicas comuns e <i>sinks</i>	45
Tabela 14 – Tempo de execução para encontrar caminhos re-convergentes (RO-BERTS; LALA, 1987).	46
Tabela 15 – Número de iterações necessárias para cada método.	47
Tabela 16 – Tempos de execução (ms)	48
Tabela 17 – Sinais com erro	49
Tabela 18 – Análise do erro	50
Tabela 19 – Relações <i>sources</i> e <i>sinks</i> do circuito 1.	58
Tabela 20 – Relações <i>sources</i> e <i>sinks</i> do circuito 2.	58
Tabela 21 – Relações <i>sources</i> e <i>sinks</i> do circuito 3.	58
Tabela 22 – Relações <i>sources</i> e <i>sinks</i> do circuito 4.	59
Tabela 23 – Relações <i>sources</i> e <i>sinks</i> do circuito C17.	59
Tabela 24 – Relações <i>sources</i> e <i>sinks</i> do C17 NAND.	59
Tabela 25 – Relações <i>sources</i> e <i>sinks</i> do C432.	59
Tabela 26 – Relações <i>sources</i> e <i>sinks</i> do C499.	60
Tabela 27 – Relações <i>sources</i> e <i>sinks</i> do C880.	60
Tabela 28 – Relações <i>sources</i> e <i>sinks</i> do C1355.	61
Tabela 29 – Relações <i>sources</i> e <i>sinks</i> do C1908.	61
Tabela 30 – Relações <i>sources</i> e <i>sinks</i> do C3540.	62
Tabela 31 – Relações <i>sources</i> e <i>sinks</i> do C5315.	63
Tabela 32 – Relações <i>sources</i> e <i>sinks</i> do C6288.	63

Tabela 33 –Relações <i>sources</i> e <i>sinks</i> do C7552.	65
Tabela 34 –Valores de probabilidade para o circuito 1	69
Tabela 35 –Análise do erro no circuito 1	70
Tabela 36 –Valores de probabilidade para o circuito 2	70
Tabela 37 –Análise do erro no circuito 2	70
Tabela 38 –Valores de probabilidade para o circuito 3	71
Tabela 39 –Análise do erro no circuito 3	71
Tabela 40 –Valores de probabilidade para o circuito 4	72
Tabela 41 –Análise do erro no circuito 4	72
Tabela 42 –Valores de probabilidade para o circuito C17	73
Tabela 43 –Análise do erro no circuito C17	73
Tabela 44 –Valores de probabilidade para o circuito C17 NAND	73
Tabela 45 –Análise do erro no circuito C17 NAND	74
Tabela 46 –Valores de probabilidade para o circuito C432	74
Tabela 47 –Análise do erro no circuito C432	80
Tabela 48 –Valores de probabilidade para o circuito C880	80
Tabela 49 –Análise do erro no circuito C880	88
Tabela 50 –Valores de probabilidade para o circuito C5315	88
Tabela 51 –Análise do erro no circuito C5315	123

Lista de abreviaturas e siglas

BTI	<i>Biased Temperature Instability</i>
CAD	<i>Computer Aided Design</i>
CI	Circuito Integrado
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
GSCL	<i>Cadence Generic Standard Cell Library</i>
IDE	<i>Integrated Development Environment</i>
LFO	Lista de <i>Fan-Outs</i>
LFOR	Lista de <i>Fan-Outs</i> Re-convergentes
LFORP	Lista de <i>Fan-Outs</i> Re-convergentes Primários
MPC	Método Baseado em Probabilidade Condicional
MVA	Método Baseado em Variáveis Aleatórias
PL	Porta Lógica
PTM	Matriz de Transferência Probabilística
SVN	<i>Subversion</i>
UML	Linguagem de Modelagem Unificado

Sumário

1	Introdução	10
1.1	Objetivo	14
1.2	Organização do Texto	14
2	Referencial Teórico	15
2.1	Probabilidade de Variáveis Aleatórias	15
2.2	Regras de Eventos Conjuntos	16
2.3	Caminhos Re-convergentes	18
2.4	Probabilidade Condicional	20
3	Metodologia	22
3.1	Método Exaustivo	23
3.1.1	Desenvolvendo o Cálculo	23
3.2	Método Baseado em Variáveis Aleatórias	27
3.2.1	Equação Probabilística das Portas Lógicas	27
3.2.2	Pseudocódigo	29
3.2.3	Desenvolvendo o cálculo	30
3.3	Método Baseado em Probabilidade Condicional	35
3.3.1	Encontrando caminhos re-convergentes	36
3.3.2	Formalização dos <i>sinks</i>	39
3.3.3	Pseudocódigo	40
3.3.4	Desenvolvendo o Cálculo	43
4	Resultados e Validação	45
4.1	Dados de Re-convergência	45
4.2	Iterações Necessárias no Cálculo das Probabilidades	46
4.3	Tempos de Execução	48
4.4	Comparativo entre MVA e MPC	48
4.5	Validação	50
5	Conclusão	51
	Conclusão	51
	Referências	52

Apêndices	54
APÊNDICE A Diagrama UML	55
APÊNDICE B Número de <i>Sources</i> Primários para Cada <i>Sink</i>	58
B.1 Circuito 1	58
B.2 Circuito 2	58
B.3 Circuito 3	58
B.4 Circuito 4	59
B.5 C17	59
B.6 C17 NAND	59
B.7 C432	59
B.8 C499	60
B.9 C880	60
B.10 C1355	61
B.11 C1908	61
B.12 C3540	62
B.13 C5315	63
B.14 C6288	63
B.15 C7552	65
APÊNDICE C Desenho dos Circuitos Lógicos	66
C.1 Circuito 1	66
C.2 Circuito 2	66
C.3 Circuito 3	67
C.4 Circuito 4	67
C.5 C17	68
C.6 C17 NAND	68
APÊNDICE D Valores de Probabilidades - Comparativo entre MVA e MPC	69
D.1 Circuito 1	69
D.2 Circuito 2	70
D.3 Circuito 3	71
D.4 Circuito 4	72
D.5 C17	73
D.6 C17 NAND	73
D.7 C432	74
D.8 C880	80
D.9 C5315	88

1 Introdução

Hoje em dia os dispositivos eletrônicos tornaram-se uma realidade universal no cotidiano da vida humana. Estes dispositivos podem ser encontrados em automóveis, eletrodomésticos, geladeiras ou até nos tradicionais computadores e celulares. Essa disseminação se deve à miniaturização das dimensões dos dispositivos eletrônicos. Todos estes dispositivos possuem um circuito integrado (CI), muitas vezes chamado de *chip*, responsável pela computação de dados de cada aparelho. Estes circuitos integrados são fabricados utilizando a tecnologia CMOS que possui uma grande capacidade de integração e baixo consumo de potência. O processo de fabricação de circuitos CMOS se encontra em constante evolução nas últimas décadas (SANSSEN, 2009).

Gordon Moore previu a evolução dos computadores e afirmou que o número de transistores em um *chip* dobraria a cada 18 meses. Na figura 1.1 podemos ver o crescimento de microprocessadores Intel ao longo dos anos. O aumento da quantidade de transistores, os elementos básicos dos circuitos integrados, permite a criação de *chips* com maior capacidade computacional em uma mesma área. Atualmente os circuitos eletrônicos são fabricados em tecnologias nanométricas. A medida que a tecnologia de fabricação evolui (torna os dispositivos menores), os sistemas se tornam mais densos e complexos. Estes fatores levam a necessidade de um fluxo de projeto automatizado auxiliado por computadores (SCHALLER, 1997).

Existem duas principais metodologias para fabricação de circuitos integrados: *full custom* e *standard cell*. Dada a versatilidade e velocidade de realização do projeto, pode-se afirmar que atualmente a metodologia *standard cell* tem se destacado. Nela são utilizados diversos algoritmos de síntese associados a uma biblioteca padrão de células. Através da descrição comportamental do circuito e da biblioteca de células o leiaute final do circuito é fornecido pela etapa da síntese física. A abordagem *standard cell* tem vantagem por ser um processo mais rápido. Porém circuitos *full custom* tem melhor desempenho e consumo de energia comparado a abordagem *standard cell*. A biblioteca de células consiste em um conjunto de portas lógicas previamente projetadas, testadas e caracterizadas. Sendo assim as células são os blocos básicos do projeto do circuito nesta metodologia.

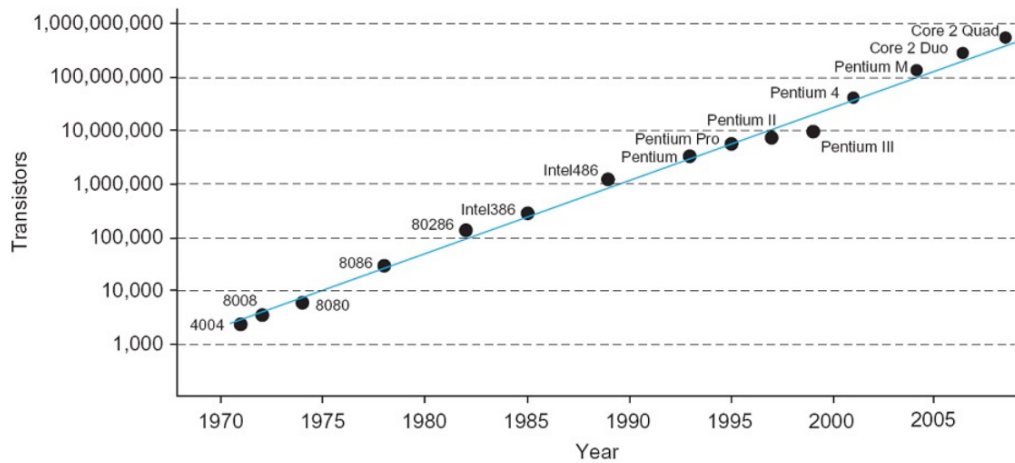


Figura 1.1: Lei de Moore.

Fonte: ([WESTE; HARRIS, 2011](#))

Ao longo do fluxo de projeto automatizado de circuitos integrados baseados em biblioteca de células, como o apresentado na figura 1.2, são realizados diversos tipos de análises e testes para averiguar se o circuito em desenvolvimento está de acordo tanto com seus requisitos de projeto como com seu comportamento lógico esperado. Para tal são utilizados diversos tipos de ferramentas e técnicas ao longo de todo projeto analisando o comportamento do circuito para cada etapa do fluxo. Análises de tempos de atraso, custo, confiabilidade, envelhecimento e consumo de potência devem ser checados para que se tenha um circuito como desejado. As três últimas análises citadas: confiabilidade, envelhecimento e consumo estático em tecnologias mais antigas podiam ser desconsideradas, mas atualmente são grandes desafios ao comportamento e performance dos sistemas integrados. Estas análises necessitam de dados de probabilidade dos sinais internos do circuito.

A dissipação de potência em dispositivos eletrônicos é um efeito indesejado. A magnitude de energia dissipada por unidades de área vem crescendo e tempos de uso de baterias vem diminuindo junto com a miniaturização de dispositivos eletrônicos. O consumo estático de potência pode ser controlado através da descoberta de um vetor de entrada que ative poucas regiões do circuito. Este vetor de entrada será então utilizado sempre que o dispositivo estiver em modo *standby*, pois desligar o dispositivo não é uma alternativa. Para definir um vetor de entrada com baixo consumo de potência as probabilidades dos sinais são essenciais ([WANG et al., 2009](#)) ([ABDOLLAHI; FALLAH; PEDRAM, 2004](#)) ([GAO; HAYES, 2006](#)).

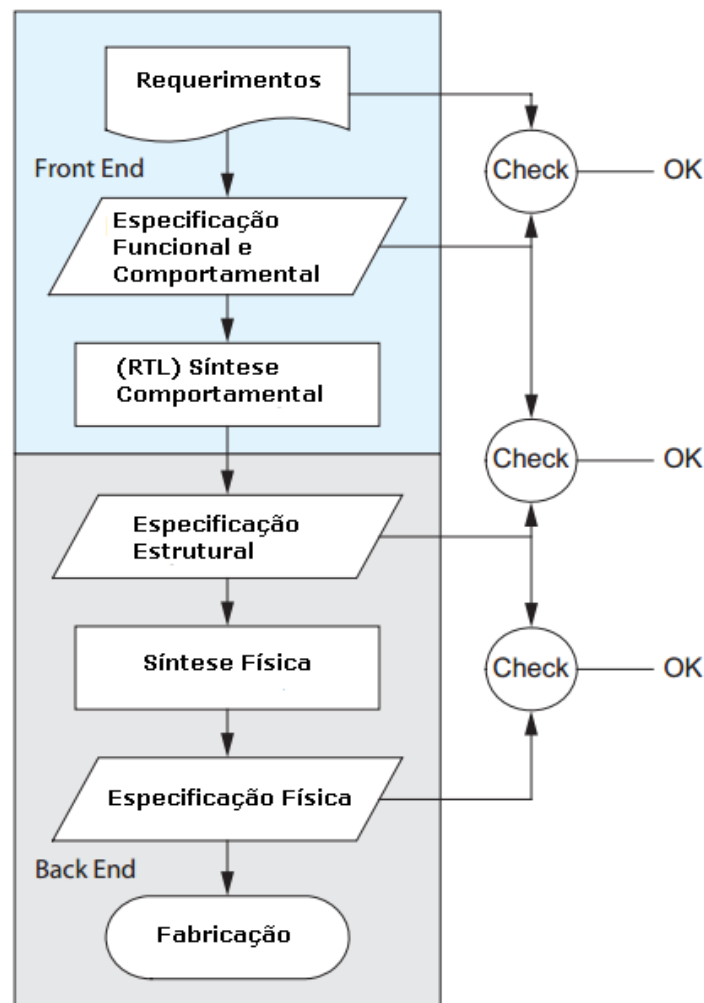


Figura 1.2: Fluxo de projeto CMOS.

Fonte: Adaptado de (WESTE; HARRIS, 2011)

Na tabela 1 são apresentados valores de corrente de fuga estática, demonstrando como diferentes vetores de entrada geram diferentes correntes de fuga em uma porta lógica. Sempre que se analisa um vetor de entrada é importante que dele venha acompanhado a sua probabilidade de ocorrência para uma estimativa mais precisa. Pois os valores de dissipação podem ter uma maior ou menor influência dependendo da probabilidade de ocorrência do vetor de entrada associado.

Tabela 1: Corrente de fuga estática para porta NAND com 2 entradas.

Fonte: Adaptado de (BUTZEN; RIBAS, 2007)

Vetor de entrada	Corrente de fuga (nA)
00	3,94
01	15,25
10	13,65
11	4,57

Em Wang et al. (2009) e Wang et al. (2007) para estimar o consumo de potencia estático P_{fuga} de uma porta lógica g é dado pela equação:

$$P_{fuga}(g) = V_{dd} * I(vetor) * Prob(vetor)$$

Sendo $I(vetor)$ o valor de corrente de fuga e $Prob(vetor)$ a probabilidade de ocorrência de um vetor de entrada. Com esta equação, que utiliza valores de probabilidade de sinais, é possível estimar a corrente de fuga de uma porta lógica em diferentes estados. Podendo então estimar regiões críticas do circuito e definir o vetor de entrada para modo *standby* desejado.

Os circuitos em dispositivos eletrônicos também envelhecem. Efeitos de *Biased Temperature Instability* ou BTI são a principal causa deste envelhecimento. Os efeitos BTI causam um aumento indesejado no valor de tensão de *threshold* nos transistores. Este efeito ocorre de intensidade diferente dependendo da polarização aplicada ao dispositivo. Dessa forma, assim como no caso de dissipação de potência estática, o envelhecimento pode ser reduzido através da escolha de um vetor de entrada que tenha baixo nível de degradação (FIROUZI; KIAMEHR; TAHOORI, 2013) (KIMIZUKA et al., 1999) (MAHAPATRA et al., 2005) (KUMAR; KIM; SAPATNEKAR, 2006).

Ambos efeitos de envelhecimento e dissipação de potência estática dependem do estado interno do circuito, ou seja, os dois são diretamente influenciados pelo vetor de entrada do circuito. Em Wang et al. (2007) Wang et al. (2009) métodos foram propostos para encontrar um vetor de entrada que reduz tanto efeitos de BTI quanto de dissipação de corrente. Os métodos buscam por um vetor de entrada que converge tanto para mitigação de efeito BTI quanto para uma menor dissipação de potência. Ambos trabalhos utilizam valores de probabilidade dos sinais para que se possa estimar valores de dissipação de potência e envelhecimento perante diferentes vetores de entrada.

Confiabilidade é a probabilidade de um circuito operar de forma correta, executando a função esperada sob determinadas condições em um espaço de tempo. Análises de confiabilidade podem medir em valores numéricos a probabilidade de uma parte do circuito falhar. As falhas podem ser permanentes por terem sido geradas durante a etapa de fabricação ou transientes que são falhas temporárias. Métodos probabilísticos e estocásticos são utilizados para encontrar uma melhor abordagem entre as possíveis técnicas de tolerância a falhas. Em um projeto em nível de circuito lógico, os métodos probabilísticos são modelados em forma de matriz, representando as portas lógicas. O método da PTM (Matriz de Transferência Probabilística) é um dos mais precisos. No método da PTM, quando observado o arranjo de transistores que implementam uma porta lógica, os valores de probabilidade dos vetores de entrada da porta lógica são essenciais para definir as regiões críticas do circuito (SCHVITZ, 2017) (KRISHNASWAMY; MARKOV; HAYES, 2012).

1.1 Objetivo

Nos dias de hoje a miniaturização de dispositivos eletrônicos traz alguns desafios aos projetistas. Estes desafios devem ser mensurados, analisados e ajustados. Isso é feito através de análises ao longo do fluxo de projeto dos circuitos. Diversos tipos diferentes de análises, em etapas diferentes do fluxo de projeto, necessitam de dados de probabilidade dos sinais dos circuitos para serem realizadas. A miniaturização não só trouxe desafios de projeto, mas também naturalmente torna os circuitos mais densos e complexos. Além disto, os circuitos possuem uma forte presença de caminhos re-convergentes. Estes fatores de complexidade e caminhos re-convergentes dificultam o cálculo das probabilidades dos sinais, impossibilitando uma simples análise considerando os sinais como variáveis aleatórias independentes.

Este trabalho tem por objetivo principal investigar métodos eficientes que forneçam a probabilidade dos sinais de um circuito, onde entende-se métodos eficientes como aqueles que forneçam o resultado com a precisão de um método exaustivo e em um tempo menor que o exaustivo. Como objetivo secundário tem-se a implementação destes métodos e o desenvolvimento de uma ferramenta para que esta importante informação fique disponível para a comunidade.

1.2 Organização do Texto

O restante do texto está organizado como segue. O Capítulo 2 apresenta os conceitos básicos para o entendimento do problema. Inicialmente são discutidos conceitos relacionados com probabilidades e conjuntos e na sequência são explorados os caminhos re-convergentes. O Capítulo 3 mostra os métodos de cálculo de probabilidades de sinais investigados neste trabalho, juntamente com um estudo de caso para tentar facilitar a compreensão. Por fim, no Capítulo 4 são apresentados resultados do trabalho e no Capítulo 5 as conclusões finais.

2 Referencial Teórico

Esse capítulo apresenta conceitos sobre as probabilidades e caminhos re-convergentes, necessários para um melhor entendimento deste trabalho. Na seção sobre probabilidade de variáveis aleatórias são apresentados conceitos básicos da área de probabilidade. Um exemplo com uma porta lógica simples é abordado. Conceitos sobre caminhos re-convergentes são explorados na seção seguinte. Neste momento espera-se esclarecer o motivo da impossibilidade do cálculo das probabilidades somente com os conceitos de probabilidade de variáveis aleatórias apresentados na seção anterior. Por fim conceitos de probabilidade condicional que solucionam os caminhos re-convergentes são apresentadas na última seção do capítulo.

2.1 Probabilidade de Variáveis Aleatórias

Uma variável aleatória é uma variável quantitativa, na qual o resultado depende de fatores aleatórios. Embora que mesmo conheçamos os possíveis resultados, ainda assim o resultado é dependente de uma entrada desconhecida.

Na ramo das probabilidades, um espaço amostral se da pelo conjunto de todos resultados possíveis de um experimento aleatório. Cada resultado possível é denominado um elemento do espaço amostral. Por exemplo para um porta lógica AND com os sinais de entrada A, B e saída S, podemos definir a tabela 2 que demonstra todas possíveis combinações associados aos seus resultados. Grifado em cinza podemos ver o espaço amostral dos possíveis resultados da porta lógica AND (MAGALHÃES, 2006).

Tabela 2: Espaço amostral da porta AND.

A	B	S
0	0	0
1	0	0
0	1	0
1	1	1

Temos um subconjunto com os três primeiros elementos (as combinações 00, 10 e 01) em que o resultado é '0' e um segundo subconjunto onde o resultado é '1'. O primeiro subconjunto nomearemos $P(S=0)$, a probabilidade de S ser 0. E o segundo subconjunto nomearemos $P(S=1)$, a probabilidade de S ser 1. Para que possamos definir valores numéricos a essas probabilidades, utilizamos a definição clássica de probabilidade para

subconjuntos finitos e enumeráveis ([MONTGOMERY, 2013](#)):

$$P(A) = \frac{\text{Número de elementos em A}}{\text{Número total de elementos da amostra}}$$

Onde A é o subconjunto a ser descoberto a probabilidade de seu acontecimento perante o espaço amostral. No caso da porta lógica AND, podemos dizer que sua probabilidade $P(S=1) = 1/4$, já que apenas um dos casos resulta em '1' e o espaço amostral possui 4 elementos. Ou seja, a saída de uma porta lógica AND tem probabilidade de 25% de ser verdadeiro e 75% de ser falso. Neste caso estamos considerando que a probabilidade dos dois sinais de entrada é 50%.

2.2 Regras de Eventos Conjuntos

Subconjuntos também podem ser denominados eventos. Eventos conjuntos são gerados pela aplicação de operações básicas de conjuntos a eventos individuais ([MONTGOMERY, 2013](#)). Tais como:

- **União** de dois eventos $A \cup B = P(A) + P(B) - P(A \cap B)$. O resultado da união de dois eventos consiste na união de todos elementos tanto em A quanto em B, menos os elementos que pertencem aos dois eventos simultaneamente. A figura 2.1 demonstra o conjunto união entre A e B.

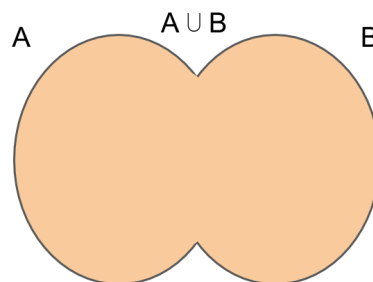


Figura 2.1: União.

Fonte: O autor

- **Intersecção** de dois eventos $A \cap B$. Esta operação resulta nos elementos que pertencem tanto a A quanto a B ao mesmo tempo. A figura 2.2 demonstra o conjunto de intersecção entre A e B.

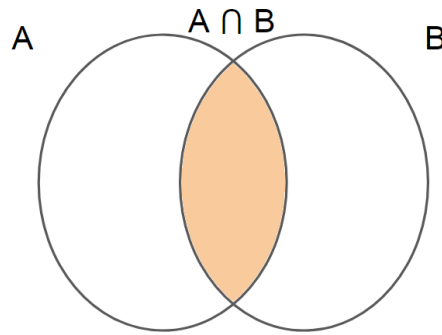


Figura 2.2: Intersecção.

Fonte: O autor

- **Complemento** de eventos $\neg A$, o resultado desta operação são todos elementos do espaço amostral que não pertencem a A . Como na figura 2.3

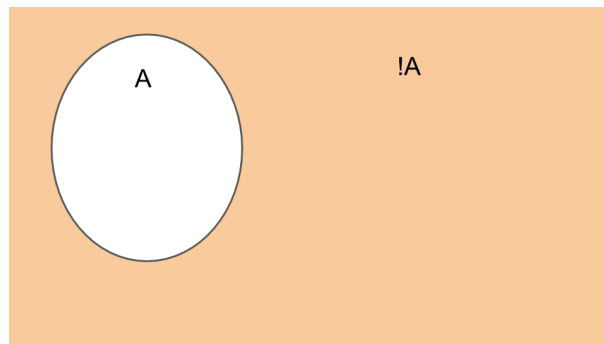


Figura 2.3: Complemento.

Fonte: O autor

Como exemplo do uso das regras de eventos conjuntos. Supondo que uma pesquisa tenha sido feita com 500 *wafers* de semicondutores defeituosos. Se criou então a tabela 3:

Tabela 3: Níveis de contaminação em *wafers*.

Nível de contaminação	Centro	Bordas	Total
Alto	118	8	126
Médio	312	62	374
Total	430	70	—

A partir deste espaço amostral podemos dizer que a probabilidade de um *wafer* defeituoso ter um médio nível de contaminação será $P(M) = 374/500 = 74,8\%$. E a probabilidade do *wafer* ter um defeito no centro é dado por $P(C) = 430/500 = 86\%$. Podemos observar que casos em que o *wafer* tem um nível médio de contaminação no

centro é dado por $P(M \cap C) = 312/500 = 62,4\%$. Caso quiséssemos saber a probabilidade do *wafer* ter um defeito no centro ou contem nível médio de defeito ou ambos, então utilizaríamos a regra da união $P(M \cup C) = P(M) + P(C) - P(M \cap C) = 374/500 + 430/500 - 312/500 = 492/500 = 98,4\%$. Ou seja, a partir da amostra na tabela e da utilização da regra de eventos conjuntos, podemos estimar a probabilidade de um desejado dado.

2.3 Caminhos Re-convergentes

Caminhos re-convergentes ou *fan-outs* re-convergentes fazem parte da quase totalidade dos sistemas digitais projetados atualmente. Ao longo do desenvolvimento destes sistemas, se tem a necessidade da propagação de um mesmo sinal para portas lógicas distintas. Para que essa propagação ocorra o sinal é multiplicado, e essa transformação é denominada *fan-out*. Ou seja, um *fan-out* se dá pela propagação de um mesmo sinal para duas ou mais portas lógicas diferentes. Na figura 2.4 o sinal B possui um *fan-out*. Neste caso o mesmo valor lógico em B se propaga até a porta lógica AND (g0) e a porta lógica OR (g1).

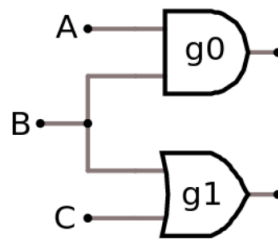


Figura 2.4: Fan-out.

Fonte: O autor

Alguns *fan-outs* podem criar caminhos re-convergentes. Um caminho re-convergente são dois caminhos ou mais que iniciam em um mesmo *fan-out* e se encontram posteriormente em uma mesma porta lógica. Nesta temática o *fan-out* que inicia um caminho re-convergente se chama *source* (origem) de re-convergência e a porta lógica onde os caminhos se encontram é chamado de *sink* (destino) de re-convergência. O circuito da figura 2.4 foi modificado na figura 2.5 para demonstrar um caminho re-convergente. Neste circuito o sinal B é o **source** da re-convergência e a porta lógica g3 é o **sink** da re-convergência.

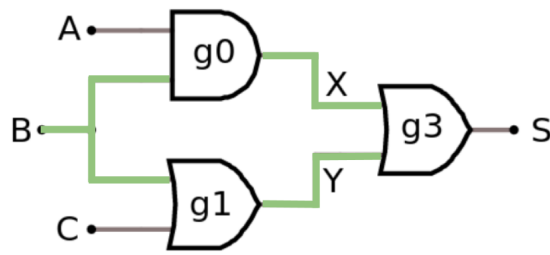


Figura 2.5: Caminho Re-convergente.

Fonte: O autor

Já a figura 2.6 demonstra um circuito com diversos caminhos re-convergentes. A tabela 4 mostra a relação de portas lógicas que são *sinks* associadas a todos seus sinais *sources* do circuito na figura 2.6.

A porta lógica g6 possui 3 *sources* de re-convergência, os *fan-outs* b, c e g. Esta porta lógica demonstra o que é um **source primário**, neste caso b e c são *sources* primários, já que eles são os *sources* mais distantes do seu *sink* g6. O *source* g é um *source* secundário pois o caminho que vai de b e c até o *sink* g6, passa pelo *fan-out* g. Podemos dizer que todo *source* de re-convergência não será um *source* primário caso haja algum outro *source* (do mesmo *sink*) que passe por ele. O conceito de *source* primário é relevante, pois o cálculo de probabilidades que considera caminhos re-convergentes utiliza apenas *sources* primários (FLAQUER et al., 2010a).

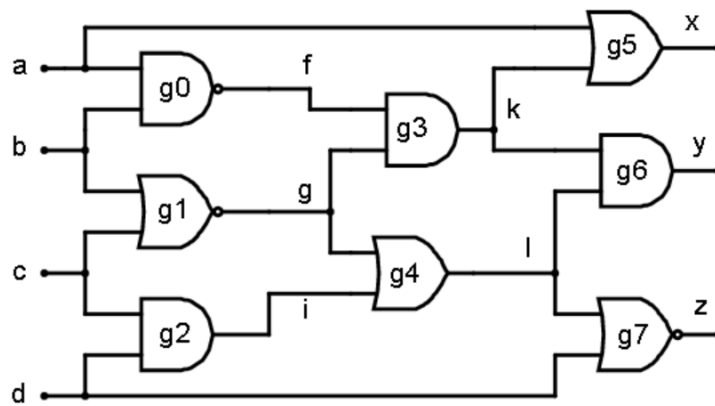


Figura 2.6: Circuito exemplo.

Fonte: O autor

Tabela 4: Relação *sink* e *sources*.

Nome do <i>sink</i>	Lista de <i>sources</i>
g3	b
g4	c
g5	a
g6	b,c,g
g7	d

Os caminhos re-convergentes tornam o cálculo das probabilidades mais complexo. Quando a teoria de probabilidades de variáveis aleatórias é utilizada para calcular as probabilidades dos sinais de um circuito com caminhos re-convergentes, irão existir casos em que o cálculo considerará a possibilidade de *sources* de re-convergência terem valor lógico '0' e '1' ao mesmo tempo, o que é claramente impossível (FLAQUER et al., 2010b) (FLAQUER et al., 2010a).

2.4 Probabilidade Condicional

O conceito de probabilidade condicional é baseado no fato de que um evento B que já aconteceu irá influenciar em um outro evento A que ainda não aconteceu. A probabilidade condicional de A é denotada por:

$$P(A|B) = P(A \cap B)/P(B)$$

e é chamada de probabilidade condicional de A dado B.

Neste contexto, utilizaremos o exemplo da porta lógica AND exposta na seção sobre variáveis aleatórias, com entradas A, B e saída S. Se supormos que sabemos previamente o valor do sinal de entrada B. Podemos afirmar que se B vale '0', então podemos descobrir a probabilidade de S:

$$P(S = 1|B = 0) = \frac{P(S = 1 \cap B = 0)}{P(B=0)}$$

$$P(S = 1|B = 0) = \frac{0}{1}$$

$$P(S = 1|B = 0) = 0$$

ou seja a probabilidade condicional de S ser '1' dado que B é '0' é de 0%, pois não há nenhuma possibilidade de que S seja '0' quando B vale '0'. Conferindo na tabela 2 não existe nenhum caso que satisfaça a intersecção entre S=1 e B=0. Também podemos

afirmar que caso B seja '1', então podemos descobrir a probabilidade de S:

$$P(S = 1|B = 1) = \frac{P(S = 1 \cap B = 1)}{P(B=1)}$$

$$P(S = 1|B = 1) = \frac{P(A = 1)}{1}$$

$$P(S = 1|B = 1) = P(A = 1)$$

ou seja a probabilidade condicional de S ser '1' dependerá somente que A seja '1' quando B for '1'. Já que conferindo na tabela 2 a intersecção entre S=1 e B=1 nos resulta no caso em que A=1. Porém o evento A ainda não ocorreu, ou não temos informação sobre ele. Sendo assim, o resultado da probabilidade de S ser '1' fica a critério de A ser '1'.

O conceito de probabilidades condicionais é utilizado para resolver os caminhos que re-convergem dentro de circuitos lógicos. Uma vez que com a presença de caminhos re-convergentes, os sinais não podem ser considerados eventos independentes (FLAQUER et al., 2011).

3 Metodologia

Neste capítulo serão apresentados os métodos propostos neste trabalho para calcular as probabilidades de todos sinais de um circuito combinacional. O Método Exaustivo será apresentado primeiro, em seguida o Método Baseado em Variáveis Aleatórias(MVA) e o Método Baseado em Probabilidade Condicional(MPC). Para cada um deles será resolvido um mesmo circuito com desenvolvimento do cálculo e ilustrações. Todos os métodos tem como dados de entrada os valores de probabilidade dos sinais de entrada do circuito a ser resolvido.

Os três métodos foram implementados em uma ferramenta de CAD (*Computer Aided Design*). A ferramenta foi desenvolvida em linguagem C++ com princípios de orientação a objetos. A codificação foi feita com o IDE Netbeans 8.2. No apêndice A expõe-se o diagrama UML da implementação. O sistema de versão de controle (SVN) disponibilizado e mantido pela FURG foi utilizado ao longo do desenvolvimento da implementação.

A figura 3.1 apresenta o fluxograma de execução da ferramenta implementada. A descrição do circuito a ser calculado em linguagem de descrição de hardware *verilog* e a descrição da biblioteca de células em linguagem *liberty* devem ser passadas como entrada para a ferramenta. Qualquer uma das implementações dos métodos apresentados por este trabalho também necessitará destas informações. Antes que qualquer cálculo seja realizado, a ferramenta estrutura o circuito em forma de grafo a partir dos dados de entrada. Desta maneira temos um grafo acíclico e direcionado para realizar operações.

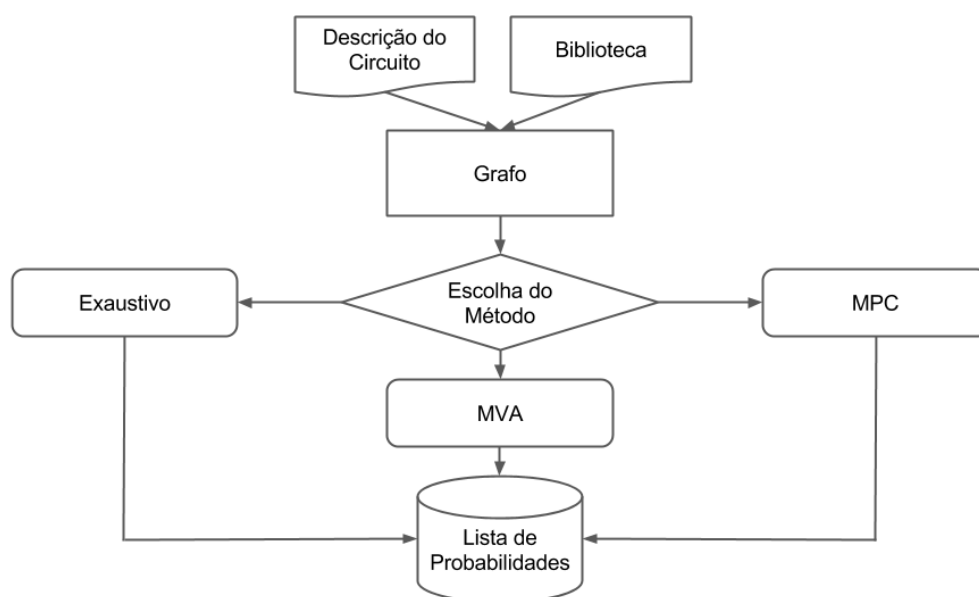


Figura 3.1: Fluxograma de execução da ferramenta.

Fonte: O autor

3.1 Método Exaustivo

O Método Exaustivo fornece valores completamente precisos de probabilidade de sinais. Isso se dá graças ao fato de analisar todos possíveis comportamentos lógicos do circuito. O Método Exaustivo tem como vantagem o fato de não disponibilizar uma estimativa, mas valores exatos da probabilidade lógica dos sinais. Ele analisa o comportamento do circuito perante cada um dos possíveis vetores de entrada. Por isto tem complexidade de $O(G * 2^I)$, sendo I o número de sinais de entrada e G o número de portas lógicas do circuito.

O algoritmo 1 demonstra um pseudocódigo do Método Exaustivo. O algoritmo não possui nenhum vínculo com regras de probabilidade. Ele só tem a necessidade de propagar valores lógicos dos sinais ao longo do circuito. Cada iteração é dada por uma das combinações dos valores lógicos dos sinais de entrada do circuito conforme ilustra a linha 2 do algoritmo. As probabilidades dos sinais de entrada fornecidos pelos usuário são utilizadas para definir o relativo valor de probabilidade da combinação de entrada em avaliação. Após a propagação dos sinais lógicos ao longo de todo circuito (linha de código 3), cada sinal interno que possuir valor lógico '1' somará o valor de probabilidade do vetor de entrada ao seu próprio valor de probabilidade (linha de código 4, 5 e 6). Isto se repete até que todos possíveis vetores de entrada sejam propagados pelo circuito.

Algoritmo 1: cálculo Probabilidades Exaustivo

Input: Grafo $G(S, PL)$

Input: Probabilidades sinais de entrada $P(S_{entrada})$

Output: Lista Probabilidades

```

1 Todas probabilidades de  $G(S) \leftarrow 0$ ;
2 Sinais de entrada  $\leftarrow P(S_{entrada})$ 
3 for  $l \leftarrow 0$  to  $2^I \text{Combinacoes}$  do
4   | Propaga valor lógico em  $G \leftarrow \text{Combinacao}[l]$ ;
5   | for  $j \leftarrow 0$  to  $\text{Sinais } G(S)$  do
6   |   | if Valor lógico  $S[j] = '1'$  then
7   |   |   | Probabilidade  $S[j]$  adiciona Probabilidade  $\text{Combinacao}[l]$ ;
8   |   | end
9 end
```

3.1.1 Desenvolvendo o Cálculo

Iremos calcular as probabilidades do circuito lógico de exemplo da figura 3.2 pelo Método Exaustivo. Este circuito possui três entradas, os sinais A, B e C. Logo ele possui $2^3 = 8$ possíveis vetores de entrada. Estes vetores estão listados na tabela 5.

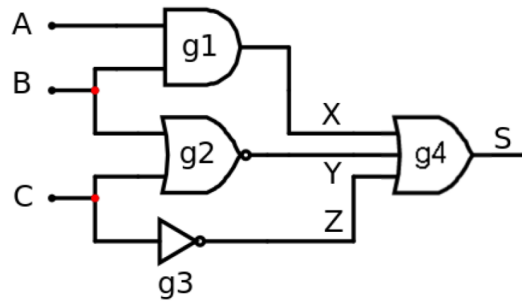


Figura 3.2: Circuito lógico exemplo.

Fonte: O autor

Tabela 5: Tabela verdade para o circuito exemplo.

A	B	C
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

Para resolvermos este circuito iremos considerar a probabilidade dos três sinais de entrada serem '1' de 60%. Qualquer valor que não seja 50% demonstra a diferença de probabilidade entre os vetores de entrada. O primeiro passo do método se dá em estabelecer os valores de probabilidade para cada vetor de entrada. Os valores foram adicionados à tabela verdade na tabela 6. O valor de probabilidade do vetor de entrada representa a probabilidade de tal combinação ocorrer ao longo da execução do circuito.

Tabela 6: Probabilidade dos vetores de entrada.

Probabilidade do vetor	A	B	C
6,4%	0	0	0
9,6%	0	0	1
9,6%	0	1	0
14,4%	0	1	1
9,6%	1	0	0
14,4%	1	0	1
14,4%	1	1	0
21,6%	1	1	1

Com a informação da tabela 6 temos a capacidade de estabelecer a probabilidade do restante dos sinais do circuito, os sinais X,Y,Z e S. Para tal é necessário que os valores

lógicos de cada vetor de entrada sejam propagados. Começando esta etapa pelo ultimo vetor de entrada, o vetor em que todos sinais de entrada estão em valor lógico '1'. Quando este vetor ocorre, os sinais internos X e S terão valor lógico '1', como consta na tabela 7. Este processo de propagação dos sinais é feito utilizando-se o grafo dentro da ferramenta implementada, uma busca em profundidade é realizada para cada vetor.

Tabela 7: Propagação dos sinais.

Probabilidade do vetor	A	B	C	X	Y	Z	S
6,4%	0	0	0				
9,6%	0	0	1				
9,6%	0	1	0				
14,4%	0	1	1				
9,6%	1	0	0				
14,4%	1	0	1				
14,4%	1	1	0				
21,6%	1	1	1	1	0	0	1

No início do processo todos os sinais internos do circuito devem ter seus valores de probabilidade com valor de 0%. Desta maneira o valor de probabilidade de X e S receberá o seu próprio valor de probabilidade mais o valor de probabilidade do vetor de entrada em questão. O vetor de probabilidade desta iteração tem valor de 21,6%. Então a probabilidade de X, Y, Z e S serão:

$$P(X = 1) = 0 + 0,216 = 0,216 \quad (3.1)$$

$$P(Y = 1) = 0 + 0 = 0 \quad (3.2)$$

$$P(Z = 1) = 0 + 0 = 0 \quad (3.3)$$

$$P(S = 1) = 0 + 0,216 = 0,216 \quad (3.4)$$

Esta primeira iteração está finalizada. Os valores de probabilidade são então atualizados como consta na tabela 8. Os valores de probabilidade dos sinais internos ainda não são definitivos.

Tabela 8: Atualização das probabilidades.

Probabilidade do vetor	A	B	C	X	Y	Z	S
6,4%	0	0	0				
9,6%	0	0	1				
9,6%	0	1	0				
14,4%	0	1	1				
9,6%	1	0	0				
14,4%	1	0	1				
14,4%	1	1	0				
21,6%	1	1	1	1	0	0	1
Probabilidade do sinal	60%	60%	60%	21,6%	0%	0%	21,6%

Na próxima iteração temos o próximo vetor de entrada de baixo para cima na tabela verdade 5. Propagando os valores lógicos ao longo do circuito temos os resultados dos sinais internos na tabela 9. Os valores de probabilidade devem ser atualizados para os sinais internos. Neste caso X, Z e S tem valores lógicos em '1'. Seus valores de probabilidade são atualizados, conforme Equações 3.5 à 3.8, considerando a probabilidade de ocorrência do vetor em questão.

$$P(X = 1) = 0,216 + 0,144 = 0,36 \quad (3.5)$$

$$P(Y = 1) = 0 + 0 = 0 \quad (3.6)$$

$$P(Z = 1) = 0 + 0,144 = 0,144 \quad (3.7)$$

$$P(S = 1) = 0,216 + 0,144 = 0,36 \quad (3.8)$$

Tabela 9: Propagação dos sinais.

Probabilidade do vetor	A	B	C	X	Y	Z	S
6,4%	0	0	0				
9,6%	0	0	1				
9,6%	0	1	0				
14,4%	0	1	1				
9,6%	1	0	0				
14,4%	1	0	1				
14,4%	1	1	0	1	0	1	1
21,6%	1	1	1	1	0	0	1
Probabilidade do sinal	60%	60%	60%	36%	0%	14,4%	36%

O processo é repetido até que se propague todas as possíveis combinações de vetores de entrada e a tabela esteja completa. A tabela completa com todos possíveis

valores lógicos e todos valores de probabilidade de sinais constam na tabela 10 e o processo termina.

Tabela 10: Propagação dos sinais.

Probabilidade do vetor	A	B	C	X	Y	Z	S
6,4%	0	0	0	0	1	1	1
9,6%	0	0	1	0	0	0	0
9,6%	0	1	0	0	0	1	1
14,4%	0	1	1	0	0	0	0
9,6%	1	0	0	0	1	1	1
14,4%	1	0	1	0	0	0	0
14,4%	1	1	0	1	0	1	1
21,6%	1	1	1	1	0	0	1
Probabilidade do sinal	60%	60%	60%	36%	16%	40%	61,6%

Este é um método de fácil implementação. O maior desafio para o programador é o de ter a capacidade de propagar uma simulação de um valor lógico em um circuito e armazenar valores de ponto flutuante. Nossa implementação do Método Exaustivo disponibilizou ao longo do desenvolvimento deste projeto valores de exata precisão e confiança em um restrito conjunto de circuitos lógicos. Estes valores adquiridos através do Método Exaustivo possibilitam a capacidade de validação do último método apresentado neste trabalho.

3.2 Método Baseado em Variáveis Aleatórias

O Método Baseado em Variáveis Aleatórias ou MVA oferece uma estimativa dos valores de probabilidade dos sinais de um circuito. O MVA tem complexidade temporal linear de $O(N)$, sendo N o número de portas lógicas dentro do circuito. O método é resolvido com apenas uma busca em profundidade pelo circuito. Ele tem a vantagem de fornecer valores de estimativa para a probabilidade dos sinais de maneira rápida. Por outro lado, o MVA não considera caminhos re-convergentes, visto que considera cada transformação de sinais (portas lógicas) como um evento independente.

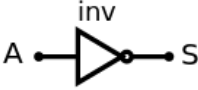
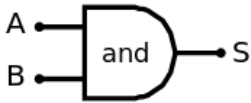
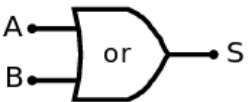
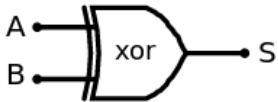
3.2.1 Equação Probabilística das Portas Lógicas

Antes de resolvermos o circuito lógico de exemplo com o Método Baseado em Variáveis Aleatórias precisamos estabelecer algumas premissas que associam cada tipo de portas lógicas à teoria de probabilidades. Estas premissas relacionam cada tipo de porta lógica básica com sua relativa regra matemática de probabilidade. Estas regras foram geradas utilizando os princípios mencionados no Capítulo 2 e as relativas funções lógicas das

portas. Todos os circuitos foram projetados considerando a biblioteca de células *Cadence Generic Standard Cell Library* GSCLib e portanto, as funções lógicas utilizadas neste trabalho são as pertencentes a esta biblioteca. Vale destacar que estas regras são geradas de forma automatizada, tornando a aplicação desenvolvida independente de qualquer biblioteca de células. Em outras palavras, o software desenvolvido é genérico para lidar com qualquer circuito desde que a biblioteca de células utilizada no seu projeto esteja disponível.

Cada regra é uma equação matemática. A entrada de cada uma das equações são as probabilidades dos sinais de entrada e o resultado da equação retorna a probabilidade do sinal de saída da porta lógica. Na tabela 11 está exposto cada equação matemática associado a cada tipo de porta lógica básica. Conforme será discutido na sequência, portas lógicas complexas tem suas equações probabilísticas definidas através da composição destas regras básicas.

Tabela 11: Regras probabilísticas.

Porta Lógica	Função Lógica	Equação probabilística
	$S = !A$	$P(S) = 1 - P(A)$
	$S = A * B$	$P(S) = P(A) * P(B)$
	$S = A + B$	$P(S) = [P(A) + P(B)] - [P(A) * P(B)]$
	$S = A \oplus B$	$P(S) = [P(A) + P(B)] - [2 * P(A) * P(B)]$

Todos exemplos mostrados na tabela são de portas lógicas com até duas entradas. Para casos de portas com mais 2 entradas a função continua a mesma, somente se adiciona um parâmetro a mais, respeitando a regra da equação. Por exemplo para uma porta AND

de 3 entradas A, B, C e saída S temos a equação probabilística:

$$P(S) = P(A) * P(B) * P(C) \quad (3.9)$$

Estabelecemos como portas lógicas básicas as dos tipos: inversor, AND, OR e XOR. Estas são dadas como básicas pois se tem a possibilidade de definir a equação probabilística de qualquer outro tipo de porta lógica fazendo combinações entre as portas lógicas básicas. Por exemplo, para a porta lógica AOI (AND-OR-inversor), de entradas A, B, C e saída S tem-se a função lógica:

$$S = \neg[(A * B) + C] \quad (3.10)$$

Combinando as equações probabilísticas das portas: inversor, AND e OR podemos reproduzir a equação probabilística da porta AOI:

$$P(S) = 1 - \{[(P(A) * P(B)) + P(C)] - [(P(A) * P(B)) * P(C)]\} \quad (3.11)$$

3.2.2 Pseudocódigo

O pseudocódigo para o MVA é apresentado no algoritmo 2. O algoritmo é responsável por realizar a busca em profundidade pelo circuito, enquanto a função *MVA*, declarada na linha 15 à 18, é responsável pelo cálculo da probabilidade em uma única porta lógica. Os dados de entrada são os mesmos para o método exaustivo: o circuito como um grafo e valores de probabilidade dos sinais de entrada do circuito. Como inicialização define-se todos valores de probabilidade dos sinais internos com -1, dessa maneira sabe-se quais sinais ainda não foram definidos (linha 2). A função principal faz uma busca em profundidade para cada porta lógica que faça conexão com a saída do circuito (linha 4). Começando a busca em profundidade sempre com uma única porta empilhada (linha 5), a busca acontece até que uma porta lógica final seja encontrada. Uma porta lógica final é aquela que seus sinais de entrada sejam sinais de entrada do circuito e/ou seus sinais de entrada estejam conectados a portas lógicas já visitadas. Após encontrar uma porta final, a função é chamada para resolver os valores de probabilidade da porta em

questão (linha 8).

Algoritmo 2: Método Baseado em Variáveis Aleatórias

```

1 Function Percorre Circuito ( $G, P(S_{entrada})$ )
   Input: Grafo  $G(S, PL)$ 
   Input: Probabilidades sinais de entrada  $P(S_{entrada})$ 
   Output: Lista Probabilidades
2   Todas probabilidades de  $G(S) \leftarrow -1$ ;
3   Sinais de entrada  $\leftarrow P(S_{entrada})$ 
4   for  $i \leftarrow 0$  to número de  $S_{saída}$  de  $G$  do
5       Pilha empilha PL origem de  $S_{saída}[i]$  ;
6       while Pilha  $\neq$  vazio do
7           if PL do topo da pilha é final then
8               MVA(PL) ;
9               Pilha desempilha;
10          else
11              Pilha empilha PL origem de topo da pilha ;
12          end
13      end
14  end
15 Procedure MVA ( $PL$ )
   Input: Porta Lógica  $PL$ 
   Output: Vazio
16  for  $j \leftarrow 0$  to  $S_{saída}$  de  $PL$  do
17      Monta equação a partir de  $S_{saída}[j]$  e tipo de  $PL$  ;
18      Calcula e armazena  $P(S_{saída}[j])$  ;
19  end

```

A função *MVA* fica responsável pela criação da equação (linha 17), para cada sinal de saída da porta, a partir da tabela 11 e o cálculo dos valores de ponto flutuante a partir dos sinais de entrada da porta e a equação gerada.

3.2.3 Desenvolvendo o cálculo

Agora temos a capacidade de resolver o mesmo circuito que foi resolvido com o Método Exaustivo. Para tal, devemos percorrer todo o circuito, visitando todas as portas lógicas que fazem parte do mesmo. Para realização da busca em profundidade utilizaremos uma estrutura de dados do tipo pilha. Toda porta lógica visitada que tiver as probabilidades de seus sinais de entrada definidas estará apta a definir também o valor de probabilidade de seus sinais de saída. Isto é feito utilizando-se a equação probabilística

da porta.

Como dado de entrada para o algoritmo teremos acesso aos dados de probabilidade dos sinais de entrada, neste caso A, B e C serão 60% novamente. Como inicialização também define-se todos valores de probabilidade dos sinais internos com -1.

O circuito lógico na figura 3.3 será resolvido. Os dados de inicialização já foram definidos: valores de probabilidade para sinais de entrada e os demais sinais valor de probabilidade -1. Iniciamos o algoritmo realizando uma busca em profundidade. A busca inicia pela porta lógica g4, pois está conectada a saída do circuito. Note que a porta g4 foi empilhada.

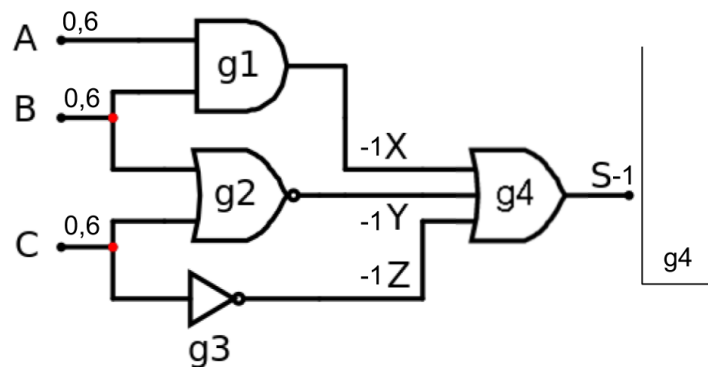


Figura 3.3: Circuito lógico e pilha.

Fonte: O autor

A cada iteração da busca a última porta contida na pilha é analisada, verificando-se se os valores de probabilidade dos sinais de entrada desta porta estão definidos. Neste caso a porta g4 possui 3 sinais de entrada, os sinais X, Y e Z. Verifica-se que os três possuem probabilidade de -1, ou seja, nenhum deles ainda foi definido. A busca segue. Seleciona-se uma das portas lógicas que ainda não foram visitadas, por exemplo a porta g1, e a mesma é empilhada. A pilha foi atualizada na figura 3.4.

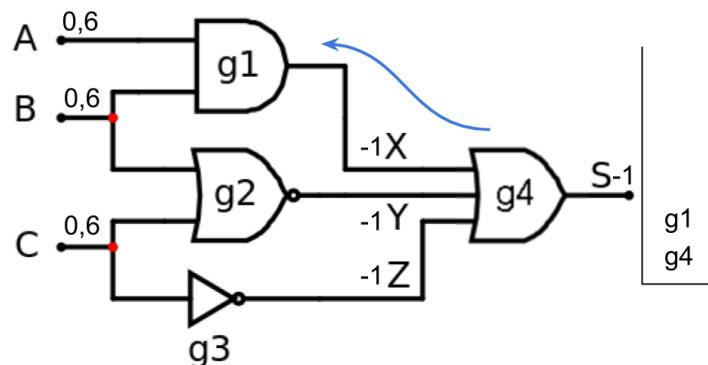


Figura 3.4: Circuito lógico e pilha.

Fonte: O autor

Nesta iteração da busca em profundidade a porta g1 tem todos seus sinais de entrada já definidos, os sinais A e B. Podemos então utilizar a equação probabilística do tipo AND. Voltando a tabela 11 podemos ver que equação para este tipo se da por:

$$P(S) = P(A) * P(B) \quad (3.12)$$

Substituindo as variáveis da equação pelas variáveis da porta g1 temos:

$$P(X) = P(A) * P(B) \quad (3.13)$$

$$P(X) = 0,6 * 0,6 \quad (3.14)$$

$$P(X) = 0,36 \quad (3.15)$$

O sinal X tem 36% de chance de seu valor lógico ser '1'. Podemos comparar o valor encontrado no MVA com o Método Exaustivo, na tabela 10 vemos que o valor de probabilidade para o sinal X é o mesmo nos dois métodos. Como a porta lógica g1 tem todos os valores de probabilidade de seus sinais definidos, esta porta é desempilhada e marcada como visitada. Como consta na imagem 3.5 a porta g1 está marcada com um ponto vermelho. Desta maneira a busca volta para a porta lógica g4 e ela está no topo da pilha.

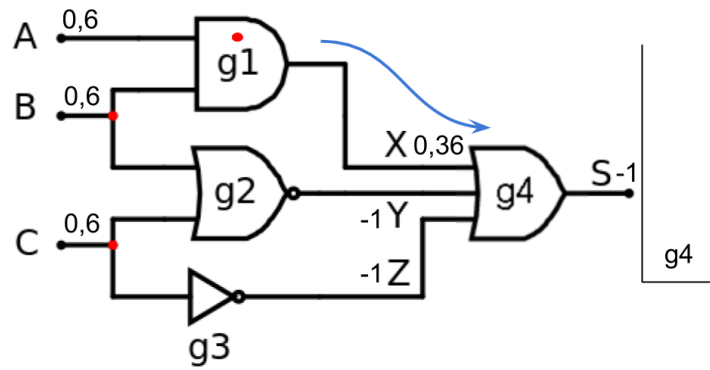


Figura 3.5: Circuito lógico e pilha.

Fonte: O autor

A porta g4 ainda não tem seus valores de probabilidade para sinais de entrada definidos, pois Y e Z ainda tem valor de probabilidade -1. A busca segue para a próxima porta lógica, por exemplo a porta g2. A porta g2 é empilhada e analisada. Como consta na figura 3.6.

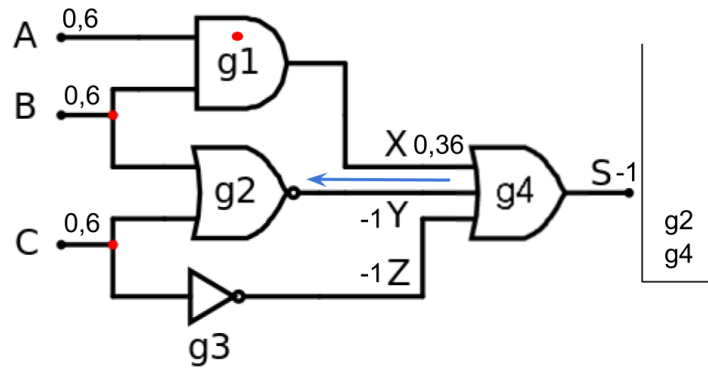


Figura 3.6: Circuito lógico e pilha.

Fonte: O autor

A porta g2 tem seus sinais de entrada B e C definidos, podemos então calcular o valor de probabilidade para seu sinal de saída Y. Esta é uma porta lógica NOR. Utilizando as equações da tabela 10 podemos combinar a equação da porta lógica do tipo OR com a equação do tipo inversor. Neste caso teríamos a equação como resultado:

$$P(S) = 1 - \{[P(A) + P(B)] - [P(A) * P(B)]\}$$

Substituindo as variáveis da equação pelas variáveis da porta g2 temos:

$$P(Y) = 1 - \{[0,6 + 0,6] - [0,6 * 0,6]\}$$

$$P(Y) = 1 - \{1,2 - 0,36\}$$

$$P(Y) = 1 - 0,84$$

$$P(Y) = 0,16$$

O valor de probabilidade encontrado para o sinal Y é de 16%. O mesmo encontrado com o Método Exaustivo na tabela 10. Continuando o processo, a porta g2 é desempilhada e marcada como visitada. Nesta etapa voltaríamos mais uma vez para a porta g4, tendo o sinal Z ainda não definido, repetimos o processo para a porta g3. O inversor possui probabilidade complementar à sua entrada e o resultado do processo está ilustrado na Figura 3.7.

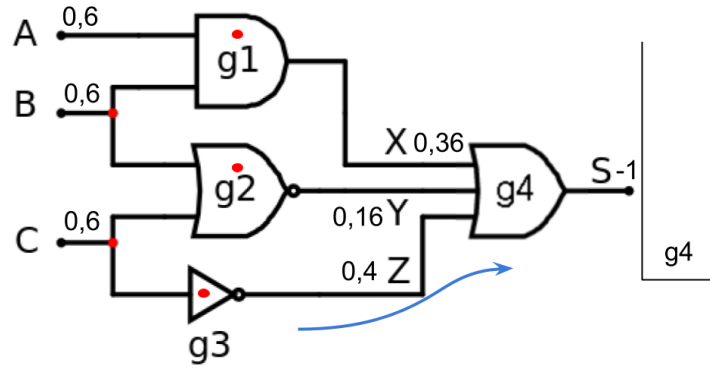


Figura 3.7: Circuito lógico e pilha.

Fonte: O autor

Com a porta g4 no topo da pilha, desta vez temos todos seus valores de probabilidade de sinais de entrada definidos. Podemos então definir o valor de probabilidade para o sinal S. A porta g4 é uma OR com 3 entradas. Utilizando as equações para porta do tipo OR, pela tabela 11, temos a equação para porta uma porta OR de 3 entradas:

$$P(S) = \{[P(A)+P(B)] - [(P(A)*P(B))]\} + P(C) - \{[P(A)+P(B)] - [(P(A)*P(B))]\} * P(C) \quad (3.16)$$

de maneira mais simplificada, isolamos a parcela que corresponde a variável C:

$$P(S) = \{[P(A) + P(B)] - [P(A) * P(B)]\} \cup P(C) \quad (3.17)$$

Substituindo pelas variáveis da porta g4:

$$P(S) = \{[P(X) + P(Y)] - [P(X) * P(Y)]\} \cup P(Z) \quad (3.18)$$

$$P(S) = \{[0,36 + 0,16] - [0,36 * 0,16]\} \cup P(Z) \quad (3.19)$$

$$P(S) = 0,52 - 0,0576 \cup P(Z) \quad (3.20)$$

$$P(S) = 0,4624 \cup 0,4 \quad (3.21)$$

$$P(S) = [0,4624 + 0,4] - [0,4624 * 0,4] \quad (3.22)$$

$$P(S) = 0,8624 - 0,18496 \quad (3.23)$$

$$P(S) = 0,677 \quad (3.24)$$

O valor de 67,7% não confere com o valor encontrado pelo Método Exaustivo de 61,6%. Este exemplo demonstra a inacurácia do método MVA. O erro é gerado pois a porta g4 é um *sink* de re-convergência com dois *sources*, os sinais B e C. Nota-se que o erro acontece somente na saída desta porta lógica. Os demais valores de probabilidade dos sinais foram corretamente calculados, pois não são *sinks* de re-convergência. No entanto, supondo que o circuito tivesse continuidade após a porta lógica g4, o erro iria se propagar nos outros sinais, mesmo que estes sinais não fossem saídas de *sinks*.

Dando continuidade ao algoritmo, após definir o valor de probabilidade do sinal de saída da porta lógica g4, esta é marcada como visitada e é desempilhada. A figura 3.8 demonstra a pilha vazia e todos as portas lógicas visitadas. O processo se da por finalizado, já que todas portas foram visitadas e a pilha está vazia. Neste caso temos um circuito com apenas um sinal de saída. Para circuitos com mais sinais de saída deveríamos iniciar outra busca em profundidade a partir dos outros sinais de saída, considerando os valores de probabilidade já encontrados.

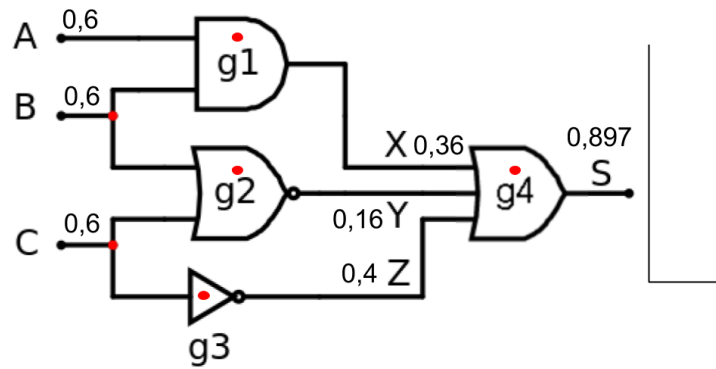


Figura 3.8: Circuito lógico e pilha.

Fonte: O autor

3.3 Método Baseado em Probabilidade Condicional

O Método Baseado em Probabilidade Condicional ou MPC soluciona o erro gerado pelos caminhos re-convergentes. Este método usa características dos dois métodos anteriormente apresentados. O MVA está contido dentro do MPC, de modo que todas portas lógicas que não são *sinks* de re-convergência podem ser resolvidas pelo MVA. O MPC também realiza uma busca em profundidade ao longo do circuito a fim de resolver cada porta lógica por vez. A diferença deste método para o MVA está no tratamento de portas lógicas que são *sinks*. Quando, ao longo da busca em profundidade, a porta lógica em análise possui todos valores de probabilidade definidos, antes de iniciar o cálculo de probabilidade da porta, verifica-se caso a porta lógica é um *sink* ou uma porta comum. Caso não seja *sink* as regras de probabilidade da tabela 11 são utilizadas. Caso a porta seja um *sink* deve-se simular todas combinações possíveis entre os *sources* primários que re-convergem no *sink* a ser calculado, de maneira parecida com o Método Exaustivo em que as combinações são feitas com relação aos sinais de entrada do circuito. Este método foi desenvolvido baseado nos trabalhos de (FLAQUER et al., 2010b) e (FLAQUER et al., 2010a).

Neste método são realizadas diversas buscas em profundidade no circuito: uma delas consiste na busca para encontrar os caminhos re-convergentes. Outra busca ocorre

para cada *sink*. Neste caso, a busca está restrita ao interior de seu caminho re-convergente, e é realizada para definir as funções lógicas dos seus sinais de entrada desde os *sources* primários até suas entradas. Uma terceira busca em profundidade é executada para realizar o cálculo da probabilidade em cada porta lógica. Todo este processo será mais aprofundado a seguir.

3.3.1 Encontrando caminhos re-convergentes

Antes de calcularmos os valores dos sinais de probabilidade do circuito exemplo da figura 3.2, precisamos definir quais portas lógicas são *sinks* de re-convergência. Para isto precisamos encontrar os caminhos re-convergentes dentro do circuito. Utilizaremos o algoritmo de Roberts e Lala (1987) para encontra-los. Este algoritmo armazena somente os últimos *sources* de re-convergência para cada *sink*. Porém, no MPC necessitamos dos *sources* primários, ou seja, os primeiros *sources*. Dessa forma o algoritmo foi adaptado para passar a armazenar *sources* primários de re-convergência.

Cada sinal do circuito irá armazenar três listas: lista de *fan-outs* ou LFO, lista de *fan-outs* re-convergentes ou LFOR e lista de *fan-outs* re-convergentes primários ou LFORP. Faz-se uma busca em profundidade percorrendo o circuito. Sempre que a busca atinge uma porta lógica final, as 3 listas de cada sinal de saída desta porta são atualizadas. Uma porta lógica final será aquela que seus sinais de entrada sejam sinais de entrada do circuito e/ou seus sinais de entrada estejam conectados a portas lógicas já visitadas. A atualização dos sinais de saída das portas finais é feita de modo que sua LFO será a união das LFO dos seus sinais de entrada. Já a LFOR dos sinais de saída da porta será a intersecção entre as LFOs de seus sinais de entrada. Por fim, na terceira lista LFORP se faz uma cópia de todos sinais na LFOR que sejam *sources* primários.

Como inicialização do algoritmo devemos atualizar as LFOs de todos sinais de entrada do circuito: para cada sinal de entrada que for um *fan-out* sua LFO receberá o próprio sinal de entrada. Para os demais sinais suas 3 listas estarão vazias. O circuito exemplo na figura 3.9 foi inicializado, as LFOs dos sinais de entrada foram atualizadas. As listas LFOR e LFORP são omitidas na imagem. Iniciamos a busca no circuito exemplo pela porta lógica g4 conectada a saída. Empilhamos a porta g4.

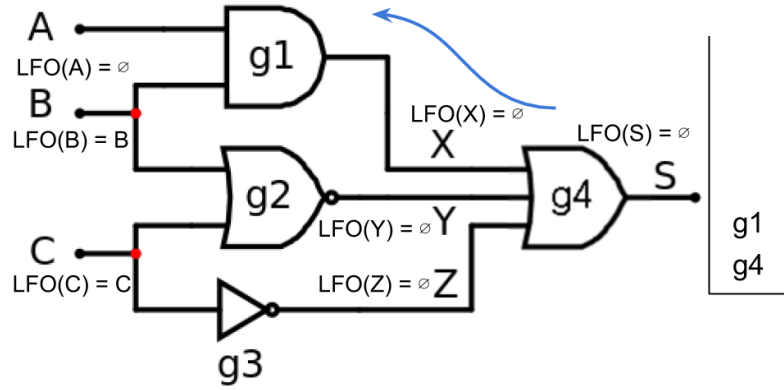


Figura 3.9: Encontrando caminhos re-convergentes.

Fonte: O autor

A porta g4 que se encontra no topo da pilha e não é uma porta final, já que as portas conectadas aos seus sinais de entrada não estão marcadas como visitadas. A busca continua até a porta g1. Esta porta é empilhada. Como mostra a figura 3.10.

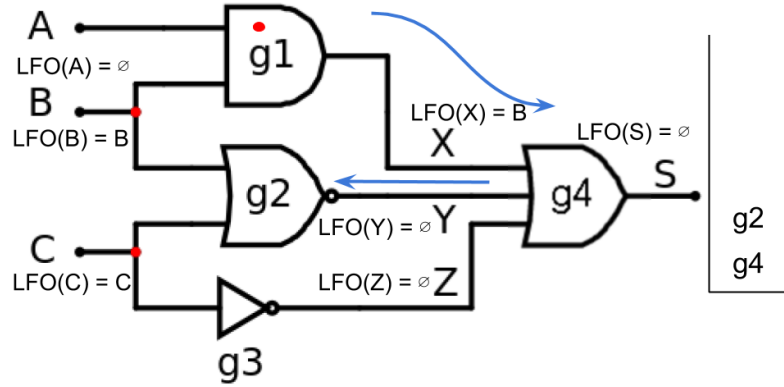


Figura 3.10: Encontrando caminhos re-convergentes.

Fonte: O autor

A porta g1 é uma porta final, já que seus dois sinais de entrada A e B são sinais de entrada do circuito. Podemos então atualizar as listas do seu sinal de saída X:

$$LFO(X) = LFO(A) \cup LFO(B) = \emptyset \cup B = B \quad (3.25)$$

$$LFOR(X) = LFO(A) \cap LFOR(B) = \emptyset \cap B = \emptyset \quad (3.26)$$

$$LFORP(X) = \emptyset \quad (3.27)$$

A porta lógica g1 é desempilhada e marcada como visitada. Seguindo a busca, a porta g4 ainda não é uma porta final, então seguimos para a porta g2 e a empilhamos.

Como consta na figura 3.10. A porta g2 é uma porta final, pois seus sinais de entrada B e C são sinais de entrada do circuito. Podemos então atualizar as listas do seu sinal de saída Y:

$$LFO(Y) = LFO(B) \cup LFO(C) = B \cup C = B, C \quad (3.28)$$

$$LFOR(Y) = LFO(B) \cap LFOR(C) = B \cap C = \emptyset \quad (3.29)$$

$$LFORP(Y) = \emptyset \quad (3.30)$$

A porta g2 é desempilhada e marcada como visitada. E a porta g4 continua não sendo final. Todo processo se repete para a porta g3. Na imagem 3.11, pulamos a etapa de empilhamento e temos o desempilhamento da porta g3 e suas listas atualizadas:

$$LFO(Z) = LFO(C) = C \quad (3.31)$$

$$LFOR(Z) = LFO(C) = \emptyset \quad (3.32)$$

$$LFORP(Z) = \emptyset \quad (3.33)$$

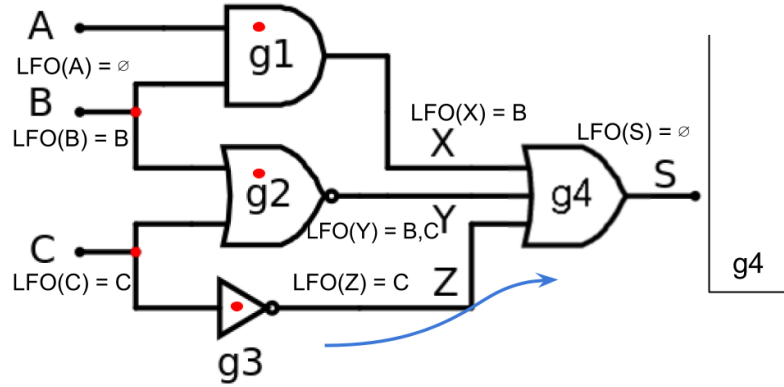


Figura 3.11: Encontrando caminhos re-convergentes.

Fonte: O autor

A porta g4 é analisada por estar no topo da pilha. Agora ela é dita como final, já que todas portas conectadas a seus sinais de entrada estão marcadas como visitadas. Podemos então definir as listas de seu sinal de saída S:

$$LFO(S) = LFO(X) \cup LFO(Y) \cup LFO(Z) = B^2, C^2 \quad (3.34)$$

$$LFOR(S) = LFO(C) \cap LFO(Y) \cap LFO(Z) = B^2, C^2 \quad (3.35)$$

$$LFORP(S) = B^2, C^2 \quad (3.36)$$

Os expoentes nas equações 3.34 à 3.36 são os números de repetições de B e C que ocorrem entre as LFO das entradas da porta g4. Estes valores de repetições são necessárias para o processo de redução do algoritmo. A redução é necessária pois o algoritmo detecta falsos positivos. Existem casos em que dois caminhos carregam um mesmo *fan-out*, mas não são reconvergentes. O processo de redução deve ser aplicado sempre que se atualiza uma LFOR em qualquer sinal interno do circuito. O processo de redução para a atualização de uma LFOR para um sinal genérico X é apresentado no algoritmo 3.

Algoritmo 3: Redução da LFOR

Input: LFOR(X)

Output: LFOR-reduz(X)

```

1 LFOR-reduz(X)  $\leftarrow \emptyset$ ;
2 while LFOR(X)  $\neq \emptyset$  do
3   | Y  $\leftarrow$  fan-out com maior nível lógico de LFOR(X) ;
4   | LFOR-reduz(X) push back Y ;
5   | k  $\leftarrow$  repetições de Y ;
6   | LFOR(X)  $\leftarrow$  LFOR(X) - (k * LFO(Y)) ;
7 end
```

Podemos ver que o LFOR-reduz será a lista de *fan-outs* re-convergentes reduzida. No algoritmo de redução, se adiciona o fan-out com maior nível lógico a lista reduzida. Na linha 6 se remove da LFOR(X), k vezes a LFO de Y. Isso se repete até que o LFOR original esteja vazio.

O resultado da redução para o sinal de saída S da figura 3.11 resultaria na mesma lista {B,C}, como na equação 3.35. A busca em profundidade para o encontro dos caminhos re-convergentes termina, já que a pilha fica vazia após o desempilhamento da porta g4.

Logo após o encontro dos caminhos re-convergentes, cada gate passa a conter a informação de ser um *sink* ou não. Basta conferir se algum dos seus sinais de saída possui uma Lista de *fan-Outs* Re-convergente que não é vazia.

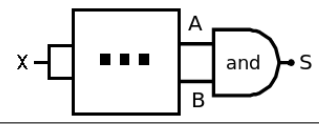
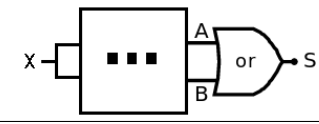
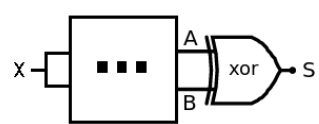
3.3.2 Formalização dos *sinks*

As portas lógicas que são *sinks* de re-convergência terão um tratamento similar ao das portas lógicas que são tratadas pelo MVA. Haverá também uma equação probabilística para cada operação lógica, porem estas regras tem embasamento condicional. Na tabela 12 vemos cada uma destas equações. Não há nenhuma regra para a porta inversora pois ela não pode possuir mais de um caminho em sua entrada. O sinal X adicionado aos circuitos é o *source* primário do *sink*. Note que nas equações são analisados todos possíveis valores de X. Caso as portas obtivessem mais *sources* primários, a equação então se estenderia

para todas combinações possíveis entre os *sources* primários. Por exemplo uma porta *sink* do tipo OR de duas entradas teria a equação probabilística condicional para seu sinal de saída:

$$\begin{aligned}
 P(S) = & [P(A = 1 \cup B = 1 | X = 1 \cap Y = 1) * P(X = 1) * P(Y = 1)] + \\
 & + [P(A = 1 \cup B = 1 | X = 0 \cap Y = 1) * P(X = 0) * P(Y = 1)] + \\
 & + [P(A = 1 \cup B = 1 | X = 1 \cap Y = 0) * P(X = 1) * P(Y = 0)] + \\
 & + [P(A = 1 \cup B = 1 | X = 0 \cap Y = 0) * P(X = 0) * P(Y = 0)]
 \end{aligned} \quad (3.37)$$

Tabela 12: Regras probabilísticas condicionais.

Porta lógica <i>sink</i>	Função lógica	Equação probabilística
	$S = A * B$	$P(S) = [P(A = 1 \cap B = 1 X = 1) * P(X = 1)] + [P(A = 1 \cap B = 1 X = 0) * P(X = 0)]$
	$S = A + B$	$P(S) = [P(A = 1 \cup B = 1 X = 1) * P(X = 1)] + [P(A = 1 \cup B = 1 X = 0) * P(X = 0)]$
	$S = A \oplus B$	$P(S) = [P(A = 1 \cap B = 0 X = 1) * P(X = 1)] + [P(A = 1 \cap B = 0 X = 0) * P(X = 0)] + [P(A = 0 \cap B = 1 X = 1) * P(X = 1)] + [P(A = 0 \cap B = 1 X = 0) * P(X = 0)]$

Estas equações levam em consideração os eventos em que as entradas da porta lógica levem a saída a ter o valor lógico '1'. Os eventos A e B dentro destas equações serão substituídos pela sua equação probabilística para variáveis aleatórias com relação aos seus *sources*. Ou seja, é necessário toda a função lógica desde a entrada do *sink* até cada um de seus *sources*. Isto será melhor demonstrado no desenvolvimento do cálculo para o circuito exemplo na próxima seção.

3.3.3 Pseudocódigo

Após o encontro dos caminhos re-convergentes e a definição de quais portas são *sinks*, devemos então resumir a função lógica de cada sinal que é entrada de um *sink*. Cada sinal pode ser entrada de mais de um (ou nenhum) *sink*, sendo que cada *sink* terá sua própria combinação de *sources*. Esta função lógica irá desde o sinal de entrada do *sink* até seus *sources*, ou seja, a função lógica do sinal perante o caminho re-convergente de seu *sink*. O pseudocódigo deste processo é demonstrado no algoritmo 4. Este processo se dá por uma busca em profundidade para cada *sink* (linha 2 e 3), sendo que cada uma

das buscas estará limitada até os relativos *sources* de cada *sink* (linha 5). Este processo só é necessário pois as funções lógicas completas dos caminhos re-convergentes precisam ser armazenadas separadamente antes do cálculo. Dessa maneira podemos utilizar as associações da tabela 12. As Listas de *Fan-Outs* são utilizadas para limitar as buscas em profundidade, pois se o sinal que leva até o próximo nodo da busca não contem nenhum *source* do *sink* em análise, então ele não faz parte do caminho re-convergente.

Algoritmo 4: Definição das equações probabilísticas condicionais.

```

1 Procedure Define equações probabilísticas condicionais ( $G$ )
   |   Input: Grafo  $G(S, PL)$ 
2   for  $i \leftarrow 0$  to  $TotaldePL$  do
3   |   if  $PL[i]$  é um sink then
4   |   |   for  $j \leftarrow 0$  to  $TotaldeS_{entrada}dePL[i]$  do
5   |   |   |   Busca em profundidade até sources de  $PL[i]$  ;
6   |   |   |    $S_{entrada}[j]$  armazena resultado da busca ;
7   |   |   end
8   end

```

O pseudocódigo para o MPC é apresentado no algoritmo 5. Assim como no MVA, o algoritmo é responsável por realizar a busca em profundidade pelo circuito. Enquanto a função *MVA* (declarada no pseudocódigo 2) é responsável pelo cálculo da probabilidade em portas lógicas comuns, a função *MPC* é responsável por calcular a probabilidade em portas lógicas do tipo *sink*. Os dados de entrada são os mesmos para o MVA: o circuito como um grafo e valores de probabilidade dos sinais de entrada do circuito (linha 1). Como inicialização define-se todos valores de probabilidade dos sinais internos com -1, dessa maneira sabe-se quais sinais ainda não foram definidos (linha 2). Os sinais de entrada recebem os valores já disponibilizados (linha 3). Os caminhos re-convergentes são encontrados utilizando o algoritmo exemplificado na seção anterior (linha 4), para definir quais portas são *sinkss*. As equações probabilísticas condicionais são definidas a partir das funções lógicas resgatadas com o algoritmo 4 (linha 5). A função principal faz uma busca em profundidade para cada porta lógica que faça conexão com a saída do circuito (linha 4). Começando a busca em profundidade sempre com uma única porta empilhada (linha 5), a busca acontece até que uma porta lógica final seja encontrada e empilhada. Se a porta lógica (PL) do topo da pilha for um *sink*, o MPC é chamado para resolver o *sink* (linha 10). Caso a porta do topo da pilha não seja um *sink*, o MVA é utilizado para

resolver a porta (linha 13).

Algoritmo 5: Método Baseado em Probabilidade Condicional.

```

1 Function Percorre Circuito ( $G, P(S_{entrada})$ )
   Input: Grafo  $G(S, PL)$ 
   Input: Probabilidades sinais de entrada  $P(S_{entrada})$ 
   Output: Lista Probabilidades
2   Todas probabilidades de  $G(S) \leftarrow -1$ ;
3   Sinais de entrada  $\leftarrow P(S_{entrada})$  ;
4   Encontra caminhos re-convergentes;
5   Define equações probabilísticas condicionais
6   for  $i \leftarrow 0$  to número de  $S_{saída}$  de  $G$  do
7     Pilha empilha PL origem de  $S_{saída}[i]$  ;
8     while  $Pilha \neq \text{vazio}$  do
9       if  $PL$  do topo da pilha é final then
10        if  $PL$  é um sink then
11          MPC(PL) ;
12        else
13          MVA(PL) ;
14        end
15        Pilha desempilha;
16      else
17        Pilha empilha PL origem de topo da pilha;
18      end
19    end
20  end
21 Function MPC (sink)
   Input: Porta Lógica sink
   Output: Vazio
22  for  $j \leftarrow 0$  to  $S_{saída}$  de PL do
23    for  $k \leftarrow 0$  to  $2^{SP}$  Combinações do
24      Resolve iteração k ;
25       $P(S_{saída}[j])$  acrescenta Probabilidade de k ;
26    end
27    Armazena  $P(S_{saída}[j])$  ;
28  end

```

A função MPC é o gargalo do algoritmo. Devemos condicionar todas combinações possíveis entre os *sources* primários (SP) do *sink* (linha 23) e somar seus resultados (linha 25). A seção atual está ligada ao desenvolvimento do cálculo com relação ao espectro do

circuito. Salienta-se aqui a complexidade da geração de combinações entre os SP. Na seção seguinte será exposto um exemplo em que o *sink* possui 2 *sources* primários. Será melhor demonstrado o uso da função MPC nas linhas 21 à 28 do algoritmo 5.

3.3.4 Desenvolvendo o Cálculo

Utilizando o mesmo circuito em que foi demonstrado o encontro dos caminhos re-convergentes na seção 3.3.1. Após encontrar os caminhos neste circuito. E após definir as funções lógicas das entradas do *sink* g4. Teríamos as equações probabilísticas condicionais do sinal de saída S:

$$\begin{aligned} P(S) = & P(X \cup Y \cup Z) | B = 1 \cap C = 1) + \\ & + P(X \cup Y \cup Z) | B = 0 \cap C = 1) + \\ & + P(X \cup Y \cup Z) | B = 1 \cap C = 0) + \\ & + P(X \cup Y \cup Z) | B = 0 \cap C = 0) \end{aligned} \quad (3.38)$$

cada porção da equação 3.38 representa uma iteração no algoritmo 5 linha 23. Note que os sinais X, Y e Z também tiveram suas funções lógicas resgatadas. Estas seriam:

$$X = A * B \quad (3.39)$$

$$Y = !(B + C) \quad (3.40)$$

$$Z = !C \quad (3.41)$$

Aqui utilizamos as regras da seção 3.2.1 para que possamos desenvolver as equações probabilísticas de cada sinal de entrada do *sink* g4 a serem aplicadas na equação 3.38 do seu sinal de saída. O resultado disto seria:

$$\begin{aligned} P(S) = & \{ [P(A) * B] \cup !(B + C) \cup !(B + C) \cup (!C) \} * P(B = 1) * P(C = 1) + \\ & + \{ [P(A) * B] \cup !(B + C) \cup !(B + C) \cup (!C) \} * P(B = 0) * P(C = 1) + \\ & + \{ [P(A) * B] \cup !(B + C) \cup !(B + C) \cup (!C) \} * P(B = 1) * P(C = 0) + \\ & + \{ [P(A) * B] \cup !(B + C) \cup !(B + C) \cup (!C) \} * P(B = 0) * P(C = 0) \end{aligned} \quad (3.42)$$

Todo e qualquer sinal que não fizer parte do caminho re-convergente, será utilizado seu valor como variável aleatória independente, como o sinal A. *Sources* primários terão seus valores lógicos associados para cada porção da equação em 3.38. Valores lógicos 1 e 0 são tratados como 100% e 0% respectivamente. Salienta-se aqui a importante diferença na notação: B é um valor lógico diferente de $P(B = 1)$ que é a probabilidade como variável aleatória independente do *source* B . Resolvendo para os valores, lembrando que os sinais

de entrada tem probabilidade de 60% para verdadeiro e 40% para falso:

$$\begin{aligned}
 P(S) = & \{[0, 6 * 1] \cup !(1 + 1) \cup (!1)\} * 0,6 * 0,6 + \\
 & + \{[0, 6 * 0] \cup !(0 + 1) \cup (!1)\} * 0,4 * 0,6 + \\
 & + \{[0, 6 * 1] \cup !(1 + 0) \cup (!0)\} * 0,6 * 0,4 + \\
 & + \{[0, 6 * 0] \cup !(0 + 0) \cup (!0)\} * 0,4 * 0,4
 \end{aligned} \tag{3.43}$$

$$\begin{aligned}
 P(S) = & \{0, 6 \cup 0 \cup 0\} * 0,36 + \\
 & + \{0 \cup 0 \cup 0\} * 0,24 + \\
 & + \{0, 6 \cup 0 \cup 1\} * 0,24 + \\
 & + \{0 \cup 1 \cup 1\} * 0,16
 \end{aligned} \tag{3.44}$$

$$\begin{aligned}
 P(S) = & 0,6 * 0,36 + \\
 & + 0 * 0,24 + \\
 & + 1 * 0,24 + \\
 & + 1 * 0,16
 \end{aligned} \tag{3.45}$$

$$P(S) = 0,616 \tag{3.46}$$

O valor encontrando na equação 3.46 é o mesmo valor encontrado com o Método Exaustivo para o sinal S que é saída de um *sink* de re-convergência.

4 Resultados e Validação

Neste capítulo serão apresentados dados obtidos através da ferramenta que implementa os métodos propostos neste trabalho. A presença de caminhos re-convergentes dentro de alguns circuitos e o tempo para encontrá-los é demonstrado na seção 4.1. Em seguida, na seção 4.2 é apresentada uma contagem do número de iterações para cada método. Na próxima seção 4.3 são demonstrados os tempos que levaram para executar cada um dos métodos. Na seção 4.4 é feito um estudo sobre a relevância do MVA, analisando valores corretos com os de estimativa. Por fim é apresentado o método de validação dos métodos propostos.

4.1 Dados de Re-convergência

Na tabela 13 são apresentados: o número total de portas lógicas, a quantidade de portas que são *sinks* e a porcentagem de *sinks* com relação ao total de portas lógicas de diversos circuitos utilizados neste trabalho. Estes dados demonstram uma grande presença de caminhos re-convergentes dentro de circuitos lógicos. Com exceção dos circuitos com poucas portas, a quase totalidade dos circuitos maiores (com mais de 100 portas lógicas) apresenta uma quantidade de *sinks* superior a metade da quantidade de portas lógicas total.

Tabela 13: Relação entre portas lógicas comuns e *sinks*

Circuito	Portas Lógicas	<i>Sinks</i>	Porcentagem de <i>sinks</i>
Circuito 1	10	4	40%
Circuito 2	8	5	63%
Circuito 3	8	4	50%
Circuito 4	11	3	27%
c17	6	1	17%
c17nand	6	2	33%
c432	194	116	60%
c499	332	182	55%
c880	242	101	42%
c1355	330	180	55%
c1908	359	212	59%
c3540	800	533	67%
c5315	1162	609	52%
c6288	2079	1496	71%
c7552	1530	1042	68%
Média	357	214	51%
Desvio padrão			15%

Este dado ressalta a grande existência de potenciais diferenças no cálculo das probabilidades dos sinais dos circuitos e conseqüentemente de uma análise equivocada dos efeitos que são influenciados por essa informação. A presença de *sinks* irá influenciar na quantidade de iterações necessárias para que o MPC resolva o cálculo das probabilidades.

Na tabela 14 os tempos para encontrar os caminhos re-convergentes dentro de cada circuito são apresentados. Os tempos de execução são baseados na implementação do algoritmo de Roberts e Lala (1987). Observa-se que a identificação dos caminhos re-convergentes não possui um tempo computacional elevado, mesmo os circuitos analisados sendo considerados pequenos. Destaca-se que uma vez obtidos, várias análises com diferentes probabilidades dos sinais de entrada podem ser realizadas.

Tabela 14: Tempo de execução para encontrar caminhos re-convergentes (ROBERTS; LALA, 1987).

Circuito	Tempo de execução (seg)
Circuito 1	0.0003
Circuito 2	0.0002
Circuito 3	0.0002
Circuito 4	0.0002
c17	0.0001
c17nand	0.0001
c432	0.28
c499	0.59
c880	0.08
c1355	0.54
c1908	0.91
c3540	2.79
c5315	0.63
C6288	442.8
c7552	2.15

4.2 Iterações Necessárias no Cálculo das Probabilidades

O Método Exaustivo e o MPC possuem diferentes iterações, cada iteração do Método Exaustivo consiste no circuito inteiro, por outro lado cada iteração o MPC será sempre igual ou menor do que uma iteração do Método Exaustivo. Ou seja, além de diminuirmos a quantidade de iterações necessárias comparada ao Método Exaustivo, estas iterações também são menores para o MPC. As iterações do MPC estão relacionadas a busca em profundidade dentro de cada caso de re-convergência. Sendo que será impossível haver um caso de re-convergência que englobe todo o circuito caso ele tenha mais do que um sinal de saída. O Método Exaustivo tem complexidade temporal exponencial de $O(2^n)$ sendo n o número de inputs do circuito. Cada iteração no Método Exaustivo é dada por uma busca em profundidade dentro do circuito. Já para o MPC a influência da sua

complexidade está relacionado a quantidade de *sources* primários por *sink*. No apêndice B é demonstrado quantos *sources* primários existem para cada *sink* em cada circuito. Em cada *sink* será feito 2^m iterações, sendo m o número de *sources* primários do *sink* em questão. Ou seja, em cada *sink* é necessário analisar todas as 2^m possíveis combinações entre seus *sources* primários.

Na tabela 15 são apresentados os números de iterações necessários para o Método Exaustivo, para o MPC e a melhoria obtida do Método Exaustivo para o MPC, dado pela quantidade de vezes que o número de iterações é menor no MPC. Dados referentes ao método MVA não são apresentados pois este valor é exatamente a quantidade de portas lógicas dos circuitos já apresentados na Tabela 13 e também pelo fato deste método não fornecer dados precisos.

Em todos circuitos há melhoria, exceto no circuito C6288. Isso acontece pois o circuito C6288 tem poucos sinais de entrada e muitos casos de re-convergência. A utilização do Método Exaustivo está limitada aos circuitos com poucos sinais de entrada. Do circuito C432 em diante em nenhum dos 9 circuitos é viável que se use o Método Exaustivo. O MPC não só necessita de menos iterações, mas também torna viável o cálculo das probabilidades em 3 dos 9 circuitos. O circuito C7552 foi o que obteve maior redução no número de iterações necessárias entre os dois métodos, com $1,4 \cdot 10^{50}$ vezes menos iterações para o MPC do que o Método Exaustivo.

Tabela 15: Número de iterações necessárias para cada método.

	Exaustivo	MPC	Taxa de redução
Circuito 1	32	40	0,8
Circuito 2	16	12	1,3
Circuito 3	16	12	1,3
Circuito 4	512	6	85,3
c17	32	2	16
c17nand	32	4	8
c432	$6,9 \cdot 10^{10}$	$1,2 \cdot 10^5$	592297
c499	$2,2 \cdot 10^{12}$	$3,4 \cdot 10^{11}$	6,4
c880	$1,1 \cdot 10^{18}$	$5,5 \cdot 10^5$	$2,1 \cdot 10^{12}$
c1355	$2,2 \cdot 10^{12}$	$3,4 \cdot 10^{11}$	6,4
c1908	$8,6 \cdot 10^9$	$4,2 \cdot 10^8$	20,5
c3540	$1,1 \cdot 10^{15}$	$7,3 \cdot 10^{12}$	155
c5315	$3,8 \cdot 10^{53}$	$2,2 \cdot 10^6$	$1,7 \cdot 10^{47}$
c6288	$4,3 \cdot 10^9$	$1,2 \cdot 10^{15}$	$3,5 \cdot 10^{-6}$
c7552	$2,1 \cdot 10^{62}$	$1,5 \cdot 10^{12}$	$1,4 \cdot 10^{50}$

4.3 Tempos de Execução

Na tabela 16 estão os tempos de execução em milissegundos para os três métodos implementados. Mesmo necessitando de menos iterações, o circuito C432 demorou mais tempo para ser resolvido do que o circuito C880. Isto acontece já que o circuito C880 possui funções lógicas mais complexas em seus *sinks* do que o C432. Este comportamento é devido a caminhos re-convergentes mais longos que agregam muitas portas nas funções lógicas dos sinais de entrada dos *sinks*. Sendo a decomposição destas funções lógicas o gargalo do MPC.

Pela tabela 15 pode-se ter uma estimativa de quais circuitos são viáveis à execução do MPC. Por exemplo, o circuito C5315 levou aproximadamente 1 dia e 1 hora para ser resolvido. Analisando a tabela 15 o circuito com menor número de iterações necessárias após o C5315 seria o C1908. Supondo que 24 iterações são resolvidas em 1 segundo, como acontece para o circuito C5315, estima-se que o circuito C1908 seria resolvido em 201 dias. Conclui-se que, dentro da amostra disponível para execução da implementação, o MPC está limitado ao circuito C5315.

Tabela 16: Tempos de execução (ms)

	MVA	Exaustivo	MPC
Circuito 1	0,072	3,4	0,591
Circuito 2	0,060	1,4	0,215
Circuito 3	0,059	1,6	0,209
Circuito 4	0,093	49,9	0,15
c17	0,063	2,5	0,132
c17nand	0,060	3,0	0,15
c432	1,056	—	949529(~16min)
c880	1,888	—	302219(~5min)
c5315	6,492	—	91757300(~1dia)

4.4 Comparativo entre MVA e MPC

Os circuitos apresentados a seguir são os circuitos aptos a serem resolvidos pelo MPC. A tabela 17 mostra a quantidade total de sinais, a quantidade de sinais com erro, a porcentagem de sinais com erro e o número de portas lógicas que são *sinks* de cada circuito. Os sinais considerados errados são aqueles em que obteve-se valores diferentes entre os dois métodos MVA e MPC.

O erro acontece em todos sinais que são saídas de *sinks* de re-convergência. Todos os circuitos apresentados não possuem mais de uma saída por porta lógica. Existem mais sinais com erro no valor de probabilidade do que o número de *sinks* do circuito. Uma vez que o erro é gerado em um sinal, ele será propagado ao longo do circuito. Para o circuito

C5315 por exemplo, existem 65 sinais lógicos que não são saídas de *sinks*, mas mesmo assim tiveram o erro propagado por um caminho re-convergente até eles.

Tabela 17: Sinais com erro

Circuito	Número de sinais	Número de <i>sinks</i>	Sinais com erro	Porcentagem sinais com erro
Circuito 1	15	4	4	26,7%
Circuito 2	12	5	5	41,7%
Circuito 3	11	4	4	36,4%
Circuito 4	20	3	5	25,0%
c17	11	1	1	9,1%
c17nand	11	2	2	18,2%
c432	230	116	126	54,8%
c880	302	101	143	47,3%
c5315	1340	609	674	50,3%

A tabela 18 mostra uma análise com relação as diferenças obtidas com o método MVA. Todos os valores de probabilidade dos sinais para estes circuitos constam no apêndice D e a tabela 18 foi gerada a partir destes valores. Nela constam a quantidade de sinais com erro, o valor máximo de erro, a média dos erros e o desvio padrão dos erros, tanto para erros maiores do que zero quanto menores do que zero. Fazendo-se a média dos valores de erro para cada circuito, nota-se como os erros positivos e negativos tendem a se anular. Porém esta é uma visão superficial. A tabela 18 demonstra como esta análise está equivocada. Para o circuito c432 existe pelo menos um sinal com valor de probabilidade 22,34% maior do que o valor correto e outro sinal com valor de probabilidade 20,52% menor do que o valor correto.

O circuito C880 no entanto possui uma média de erro de 1,33% para mais e 1,75% para menos, pequeno desvio padrão e valores máximos e mínimos menores do que 5,5%. Este é um exemplo da viabilidade da utilização do MVA. Com baixo valores de erro e rápida execução, a utilização do MVA para uma estimativa inicial dos valores de probabilidade pode ser útil. Vale salientar que os valores a serem obtidos pelo MVA são imprevisíveis, já que a amostra utilizada é limitada.

Tabela 18: Análise do erro

Circuito	Erro positivo				Erro negativo			
	Quantidade	Máximo	Média	Desvio padrão	Quantidade	Mínimo	Média	Desvio padrão
Circuito 1	4	6,23%	4,68%	1,10%	0	—	—	—
Circuito 2	5	16,80%	8,36%	4,66%	0	—	—	—
Circuito 3	2	24,17%	15,21%	8,96%	2	-12,50%	-7,03%	5,47%
Circuito 4	5	4,69%	2,48%	1,17%	0	—	—	—
C17	1	3,13%	3,13%	—	0	—	—	—
C17nand	1	3,13%	3,13%	—	1	-4,69%	-4,69%	—
C432	57	22,34%	3,83%	4,45%	69	-20,52%	-3,79%	3,75%
C880	73	5,47%	1,33%	1,20%	70	-5,47%	-1,75%	1,71%
C5315	372	11,64%	3,02%	2,49%	302	-8,53%	-2,27%	1,97%

4.5 Validação

Para confirmar a validação dos métodos de cálculo de probabilidade elaborados, o Método Exaustivo juntamente com um conjunto de 6 circuitos pequenos foram tomados como premissa. O Método Exaustivo para estes circuitos foi desenvolvido manualmente, obtendo-se os valores de probabilidade de seus sinais. Com estes valores, o MPC pode ser então validado, comparando-se os valores encontrados com o Método Exaustivo e o MPC.

Para validar o método e a implementação que reconhecem os caminhos re-convergentes e as portas lógicas *sink*, inicialmente, para cada um dos 6 circuitos de validação, foram encontrados manualmente cada um dos caminhos re-convergentes, analisando-se caminho por caminho. Com os caminhos re-convergentes listados, pode-se comparar os caminhos encontrados pela implementação do algoritmo [Roberts e Lala \(1987\)](#) e os encontrados manualmente. Além disto, o algoritmo a ser implementado também foi desenvolvido manualmente para o conjunto de circuitos de validação.

Como já se sabe que o MVA possui erros por não considerar caminhos re-convergentes, não foi feito nenhum tipo de validação para este método.

5 Conclusão

Este texto representa a elaboração de um projeto desenvolvido com a intenção de explorar métodos para o cálculo da probabilidade de sinais em circuitos combinacionais. Três abordagens foram estudadas, desenvolvidas e implementadas em uma ferramenta de CAD.

O uso da probabilidade de sinais na academia nos dias de hoje é de extrema abundância e abrange diversas etapas do fluxo de projeto. O correto cálculo destes sinais é de extrema relevância para a área de sistemas digitais. A existência de caminhos re-convergentes é um contratempo para o cálculo. Hoje em dia ainda não se sabe um método totalmente eficaz e de complexidade aceitável que resolva caminhos re-convergentes. Enquanto uma solução não é encontrada se utiliza heurísticas que estimam valores aproximados do valor correto.

Os resultados obtidos com este trabalho demonstram a dificuldade de se resolver caminhos re-convergentes de maneira eficiente. No entanto existe essa possibilidade. Sabe-se que há a possibilidade de reduzir mais o método MPC utilizando não os *sources* primários, mas sim os mais próximos de cada *sink*. Além disso existe a possibilidade da utilização de paralelismo para resolver as combinações de *sources*, ainda mais por este problema ser de fácil paralelização. Estes dois fatores a serem incrementados ao método são trabalhos futuros deste projeto.

Referências

ABDOLLAHI, A.; FALLAH, F.; PEDRAM, M. Leakage current reduction in cmos vlsi circuits by input vector control. *IEEE Trans. Very Large Scale Integr. Syst.*, IEEE Educational Activities Department, Piscataway, NJ, USA, v. 12, n. 2, p. 140–154, fev. 2004. ISSN 1063-8210. Disponível em: <<http://dx.doi.org/10.1109/TVLSI.2003.821546>>. Citado 2 vezes nas páginas 3 e 11.

ALKABANI, Y. et al. Input vector control for post-silicon leakage current minimization in the presence of manufacturing variability. In: *2008 45th ACM/IEEE Design Automation Conference*. [S.l.: s.n.], 2008. p. 606–609. ISSN 0738-100X. Citado na página 3.

BUTZEN, P.; RIBAS, R. Leakage current in sub-micrometer cmos gates. 9 2007. Citado na página 12.

FIROUZI, F.; KIAMEHR, S.; TAHOORI, M. B. Power-aware minimum nbtI vector selection using a linear programming approach. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, v. 32, n. 1, p. 100–110, Jan 2013. ISSN 0278-0070. Citado na página 13.

FLAQUER, J. T. et al. Fast reliability analysis of combinatorial logic circuits using conditional probabilities. *Microelectronics Reliability*, v. 50, n. 9-11, p. 1215–1218, 2010. Disponível em: <<https://doi.org/10.1016/j.microrel.2010.07.058>>. Citado 3 vezes nas páginas 19, 20 e 35.

FLAQUER, J. T. et al. Handling reconvergent paths using conditional probabilities in combinatorial logic netlist reliability estimation. In: *2010 17th IEEE International Conference on Electronics, Circuits and Systems*. [S.l.: s.n.], 2010. p. 263–267. Citado 2 vezes nas páginas 20 e 35.

FLAQUER, J. T. et al. An approach to reduce computational cost in combinatorial logic netlist reliability analysis using circuit clustering and conditional probabilities. In: *2011 IEEE 17th International On-Line Testing Symposium*. [S.l.: s.n.], 2011. p. 98–103. ISSN 1942-9398. Citado na página 21.

GAO, F.; HAYES, J. P. Exact and heuristic approaches to input vector control for leakage power reduction. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, v. 25, n. 11, p. 2564–2571, Nov 2006. ISSN 0278-0070. Citado na página 11.

KIMIZUKA, N. et al. The impact of bias temperature instability for direct-tunneling ultra-thin gate oxide on mosfet scaling. In: *1999 Symposium on VLSI Technology. Digest of Technical Papers (IEEE Cat. No.99CH36325)*. [S.l.: s.n.], 1999. p. 73–74. Citado na página 13.

KRISHNASWAMY, S.; MARKOV, I.; HAYES, J. *Design, Analysis and Test of Logic Circuits Under Uncertainty*. Springer Netherlands, 2012. (Lecture Notes in Electrical Engineering). ISBN 9789048196432. Disponível em: <<https://books.google.com.br/books?id=sAcRBe-3CCwC>>. Citado na página 13.

KUMAR, S. V.; KIM, C. H.; SAPATNEKAR, S. S. Impact of nbt on sram read stability and design for reliability. In: *Proceedings of the 7th International Symposium on Quality Electronic Design*. Washington, DC, USA: IEEE Computer Society, 2006. (ISQED '06), p. 210–218. ISBN 0-7695-2523-7. Disponível em: <<http://dx.doi.org/10.1109/ISQED-2006.73>>. Citado na página 13.

MAGALHÃES, M. *Probabilidade e Variáveis Aleatórias*. Edusp, 2006. ISBN 9788531409455. Disponível em: <<https://books.google.com.br/books?id=Pe18ATx9QDQC>>. Citado na página 15.

MAHAPATRA, S. et al. Negative bias temperature instability in cmos devices. *Microelectron. Eng.*, Elsevier Science Ltd., Oxford, UK, UK, v. 80, p. 114–121, jun. 2005. ISSN 0167-9317. Disponível em: <<http://dx.doi.org/10.1016/j.mee.2005.04.053>>. Citado na página 13.

MONTGOMERY, D. *Applied Statistics and Probability for Engineers, 6th Edition*. John Wiley and Sons, Incorporated, 2013. ISBN 9781118802267. Disponível em: <<https://books.google.com.br/books?id=eHpbAgAAQBAJ>>. Citado na página 16.

ROBERTS, M. W.; LALA, P. K. Algorithm to detect reconvergent fanouts in logic circuits. *IEE Proceedings E - Computers and Digital Techniques*, v. 134, n. 2, p. 105–111, March 1987. ISSN 0143-7062. Citado 4 vezes nas páginas 5, 36, 46 e 50.

SANSEN, W. Analog ic design in nanometer cmos technologies. In: *2009 22nd International Conference on VLSI Design*. [S.l.: s.n.], 2009. p. 4–4. ISSN 1063-9667. Citado na página 10.

SCHALLER, R. R. Moore's law: past, present and future. *IEEE Spectrum*, v. 34, n. 6, p. 52–59, June 1997. ISSN 0018-9235. Citado na página 10.

SCHVITZ, R. *Método para o cálculo da confiabilidade de portas lógicas na presença de falhas stuck-on e stuck-open*. Dissertação (Dissertação de Mestrado) — Universidade Federal do Rio Grande, 2 2017. Citado na página 13.

WANG, Y. et al. On the efficacy of input vector control to mitigate NBTI effects and leakage power. In: *10th International Symposium on Quality of Electronic Design (ISQED 2009), 16-18 March 2009, San Jose, CA, USA*. [s.n.], 2009. p. 19–26. Disponível em: <<https://doi.org/10.1109/ISQED.2009.4810264>>. Citado 2 vezes nas páginas 11 e 13.

WANG, Y. et al. Temperature-aware NBTI modeling and the impact of input vector control on performance degradation. In: LAUWEREINS, R.; MADSEN, J. (Ed.). *2007 Design, Automation and Test in Europe Conference and Exposition, DATE 2007, Nice, France, April 16-20, 2007*. EDA Consortium, San Jose, CA, USA, 2007. p. 546–551. ISBN 978-3-9810801-2-4. Disponível em: <<https://doi.org/10.1109/DATE.2007.364650>>. Citado 2 vezes nas páginas 3 e 13.

WESTE, N.; HARRIS, D. *CMOS VLSI Design: A Circuits and Systems Perspective*. 4th. ed. USA: Addison-Wesley Publishing Company, 2011. ISBN 0321547748, 9780321547743. Citado 2 vezes nas páginas 11 e 12.

Apêndices

APÊNDICE A – Diagrama UML

Na figura A.1 podemos ver o diagrama UML da ferramenta implementada. A mesma imagem foi dividida em duas partes: A.2 e A.3 para uma melhor visualização. Este diagrama também pode ser acessado online, disponível em: <https://go.gliffy.com/go/publish/10453813>. Acesso em: novembro de 2017.

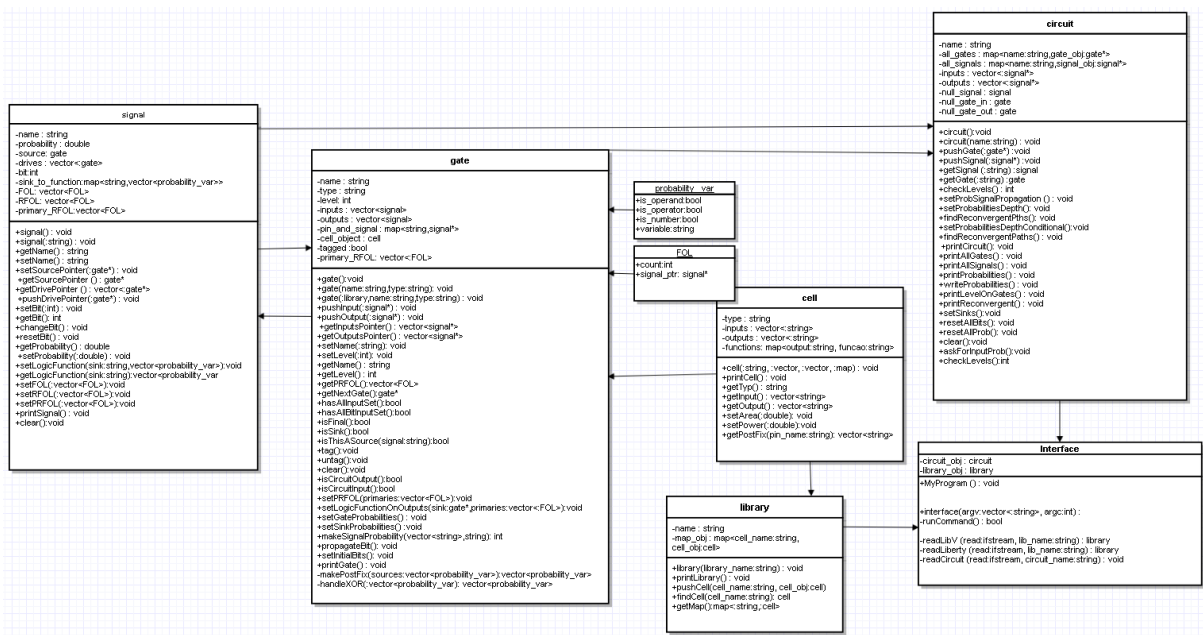


Figura A.1: UML.

Fonte: O autor

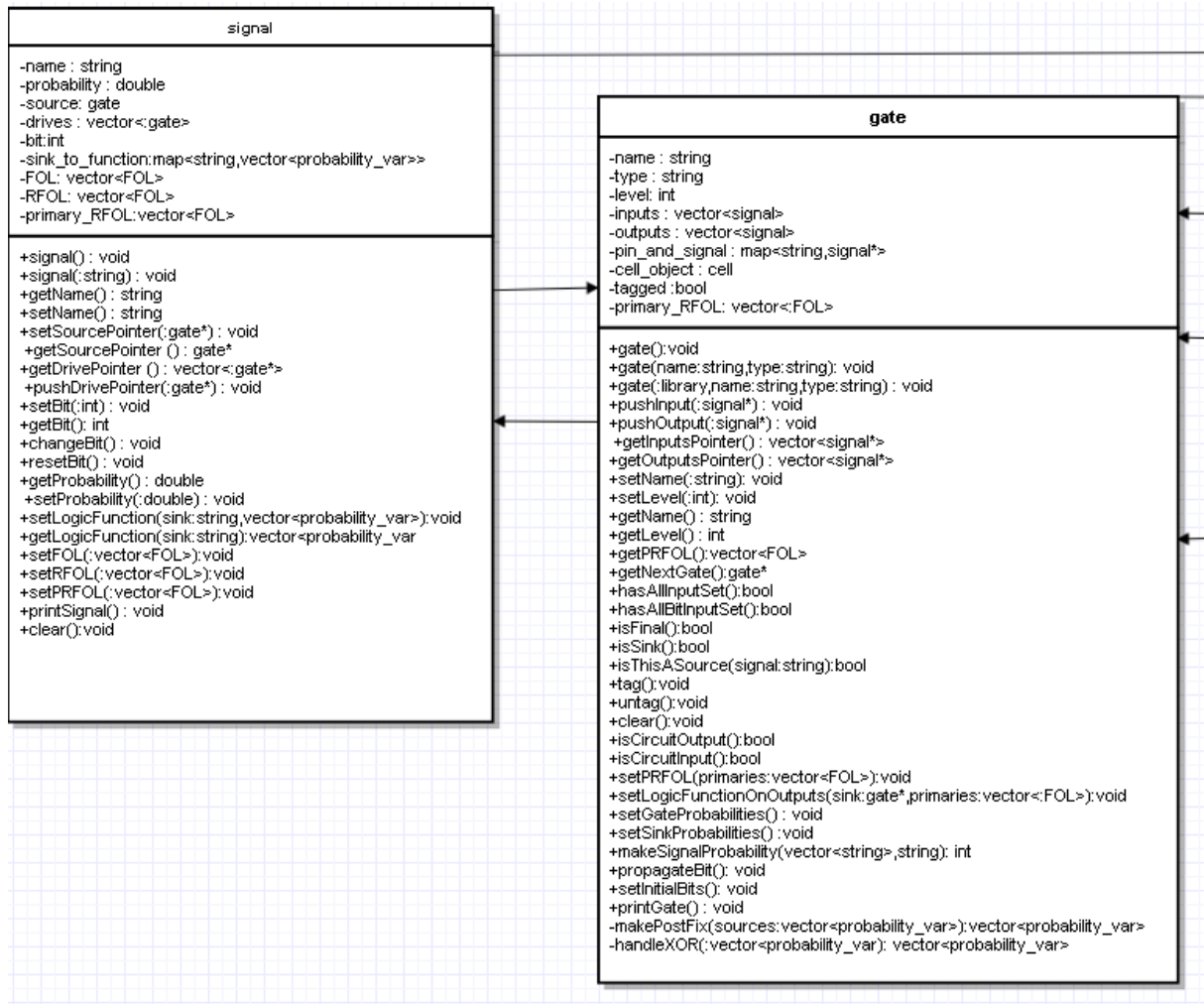


Figura A.2: UML primeira parte.

Fonte: O autor

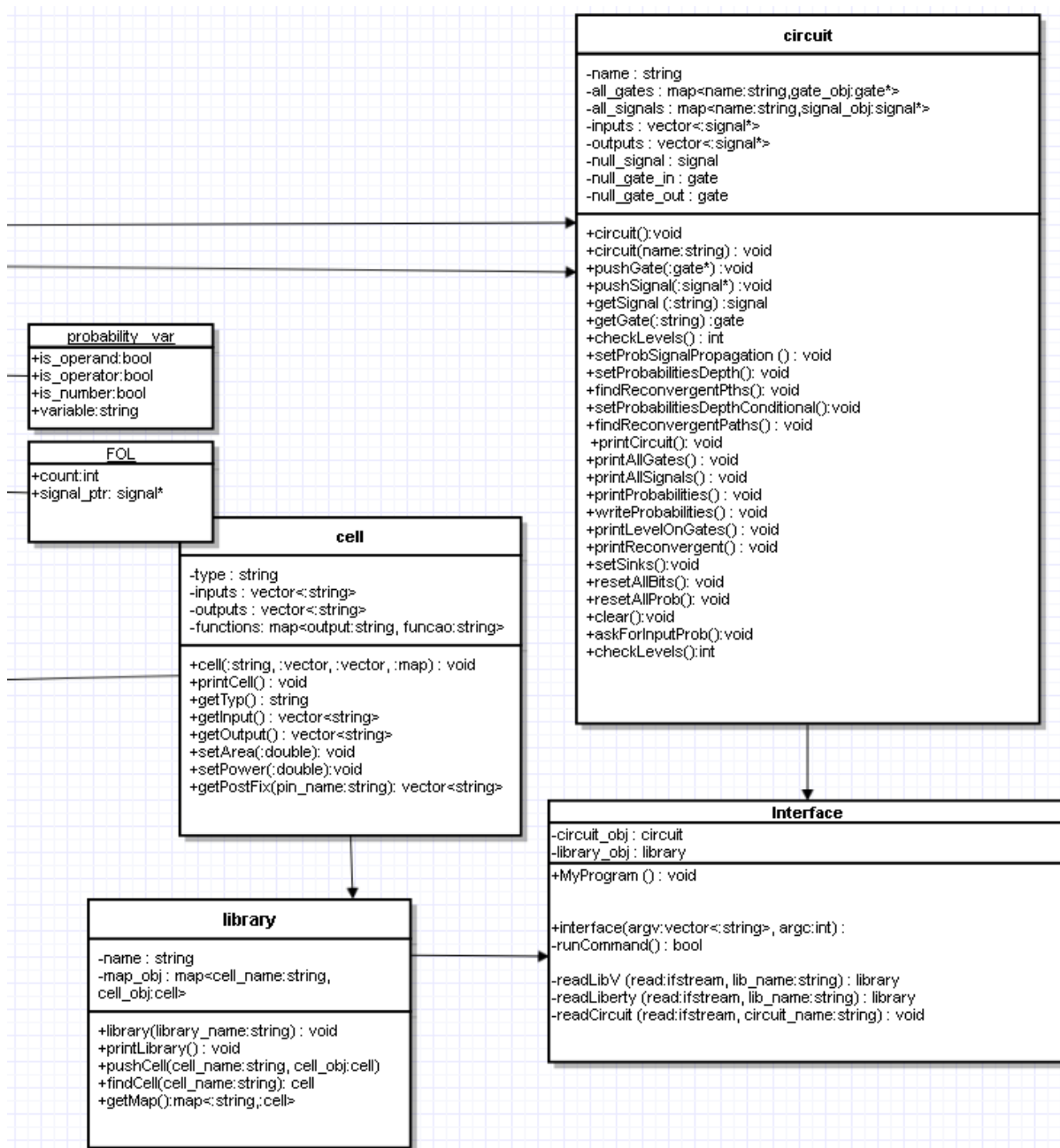


Figura A.3: UML segunda parte.

Fonte: O autor

APÊNDICE B – Número de *Sources* Primários para Cada *Sink*

As tabelas apresentadas neste apêndice irão refletir no gargalo do MPC. Na primeira coluna de cada tabela são apresentados o número de *sources* distintos associados à segunda coluna onde temos o número de *sinks* com tal quantidade de *sources* primários. Isto é demonstrado para cada circuito. Por exemplo na tabela 19 há 2 *sinks* com 2 *sources*, assim como também há 2 *sinks* com 4 *sources*.

B.1 Circuito 1

Tabela 19: Relações *sources* e *sinks* do circuito 1.

Número de <i>sources</i>	Número de <i>Sinkss</i>
2	2
4	2

B.2 Circuito 2

Tabela 20: Relações *sources* e *sinks* do circuito 2.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	4
2	1

B.3 Circuito 3

Tabela 21: Relações *sources* e *sinks* do circuito 3.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	2
2	2

B.4 Circuito 4

Tabela 22: Relações *sources* e *sinks* do circuito 4.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	3

B.5 C17

Tabela 23: Relações *sources* e *sinks* do circuito C17.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	1

B.6 C17 NAND

Tabela 24: Relações *sources* e *sinks* do C17 NAND.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	2

B.7 C432

Tabela 25: Relações *sources* e *sinks* do C432.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	13
2	23
6	11
7	12
8	16
9	18
10	8
11	7
12	3
13	4
15	1

B.8 C499

Tabela 26: Relações *sources* e *sinks* do C499.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	38
2	24
4	32
8	20
9	8
10	12
11	2
17	12
22	2
33	24
34	8

B.9 C880

Tabela 27: Relações *sources* e *sinks* do C880.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	6
2	7
3	5
4	4
5	10
6	6
7	23
8	13
9	4
10	6
11	8
12	2
13	2
15	1
16	1
17	3

B.10 C1355

Tabela 28: Relações *sources* e *sinks* do C1355.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	38
2	24
4	32
8	16
9	8
10	14
11	2
17	12
22	2
33	24

B.11 C1908

Tabela 29: Relações *sources* e *sinks* do C1908.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	20
2	19
3	13
4	12
5	6
6	18
7	7
8	10
9	16
10	10
11	2
12	1
16	7
17	5
18	9
19	4
20	16
21	7
22	5
23	9
24	15
25	1

B.12 C3540

Tabela 30: Relações *sources* e *sinks* do C3540.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	43
2	131
3	56
4	71
5	24
6	5
7	8
9	12
10	8
11	7
12	5
13	5
14	9
15	6
16	12
17	10
18	3
19	19
20	8
21	6
22	16
23	7
24	1
25	6
26	4
27	2
28	4
29	10
30	11
31	1
33	7
35	7
36	3
37	1
39	4
42	1

B.13 C5315

Tabela 31: Relações *sources* e *sinks* do C5315.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	164
2	152
3	106
4	83
5	50
6	15
7	8
8	22
9	2
10	2
15	1
16	1
19	2
20	1

B.14 C6288

Tabela 32: Relações *sources* e *sinks* do C6288.

Número de <i>sources</i>	Número de <i>sinks</i>
1	332
2	32
3	43
4	36
5	78
6	33
7	52
8	35
9	63
10	37
11	57
12	53
13	65
14	38
15	18
16	14
17	12

18	13
19	20
20	13
21	10
22	9
23	21
24	17
25	23
26	19
27	26
28	22
29	23
30	37
31	21
32	23
33	30
34	15
35	16
36	9
37	19
38	25
39	15
40	13
41	23
42	10
43	7
44	7
45	6
46	4
47	1
48	1

B.15 C7552

Tabela 33: Relações *sources* e *sinks* do C7552.

Número de <i>sources</i>	Número de <i>Sinkss</i>
1	455
2	168
3	127
4	72
5	62
6	53
7	13
8	67
9	2
10	5
11	1
12	2
13	1
18	2
20	1
28	3
36	2
37	2
38	4

APÊNDICE C – Desenho dos Circuitos Lógicos

Demonstra-se aqui o desenho de alguns dos circuitos utilizados neste trabalho.

C.1 Circuito 1

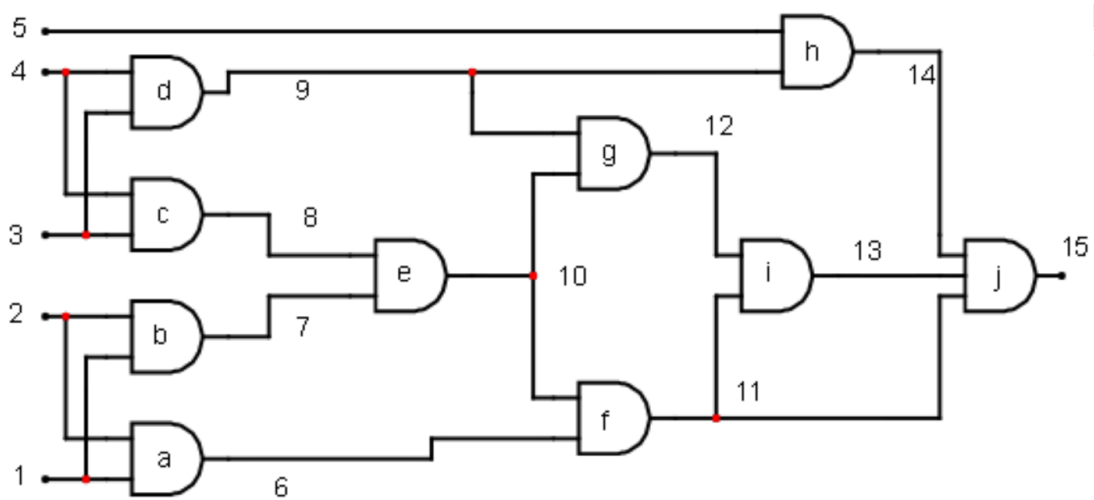


Figura C.1: Circuito 1.

Fonte: O autor

C.2 Circuito 2

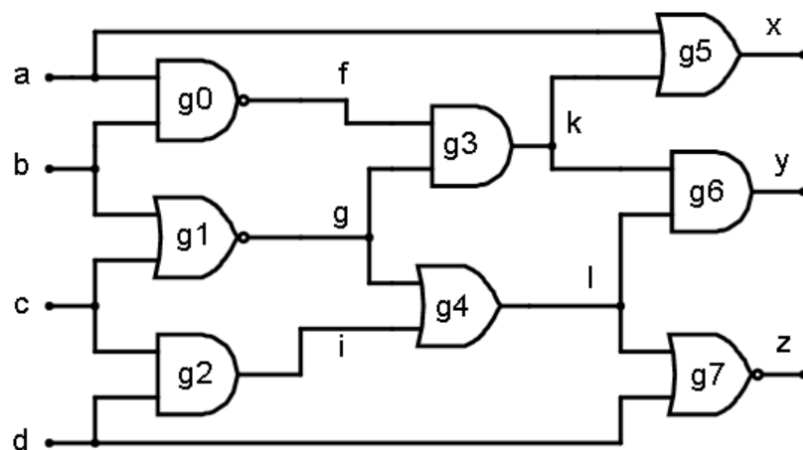


Figura C.2: Circuito 2.

Fonte: O autor

C.3 Circuito 3

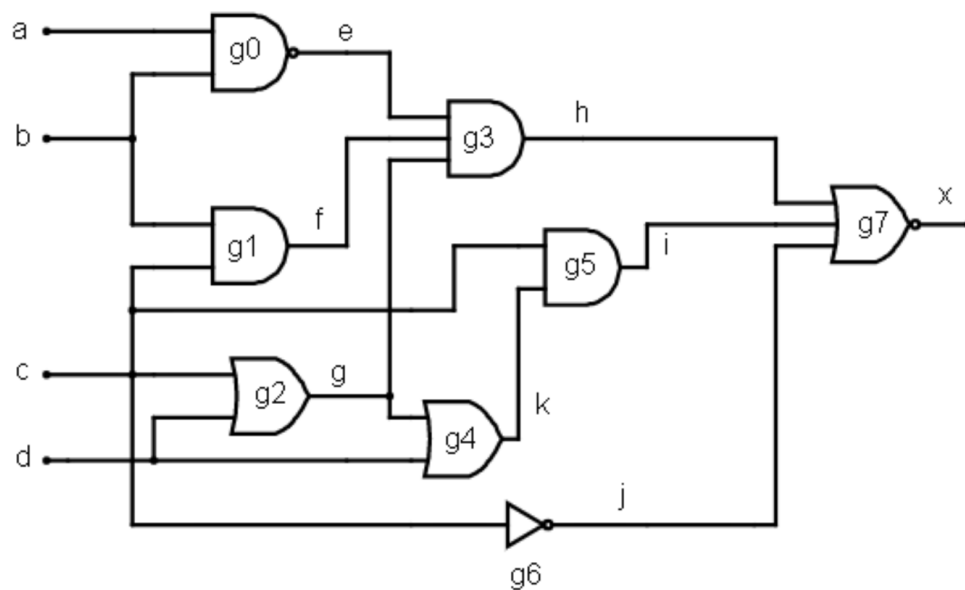


Figura C.3: Circuito 3.

Fonte: O autor

C.4 Circuito 4

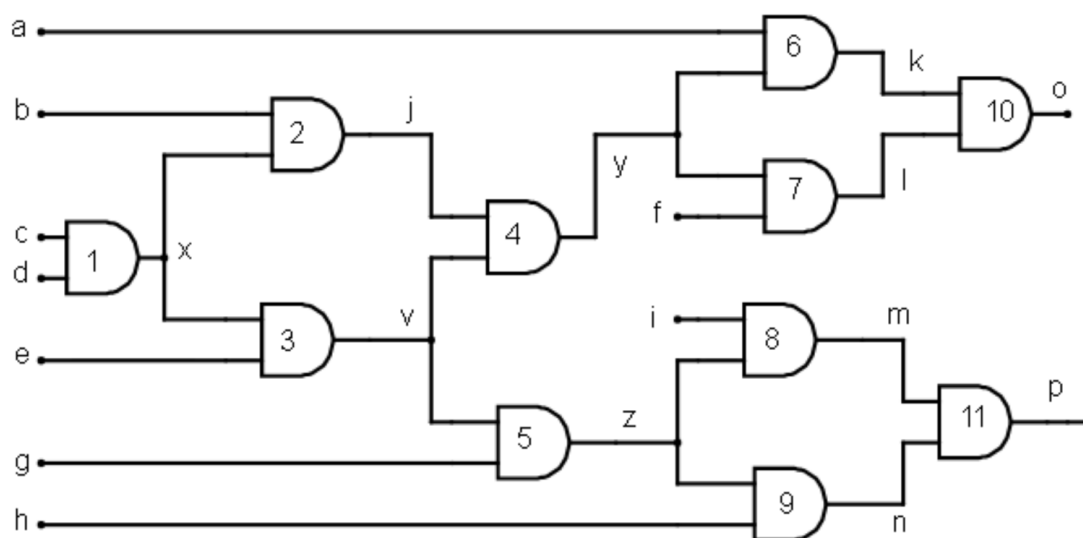


Figura C.4: Circuito 4.

Fonte: O autor

C.5 C17

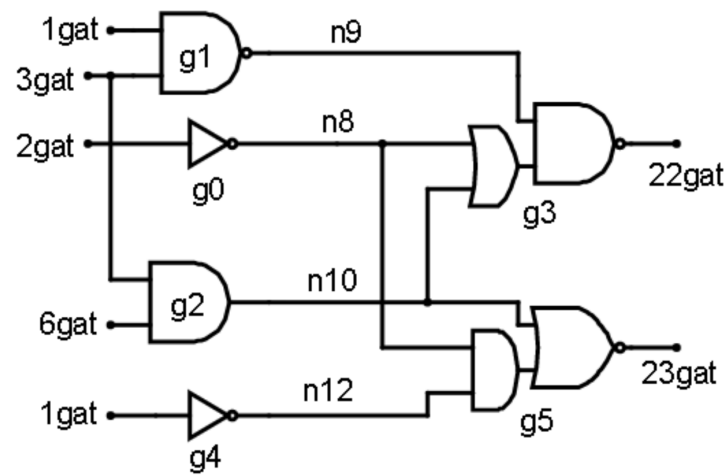


Figura C.5: Circuito C17.

Fonte: O autor

C.6 C17 NAND

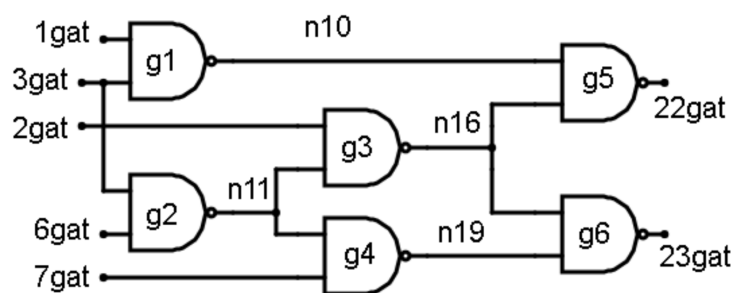


Figura C.6: Circuito C17 NAND.

Fonte: O autor

APÊNDICE D – Valores de Probabilidades - Comparativo entre MVA e MPC

Aqui são apresentados os valores obtidos com os métodos MVA e MPC. Para cada circuito são apresentadas duas tabelas. A primeira contendo: os valores incorretos adquiridos com a execução do MVA, valores corretos utilizando o MPC e a diferença entre os valores obtidos. A diferença demonstra a magnitude do erro em cada sinal no MVA devido ao não reconhecimento de caminhos re-convergentes. A segunda tabela contém informações dos erros positivos e negativos: maior valor de erro positivo e negativo, a média e o desvio padrão dos erros e a quantidade de portas lógicas que contêm erros no MVA.

D.1 Circuito 1

Tabela 34: Valores de probabilidade para o circuito 1

Sinal	Valor correto	Valor incorreto	Diferença/Erro
1	50.00%	50.00%	0.00%
10	6.25%	6.25%	0.00%
11	6.25%	1.56%	4.69%
12	6.25%	1.56%	4.69%
13	6.25%	0.02%	6.23%
14	12.50%	12.50%	0.00%
15	3.13%	0.00%	3.12%
2	50.00%	50.00%	0.00%
3	50.00%	50.00%	0.00%
4	50.00%	50.00%	0.00%
5	50.00%	50.00%	0.00%
6	25.00%	25.00%	0.00%
7	25.00%	25.00%	0.00%
8	25.00%	25.00%	0.00%
9	25.00%	25.00%	0.00%
Média	26.04%	24.79%	1.25%

Tabela 35: Análise do erro no circuito 1

Erro positivo		Erro negativo	
Sinais com erro	4	Número Sinais com erro	0
Valor máximo	6.23%	Valor mínimo	_____
Média	4.68%	Média	_____
Desvio padrão	1.10%	Desvio Padrão	_____

D.2 Circuito 2

Tabela 36: Valores de probabilidade para o circuito 2

Sinal	Valor correto	Valor incorreto	Diferença/erro
a	50.00%	50.00%	0.00%
b	50.00%	50.00%	0.00%
c	50.00%	50.00%	0.00%
d	50.00%	50.00%	0.00%
f	75.00%	75.00%	0.00%
g	25.00%	25.00%	0.00%
i	25.00%	25.00%	0.00%
k	25.00%	18.75%	6.25%
l	50.00%	43.75%	6.25%
x	62.50%	59.38%	3.13%
y	25.00%	8.20%	16.80%
z	37.50%	28.13%	9.38%
Média	43.75%	40.27%	3.48%

Tabela 37: Análise do erro no circuito 2

Erro positivo		Erro negativo	
Sinais com erro	5	Sinais com erro	0
Valor máximo	16.80%	Valor mínimo	_____
Média	8.36%	Média	_____
Desvio padrão	4.66%	Desvio Padrão	_____

D.3 Circuito 3

Tabela 38: Valores de probabilidade para o circuito 3

Sinal	Valor correto	Valor incorreto	Diferença/erro
a	50.00%	50.00%	0.00%
b	50.00%	50.00%	0.00%
c	50.00%	50.00%	0.00%
d	50.00%	50.00%	0.00%
e	75.00%	75.00%	0.00%
f	25.00%	25.00%	0.00%
g	75.00%	75.00%	0.00%
h	12.50%	14.06%	-1.56%
i	50.00%	43.75%	6.25%
j	50.00%	50.00%	0.00%
k	75.00%	87.50%	-12.50%
x	100.00%	75.83%	24.17%
Média	55.21%	53.85%	1.36%

Tabela 39: Análise do erro no circuito 3

Erro positivo		Erro negativo	
Sinais com erro	2	Sinais com erro	2
Valor máximo	24.17%	Valor mínimo	-12.50%
Média	15.21%	Média	-7.03%
Desvio padrão	8.96%	Desvio Padrão	5.47%

D.4 Circuito 4

Tabela 40: Valores de probabilidade para o circuito 4

Sinal	Valor correto	Valor incorreto	Diferença/erro
a	50.00%	50.00%	0.00%
b	50.00%	50.00%	0.00%
c	50.00%	50.00%	0.00%
d	50.00%	50.00%	0.00%
e	50.00%	50.00%	0.00%
f	50.00%	50.00%	0.00%
g	50.00%	50.00%	0.00%
h	50.00%	50.00%	0.00%
i	50.00%	50.00%	0.00%
j	12.50%	12.50%	0.00%
k	3.13%	0.78%	2.34%
l	3.13%	0.78%	2.34%
m	3.13%	3.13%	0.00%
n	3.13%	3.13%	0.00%
o	1.56%	0.01%	1.56%
p	1.56%	0.10%	1.46%
v	12.50%	12.50%	0.00%
x	25.00%	25.00%	0.00%
y	6.25%	1.56%	4.69%
z	6.25%	6.25%	0.00%
Média	26.41%	25.79%	0.62%

Tabela 41: Análise do erro no circuito 4

Erro positivo		Erro negativo	
Sinais com erro	5	Sinais com erro	0
Valor máximo	4.69%	Valor máximo	———
Média	2.48%	Média	———
Desvio padrão	1.17%	Desvio padrão	———

D.5 C17

Tabela 42: Valores de probabilidade para o circuito C17

Sinal	Valor correto	Valor incorreto	Diferença/erro
1GAT[0]	50.00%	50.00%	0.00%
22GAT[10]	56.25%	53.13%	3.13%
23GAT[9]	56.25%	56.25%	0.00%
2GAT[1]	50.00%	50.00%	0.00%
3GAT[2]	50.00%	50.00%	0.00%
6GAT[3]	50.00%	50.00%	0.00%
7GAT[4]	50.00%	50.00%	0.00%
n10	25.00%	25.00%	0.00%
n12	50.00%	50.00%	0.00%
n8	50.00%	50.00%	0.00%
n9	75.00%	75.00%	0.00%
Média	51.14%	50.85%	0.28%

Tabela 43: Análise do erro no circuito C17

Erro positivo		Erro negativo	
Sinais com erro	1	Sinais com erro	0
Valor máximo	3.13%	Valor mínimo	_____
Média	3.13%	Média	_____
Desvio padrão	0.00%	Desvio Padrão	_____

D.6 C17 NAND

Tabela 44: Valores de probabilidade para o circuito C17 NAND

Sinal	Valor correto	Valor incorreto	Diferença/erro
1GAT	50.00%	50.00%	0.00%
22GAT	56.25%	53.13%	3.13%
23GAT	56.25%	60.94%	-4.69%
2GAT	50.00%	50.00%	0.00%
3GAT	50.00%	50.00%	0.00%
6GAT	50.00%	50.00%	0.00%
7GAT	50.00%	50.00%	0.00%
n10	75.00%	75.00%	0.00%
n11	75.00%	75.00%	0.00%
n16	62.50%	62.50%	0.00%
n19	62.50%	62.50%	0.00%
Média	57.95%	58.10%	-0.14%

Tabela 45: Análise do erro no circuito C17 NAND

Erro positivo		Erro negativo	
Sinais com erro	1	Sinais com erro	1
Valor máximo	3.13%	Valor mínimo	-4.69%
Média	3.13%	Média	-4.69%
Desvio padrão	0.00%	Desvio Padrão	0.00%

D.7 C432

Tabela 46: Valores de probabilidade para o circuito C432

Sinal	Valor correto	Valor incorreto	Diferença/erro
G102gat	50.00%	50.00%	0.00%
G105gat	50.00%	50.00%	0.00%
G108gat	50.00%	50.00%	0.00%
G112gat	50.00%	50.00%	0.00%
G115gat	50.00%	50.00%	0.00%
G11gat	50.00%	50.00%	0.00%
G14gat	50.00%	50.00%	0.00%
G17gat	50.00%	50.00%	0.00%
G1gat	50.00%	50.00%	0.00%
G21gat	50.00%	50.00%	0.00%
G223gat	92.49%	92.49%	0.00%
G24gat	50.00%	50.00%	0.00%
G27gat	50.00%	50.00%	0.00%
G30gat	50.00%	50.00%	0.00%
G329gat	58.29%	48.62%	9.67%
G34gat	50.00%	50.00%	0.00%
G370gat	30.11%	28.40%	1.72%
G37gat	50.00%	50.00%	0.00%
G40gat	50.00%	50.00%	0.00%
G421gat	63.87%	64.75%	-0.88%
G430gat	49.19%	51.86%	-2.67%
G431gat	43.79%	45.86%	-2.07%
G432gat	41.13%	42.54%	-1.41%
G43gat	50.00%	50.00%	0.00%
G47gat	50.00%	50.00%	0.00%
G4gat	50.00%	50.00%	0.00%
G50gat	50.00%	50.00%	0.00%
G53gat	50.00%	50.00%	0.00%

G56gat	50.00%	50.00%	0.00%
G60gat	50.00%	50.00%	0.00%
G63gat	50.00%	50.00%	0.00%
G66gat	50.00%	50.00%	0.00%
G69gat	50.00%	50.00%	0.00%
G73gat	50.00%	50.00%	0.00%
G76gat	50.00%	50.00%	0.00%
G79gat	50.00%	50.00%	0.00%
G82gat	50.00%	50.00%	0.00%
G86gat	50.00%	50.00%	0.00%
G89gat	50.00%	50.00%	0.00%
G8gat	50.00%	50.00%	0.00%
G92gat	50.00%	50.00%	0.00%
G95gat	50.00%	50.00%	0.00%
G99gat	50.00%	50.00%	0.00%
n100	75.00%	75.00%	0.00%
n101	92.49%	94.37%	-1.88%
n102	75.00%	76.88%	-1.88%
n103	50.00%	50.00%	0.00%
n104	75.00%	75.00%	0.00%
n105	13.75%	6.86%	6.89%
n106	50.00%	50.00%	0.00%
n107	25.00%	25.00%	0.00%
n108	75.00%	75.00%	0.00%
n109	92.49%	94.37%	-1.88%
n110	75.00%	76.88%	-1.88%
n111	32.51%	27.45%	5.06%
n112	25.00%	25.00%	0.00%
n113	74.27%	86.75%	-12.48%
n114	75.00%	75.00%	0.00%
n115	92.49%	94.37%	-1.88%
n116	25.00%	25.00%	0.00%
n117	75.00%	76.88%	-1.88%
n118	50.00%	50.00%	0.00%
n119	75.00%	75.00%	0.00%
n120	13.75%	6.86%	6.89%
n121	50.00%	50.00%	0.00%
n122	25.00%	25.00%	0.00%
n123	75.00%	75.00%	0.00%

n124	92.49%	94.37%	-1.88%
n125	75.00%	76.88%	-1.88%
n126	32.51%	27.45%	5.06%
n127	25.00%	25.00%	0.00%
n128	74.27%	86.75%	-12.48%
n130	86.25%	91.87%	-5.62%
n131	44.04%	51.15%	-7.12%
n132	25.00%	25.00%	0.00%
n133	96.11%	95.84%	0.27%
n134	32.51%	27.45%	5.06%
n135	86.25%	93.14%	-6.89%
n136	48.28%	51.19%	-2.91%
n137	25.00%	25.00%	0.00%
n138	93.25%	96.49%	-3.24%
n139	50.00%	50.00%	0.00%
n140	32.51%	27.45%	5.06%
n141	86.25%	93.14%	-6.89%
n142	44.91%	51.19%	-6.28%
n143	94.67%	96.49%	-1.82%
n144	15.30%	10.77%	4.52%
n145	86.25%	92.34%	-6.09%
n146	87.47%	92.78%	-5.31%
n147	54.73%	75.25%	-20.52%
n148	64.32%	48.62%	15.69%
n149	31.82%	20.30%	11.52%
n150	57.88%	35.53%	22.34%
n151	90.86%	96.28%	-5.42%
n152	50.00%	50.00%	0.00%
n153	32.51%	30.63%	1.88%
n154	86.87%	92.34%	-5.47%
n155	5.69%	4.07%	1.62%
n156	45.35%	51.18%	-5.82%
n157	25.00%	25.00%	0.00%
n158	12.53%	7.22%	5.31%
n159	91.29%	92.38%	-1.09%
n160	86.25%	93.14%	-6.89%
n161	66.40%	52.15%	14.25%
n162	91.80%	96.66%	-4.87%
n163	32.51%	27.45%	5.06%

n164	25.00%	25.00%	0.00%
n165	87.80%	93.14%	-5.34%
n166	4.71%	3.40%	1.31%
n167	87.80%	93.14%	-5.34%
n168	43.25%	51.19%	-7.94%
n169	25.00%	25.00%	0.00%
n170	12.20%	6.86%	5.34%
n171	89.72%	93.20%	-3.48%
n172	86.25%	93.14%	-6.89%
n173	66.40%	52.15%	14.25%
n174	95.87%	96.66%	-0.79%
n175	50.00%	50.00%	0.00%
n176	32.51%	27.45%	5.06%
n177	87.80%	93.14%	-5.34%
n178	2.76%	3.40%	-0.64%
n179	87.80%	93.14%	-5.34%
n180	43.25%	51.19%	-7.94%
n181	25.00%	25.00%	0.00%
n182	12.20%	6.86%	5.34%
n183	91.88%	93.20%	-1.33%
n184	22.88%	19.75%	3.13%
n186	84.56%	85.80%	-1.24%
n187	65.24%	75.69%	-10.45%
n188	55.01%	53.75%	1.25%
n189	83.42%	82.55%	0.88%
n190	86.81%	85.80%	1.00%
n191	27.50%	26.88%	0.63%
n192	72.50%	73.12%	-0.63%
n193	19.39%	20.34%	-0.95%
n194	87.01%	85.80%	1.21%
n195	27.50%	26.88%	0.63%
n196	72.50%	73.12%	-0.63%
n197	19.39%	20.34%	-0.95%
n198	70.44%	68.14%	2.30%
n199	86.01%	85.80%	0.21%
n200	72.50%	73.12%	-0.63%
n201	19.39%	20.34%	-0.95%
n202	86.05%	85.80%	0.25%
n203	27.50%	26.88%	0.63%

n204	72.50%	73.12%	-0.63%
n205	19.39%	20.34%	-0.95%
n206	69.95%	68.14%	1.82%
n207	86.22%	85.80%	0.42%
n208	72.50%	73.12%	-0.63%
n209	19.48%	20.34%	-0.86%
n210	86.05%	85.80%	0.25%
n211	72.50%	73.12%	-0.63%
n212	20.70%	20.34%	0.36%
n213	69.93%	68.14%	1.79%
n214	86.25%	85.80%	0.45%
n215	72.50%	73.12%	-0.63%
n216	19.44%	20.34%	-0.90%
n217	87.02%	85.80%	1.22%
n218	27.50%	26.88%	0.63%
n219	72.50%	73.12%	-0.63%
n220	19.73%	20.34%	-0.61%
n221	70.02%	68.14%	1.89%
n222	75.88%	78.45%	-2.56%
n224	83.81%	82.55%	1.27%
n225	83.81%	82.55%	1.27%
n226	86.36%	85.59%	0.77%
n228	83.81%	82.55%	1.27%
n229	88.68%	88.11%	0.57%
n230	15.16%	17.45%	-2.29%
n231	90.39%	90.18%	0.21%
n233	83.81%	82.55%	1.27%
n234	84.80%	82.55%	2.25%
n235	15.34%	17.45%	-2.11%
n236	90.26%	90.18%	0.07%
n44	50.00%	50.00%	0.00%
n45	75.00%	75.00%	0.00%
n46	50.00%	50.00%	0.00%
n47	50.00%	50.00%	0.00%
n48	56.25%	56.25%	0.00%
n49	57.81%	57.81%	0.00%
n50	50.00%	50.00%	0.00%
n51	50.00%	50.00%	0.00%
n52	56.25%	56.25%	0.00%

n53	50.00%	50.00%	0.00%
n54	50.00%	50.00%	0.00%
n55	56.25%	56.25%	0.00%
n56	50.00%	50.00%	0.00%
n57	50.00%	50.00%	0.00%
n58	56.25%	56.25%	0.00%
n59	82.20%	82.20%	0.00%
n60	7.51%	7.51%	0.00%
n62	43.75%	43.75%	0.00%
n63	32.51%	32.51%	0.00%
n64	50.00%	50.00%	0.00%
n65	25.00%	25.00%	0.00%
n66	13.75%	8.13%	5.62%
n67	75.00%	75.00%	0.00%
n68	42.19%	42.19%	0.00%
n69	31.64%	31.64%	0.00%
n70	92.49%	94.37%	-1.88%
n71	25.00%	25.00%	0.00%
n72	75.00%	76.88%	-1.88%
n73	50.00%	50.00%	0.00%
n74	75.00%	75.00%	0.00%
n75	13.75%	6.86%	6.89%
n76	75.00%	75.00%	0.00%
n77	92.49%	94.37%	-1.88%
n78	25.00%	25.00%	0.00%
n79	75.00%	76.88%	-1.88%
n80	50.00%	50.00%	0.00%
n81	75.00%	75.00%	0.00%
n82	13.75%	6.86%	6.89%
n83	68.18%	79.70%	-11.52%
n84	75.00%	75.00%	0.00%
n85	50.00%	50.00%	0.00%
n86	25.00%	25.00%	0.00%
n87	75.00%	75.00%	0.00%
n88	92.49%	92.49%	0.00%
n89	75.00%	75.00%	0.00%
n90	50.00%	50.00%	0.00%
n91	75.00%	75.00%	0.00%
n92	13.75%	7.66%	6.09%

n93	92.49%	92.49%	0.00%
n94	75.00%	76.88%	-1.88%
n95	32.51%	28.90%	3.61%
n96	25.00%	25.00%	0.00%
n97	74.27%	85.67%	-11.40%
n98	50.00%	50.00%	0.00%
n99	25.00%	25.00%	0.00%
Média	55.72%	55.91%	-0.19%

Tabela 47: Análise do erro no circuito C432

Erro positivo		Erro negativo	
Sinais com erro	57	Sinais com erro	69
Valor máximo	22,34%	Valor mínimo	-20,52%
Média	3,83%	Média	-3,79%
Desvio padrão	4,45%	Desvio Padrão	3,75%

D.8 C880

Tabela 48: Valores de probabilidade para o circuito C880

Sinal	Valor correto	Valor incorreto	Diferença/erro
G101gat	50,00%	50,00%	0,00%
G106gat	50,00%	50,00%	0,00%
G111gat	50,00%	50,00%	0,00%
G116gat	50,00%	50,00%	0,00%
G121gat	50,00%	50,00%	0,00%
G126gat	50,00%	50,00%	0,00%
G130gat	50,00%	50,00%	0,00%
G135gat	50,00%	50,00%	0,00%
G138gat	50,00%	50,00%	0,00%
G13gat	50,00%	50,00%	0,00%
G143gat	50,00%	50,00%	0,00%
G146gat	50,00%	50,00%	0,00%
G149gat	50,00%	50,00%	0,00%
G152gat	50,00%	50,00%	0,00%
G153gat	50,00%	50,00%	0,00%
G156gat	50,00%	50,00%	0,00%
G159gat	50,00%	50,00%	0,00%
G165gat	50,00%	50,00%	0,00%
G171gat	50,00%	50,00%	0,00%

G177gat	50,00%	50,00%	0,00%
G17gat	50,00%	50,00%	0,00%
G183gat	50,00%	50,00%	0,00%
G189gat	50,00%	50,00%	0,00%
G195gat	50,00%	50,00%	0,00%
G1gat	50,00%	50,00%	0,00%
G201gat	50,00%	50,00%	0,00%
G207gat	50,00%	50,00%	0,00%
G210gat	50,00%	50,00%	0,00%
G219gat	50,00%	50,00%	0,00%
G228gat	50,00%	50,00%	0,00%
G237gat	50,00%	50,00%	0,00%
G246gat	50,00%	50,00%	0,00%
G255gat	50,00%	50,00%	0,00%
G259gat	50,00%	50,00%	0,00%
G260gat	50,00%	50,00%	0,00%
G261gat	50,00%	50,00%	0,00%
G267gat	50,00%	50,00%	0,00%
G268gat	50,00%	50,00%	0,00%
G26gat	50,00%	50,00%	0,00%
G29gat	50,00%	50,00%	0,00%
G36gat	50,00%	50,00%	0,00%
G388gat	12,50%	12,50%	0,00%
G389gat	12,50%	12,50%	0,00%
G390gat	12,50%	12,50%	0,00%
G391gat	25,00%	25,00%	0,00%
G418gat	6,25%	6,25%	0,00%
G419gat	94,53%	94,53%	0,00%
G420gat	87,50%	87,50%	0,00%
G421gat	87,50%	87,50%	0,00%
G422gat	87,50%	87,50%	0,00%
G423gat	37,50%	37,50%	0,00%
G42gat	50,00%	50,00%	0,00%
G446gat	99,22%	99,22%	0,00%
G447gat	12,50%	12,50%	0,00%
G448gat	1,56%	1,56%	0,00%
G449gat	0,78%	0,78%	0,00%
G450gat	37,50%	37,50%	0,00%
G51gat	50,00%	50,00%	0,00%

G55gat	50,00%	50,00%	0,00%
G59gat	50,00%	50,00%	0,00%
G68gat	50,00%	50,00%	0,00%
G72gat	50,00%	50,00%	0,00%
G73gat	50,00%	50,00%	0,00%
G74gat	50,00%	50,00%	0,00%
G75gat	50,00%	50,00%	0,00%
G767gat	50,00%	50,00%	0,00%
G768gat	50,00%	50,00%	0,00%
G80gat	50,00%	50,00%	0,00%
G850gat	75,52%	76,81%	-1,29%
G85gat	50,00%	50,00%	0,00%
G863gat	65,85%	69,28%	-3,43%
G864gat	74,56%	76,95%	-2,39%
G865gat	74,89%	76,92%	-2,02%
G866gat	30,01%	33,97%	-3,96%
G86gat	50,00%	50,00%	0,00%
G874gat	66,61%	69,45%	-2,84%
G878gat	64,95%	69,46%	-4,51%
G879gat	63,99%	69,46%	-5,47%
G87gat	50,00%	50,00%	0,00%
G880gat	64,50%	69,46%	-4,96%
G88gat	50,00%	50,00%	0,00%
G89gat	50,00%	50,00%	0,00%
G8gat	50,00%	50,00%	0,00%
G90gat	50,00%	50,00%	0,00%
G91gat	50,00%	50,00%	0,00%
G96gat	50,00%	50,00%	0,00%
n102	50,00%	50,00%	0,00%
n103	50,00%	50,00%	0,00%
n104	50,00%	50,00%	0,00%
n107	87,50%	87,50%	0,00%
n109	93,75%	93,75%	0,00%
n110	75,00%	75,00%	0,00%
n112	87,50%	87,50%	0,00%
n114	50,00%	50,00%	0,00%
n116	50,00%	50,00%	0,00%
n117	50,00%	50,00%	0,00%
n118	50,00%	50,00%	0,00%

n119	50,00%	50,00%	0,00%
n120	50,00%	50,00%	0,00%
n121	50,00%	50,00%	0,00%
n122	50,00%	50,00%	0,00%
n123	50,00%	50,00%	0,00%
n125	50,00%	50,00%	0,00%
n126	50,00%	50,00%	0,00%
n127	50,00%	50,00%	0,00%
n128	50,00%	50,00%	0,00%
n129	50,00%	50,00%	0,00%
n130	50,00%	50,00%	0,00%
n131	50,00%	50,00%	0,00%
n132	50,00%	50,00%	0,00%
n134	50,00%	50,00%	0,00%
n135	75,00%	75,00%	0,00%
n136	25,00%	25,00%	0,00%
n137	75,00%	75,00%	0,00%
n138	87,50%	85,94%	1,56%
n139	87,50%	87,50%	0,00%
n140	94,53%	94,53%	0,00%
n141	6,64%	7,13%	-0,49%
n142	96,68%	96,43%	0,24%
n143	87,50%	87,50%	0,00%
n144	50,00%	50,00%	0,00%
n145	75,00%	75,00%	0,00%
n146	0,39%	0,39%	0,00%
n147	75,00%	75,00%	0,00%
n148	95,31%	95,31%	0,00%
n149	54,69%	52,34%	2,34%
n150	72,34%	73,54%	-1,20%
n151	65,23%	64,54%	0,68%
n152	15,23%	14,54%	0,68%
n153	84,77%	85,46%	-0,68%
n154	50,00%	55,16%	-5,16%
n155	75,00%	72,42%	2,58%
n156	75,00%	77,58%	-2,58%
n157	75,00%	71,91%	3,09%
n158	75,00%	72,42%	2,58%
n159	30,45%	29,08%	1,37%

n160	84,77%	85,46%	-0,68%
n161	25,00%	25,00%	0,00%
n162	96,88%	96,88%	0,00%
n163	0,20%	0,20%	0,00%
n164	99,90%	99,90%	0,00%
n165	75,00%	75,00%	0,00%
n166	75,00%	75,00%	0,00%
n167	52,51%	51,98%	0,54%
n168	44,44%	44,53%	-0,09%
n170	50,00%	50,00%	0,00%
n171	3,32%	3,57%	-0,24%
n172	27,34%	26,17%	1,17%
n173	27,66%	26,46%	1,20%
n174	69,55%	70,92%	-1,37%
n175	65,23%	64,54%	0,68%
n176	15,23%	14,54%	0,68%
n177	84,77%	85,46%	-0,68%
n178	50,00%	55,16%	-5,16%
n179	50,00%	50,00%	0,00%
n180	96,68%	96,43%	0,24%
n181	72,34%	73,54%	-1,20%
n182	65,23%	64,54%	0,68%
n183	50,00%	50,00%	0,00%
n184	96,68%	96,43%	0,24%
n185	72,34%	73,54%	-1,20%
n186	65,23%	64,54%	0,68%
n187	84,75%	86,56%	-1,80%
n188	91,50%	93,94%	-2,45%
n189	15,23%	14,54%	0,68%
n190	15,23%	14,54%	0,68%
n191	77,16%	77,44%	-0,28%
n192	34,74%	37,03%	-2,29%
n193	21,24%	20,42%	0,81%
n194	64,63%	64,12%	0,51%
n195	92,39%	92,73%	-0,34%
n196	50,00%	50,00%	0,00%
n197	84,77%	85,46%	-0,68%
n198	74,93%	74,93%	0,00%
n199	41,25%	40,62%	0,63%

n200	45,05%	43,00%	2,05%
n202	84,77%	85,46%	-0,68%
n203	50,00%	55,16%	-5,16%
n204	34,77%	35,46%	-0,68%
n205	67,39%	67,73%	-0,34%
n206	77,16%	77,44%	-0,28%
n207	36,26%	38,69%	-2,43%
n208	21,66%	21,34%	0,32%
n209	64,34%	63,75%	0,59%
n210	92,39%	92,73%	-0,34%
n211	30,45%	29,08%	1,37%
n212	84,77%	85,46%	-0,68%
n213	75,00%	75,00%	0,00%
n214	75,00%	75,00%	0,00%
n215	43,75%	43,75%	0,00%
n216	56,20%	56,20%	0,00%
n217	55,73%	55,47%	0,26%
n218	33,27%	32,25%	1,02%
n220	50,00%	55,16%	-5,16%
n221	40,23%	42,12%	-1,89%
n222	23,09%	23,23%	-0,15%
n223	63,53%	62,98%	0,55%
n224	92,39%	92,73%	-0,34%
n225	30,45%	29,08%	1,37%
n226	84,77%	85,46%	-0,68%
n227	75,00%	75,00%	0,00%
n228	75,00%	75,00%	0,00%
n229	43,75%	43,75%	0,00%
n230	56,20%	56,20%	0,00%
n231	55,73%	55,47%	0,26%
n232	33,27%	32,25%	1,02%
n234	50,00%	50,00%	0,00%
n235	9,38%	9,38%	0,00%
n236	4,69%	4,69%	0,00%
n237	97,66%	97,66%	0,00%
n238	96,88%	96,88%	0,00%
n239	0,39%	0,39%	0,00%
n240	74,71%	74,71%	0,00%
n241	27,00%	27,04%	-0,05%

n242	71,30%	70,36%	0,95%
n243	14,35%	14,82%	-0,47%
n244	85,65%	85,18%	0,47%
n245	50,00%	50,00%	0,00%
n246	99,61%	99,61%	0,00%
n247	97,66%	97,66%	0,00%
n248	75,00%	75,00%	0,00%
n249	26,36%	27,04%	-0,69%
n250	72,16%	70,36%	1,80%
n251	63,92%	64,82%	-0,90%
n252	50,00%	50,00%	0,00%
n253	96,68%	96,43%	0,24%
n254	97,66%	97,66%	0,00%
n255	74,80%	74,71%	0,10%
n256	64,31%	64,82%	-0,52%
n257	57,37%	57,98%	-0,61%
n258	50,00%	50,00%	0,00%
n259	97,66%	97,66%	0,00%
n260	74,71%	74,71%	0,00%
n261	27,00%	27,04%	-0,05%
n262	70,74%	70,36%	0,38%
n263	35,37%	35,18%	0,19%
n264	65,72%	65,03%	0,68%
n265	11,41%	9,52%	1,88%
n266	14,63%	14,82%	-0,19%
n267	85,37%	85,18%	0,19%
n268	13,92%	14,82%	-0,90%
n269	27,00%	27,04%	-0,05%
n270	71,39%	70,36%	1,03%
n271	14,31%	14,82%	-0,52%
n272	78,82%	76,99%	1,83%
n273	24,87%	27,80%	-2,93%
n274	70,80%	65,32%	5,47%
n275	64,35%	64,82%	-0,47%
n276	35,65%	35,18%	0,47%
n278	50,00%	44,79%	5,21%
n279	80,13%	80,69%	-0,57%
n280	71,17%	70,87%	0,30%
n281	72,36%	71,40%	0,95%

n282	50,00%	50,00%	0,00%
n283	75,00%	72,39%	2,61%
n284	74,93%	74,93%	0,00%
n285	36,12%	36,18%	-0,06%
n286	59,21%	59,09%	0,11%
n288	50,00%	55,21%	-5,21%
n289	83,92%	80,85%	3,06%
n290	36,08%	35,18%	0,90%
n291	35,69%	35,18%	0,52%
n292	88,59%	90,48%	-1,88%
n293	42,63%	42,02%	0,61%
n294	86,08%	85,18%	0,90%
n295	85,69%	85,18%	0,52%
n296	21,18%	23,01%	-1,83%
n297	75,13%	72,20%	2,93%
n298	50,00%	44,79%	5,21%
n299	66,36%	70,75%	-4,39%
n300	74,64%	71,40%	3,24%
n301	75,00%	72,39%	2,61%
n302	74,93%	74,93%	0,00%
n303	35,91%	36,18%	-0,27%
n304	60,09%	59,09%	1,00%
n305	44,80%	42,78%	2,02%
n307	50,00%	55,21%	-5,21%
n308	56,84%	57,98%	-1,14%
n309	78,38%	76,99%	1,39%
n310	30,62%	34,32%	-3,70%
n311	15,97%	18,95%	-2,97%
n312	66,98%	64,71%	2,27%
n313	75,00%	72,39%	2,61%
n314	74,93%	74,93%	0,00%
n315	36,12%	36,18%	-0,06%
n316	59,21%	59,09%	0,11%
n317	44,89%	42,78%	2,11%
n319	50,00%	55,21%	-5,21%
n320	32,77%	34,13%	-1,35%
n321	17,08%	18,84%	-1,77%
n322	66,43%	64,75%	1,68%
n323	75,00%	72,39%	2,61%

n324	74,93%	74,93%	0,00%
n325	36,12%	36,18%	-0,06%
n326	59,21%	59,09%	0,11%
n327	45,19%	42,78%	2,41%
n87	87,50%	87,50%	0,00%
n89	87,50%	87,50%	0,00%
n91	87,50%	87,50%	0,00%
n94	25,00%	25,00%	0,00%
n95	25,00%	25,00%	0,00%
n97	25,00%	25,00%	0,00%
Média	55,42%	55,51%	-0,08%

Tabela 49: Análise do erro no circuito C880

Erro positivo		Erro negativo	
Sinais com erro	73	Sinais com erro	70
Valor máximo	5,47%	Valor mínimo	-5,47%
Média	1,33%	Média	-1,75%
Desvio padrão	1,20%	Desvio Padrão	1,71%

D.9 C5315

Tabela 50: Valores de probabilidade para o circuito C5315

Sinal	Valor correto	Valor incorreto	Diferença/erro
G1	50,00%	50,00%	0,00%
G100	50,00%	50,00%	0,00%
G1000	50,00%	50,00%	0,00%
G1002	50,00%	50,00%	0,00%
G1004	50,00%	50,00%	0,00%
G103	50,00%	50,00%	0,00%
G106	50,00%	50,00%	0,00%
G109	50,00%	50,00%	0,00%
G11	50,00%	50,00%	0,00%
G112	50,00%	50,00%	0,00%
G113	50,00%	50,00%	0,00%
G114	50,00%	50,00%	0,00%
G115	50,00%	50,00%	0,00%
G116	50,00%	50,00%	0,00%
G117	50,00%	50,00%	0,00%
G118	50,00%	50,00%	0,00%

G119	50,00%	50,00%	0,00%
G120	50,00%	50,00%	0,00%
G121	50,00%	50,00%	0,00%
G122	50,00%	50,00%	0,00%
G123	50,00%	50,00%	0,00%
G126	50,00%	50,00%	0,00%
G127	50,00%	50,00%	0,00%
G128	50,00%	50,00%	0,00%
G129	50,00%	50,00%	0,00%
G130	50,00%	50,00%	0,00%
G131	50,00%	50,00%	0,00%
G132	50,00%	50,00%	0,00%
G135	50,00%	50,00%	0,00%
G136	50,00%	50,00%	0,00%
G137	50,00%	50,00%	0,00%
G14	50,00%	50,00%	0,00%
G140	50,00%	50,00%	0,00%
G141	50,00%	50,00%	0,00%
G144	50,00%	50,00%	0,00%
G145	50,00%	50,00%	0,00%
G146	50,00%	50,00%	0,00%
G149	50,00%	50,00%	0,00%
G1497	50,00%	50,00%	0,00%
G152	50,00%	50,00%	0,00%
G155	50,00%	50,00%	0,00%
G158	50,00%	50,00%	0,00%
G161	50,00%	50,00%	0,00%
G164	50,00%	50,00%	0,00%
G167	50,00%	50,00%	0,00%
G1689	50,00%	50,00%	0,00%
G1690	50,00%	50,00%	0,00%
G1691	50,00%	50,00%	0,00%
G1694	50,00%	50,00%	0,00%
G17	50,00%	50,00%	0,00%
G170	50,00%	50,00%	0,00%
G173	50,00%	50,00%	0,00%
G176	50,00%	50,00%	0,00%
G179	50,00%	50,00%	0,00%
G182	50,00%	50,00%	0,00%

G185	50,00%	50,00%	0,00%
G188	50,00%	50,00%	0,00%
G191	50,00%	50,00%	0,00%
G194	50,00%	50,00%	0,00%
G197	50,00%	50,00%	0,00%
G20	50,00%	50,00%	0,00%
G200	50,00%	50,00%	0,00%
G203	50,00%	50,00%	0,00%
G206	50,00%	50,00%	0,00%
G209	50,00%	50,00%	0,00%
G210	50,00%	50,00%	0,00%
G217	50,00%	50,00%	0,00%
G2174	50,00%	50,00%	0,00%
G218	50,00%	50,00%	0,00%
G225	50,00%	50,00%	0,00%
G226	50,00%	50,00%	0,00%
G23	50,00%	50,00%	0,00%
G233	50,00%	50,00%	0,00%
G234	50,00%	50,00%	0,00%
G2358	50,00%	50,00%	0,00%
G24	50,00%	50,00%	0,00%
G241	50,00%	50,00%	0,00%
G242	50,00%	50,00%	0,00%
G245	50,00%	50,00%	0,00%
G248	50,00%	50,00%	0,00%
G25	50,00%	50,00%	0,00%
G251	50,00%	50,00%	0,00%
G254	50,00%	50,00%	0,00%
G257	50,00%	50,00%	0,00%
G26	50,00%	50,00%	0,00%
G264	50,00%	50,00%	0,00%
G265	50,00%	50,00%	0,00%
G27	50,00%	50,00%	0,00%
G272	50,00%	50,00%	0,00%
G273	50,00%	50,00%	0,00%
G280	50,00%	50,00%	0,00%
G281	50,00%	50,00%	0,00%
G2824	50,00%	50,00%	0,00%
G288	50,00%	50,00%	0,00%

G289	50,00%	50,00%	0,00%
G292	50,00%	50,00%	0,00%
G293	50,00%	50,00%	0,00%
G298	50,00%	50,00%	0,00%
G299	50,00%	50,00%	0,00%
G302	50,00%	50,00%	0,00%
G307	50,00%	50,00%	0,00%
G308	50,00%	50,00%	0,00%
G31	50,00%	50,00%	0,00%
G315	50,00%	50,00%	0,00%
G316	50,00%	50,00%	0,00%
G3173	50,00%	50,00%	0,00%
G323	50,00%	50,00%	0,00%
G324	50,00%	50,00%	0,00%
G331	50,00%	50,00%	0,00%
G332	50,00%	50,00%	0,00%
G335	50,00%	50,00%	0,00%
G338	50,00%	50,00%	0,00%
G34	50,00%	50,00%	0,00%
G341	50,00%	50,00%	0,00%
G348	50,00%	50,00%	0,00%
G351	50,00%	50,00%	0,00%
G3546	50,00%	50,00%	0,00%
G3548	50,00%	50,00%	0,00%
G3550	50,00%	50,00%	0,00%
G3552	50,00%	50,00%	0,00%
G358	50,00%	50,00%	0,00%
G361	50,00%	50,00%	0,00%
G366	50,00%	50,00%	0,00%
G369	50,00%	50,00%	0,00%
G37	50,00%	50,00%	0,00%
G3717	50,00%	50,00%	0,00%
G372	50,00%	50,00%	0,00%
G3724	50,00%	50,00%	0,00%
G373	50,00%	50,00%	0,00%
G374	50,00%	50,00%	0,00%
G386	50,00%	50,00%	0,00%
G389	50,00%	50,00%	0,00%
G4	50,00%	50,00%	0,00%

G40	50,00%	50,00%	0,00%
G400	50,00%	50,00%	0,00%
G4087	50,00%	50,00%	0,00%
G4088	50,00%	50,00%	0,00%
G4089	50,00%	50,00%	0,00%
G4090	50,00%	50,00%	0,00%
G4091	50,00%	50,00%	0,00%
G4092	50,00%	50,00%	0,00%
G411	50,00%	50,00%	0,00%
G4115	50,00%	50,00%	0,00%
G422	50,00%	50,00%	0,00%
G43	50,00%	50,00%	0,00%
G435	50,00%	50,00%	0,00%
G446	50,00%	50,00%	0,00%
G457	50,00%	50,00%	0,00%
G46	50,00%	50,00%	0,00%
G468	50,00%	50,00%	0,00%
G479	50,00%	50,00%	0,00%
G49	50,00%	50,00%	0,00%
G490	50,00%	50,00%	0,00%
G503	50,00%	50,00%	0,00%
G514	50,00%	50,00%	0,00%
G52	50,00%	50,00%	0,00%
G523	50,00%	50,00%	0,00%
G53	50,00%	50,00%	0,00%
G534	50,00%	50,00%	0,00%
G54	50,00%	50,00%	0,00%
G545	50,00%	50,00%	0,00%
G549	50,00%	50,00%	0,00%
G552	50,00%	50,00%	0,00%
G556	50,00%	50,00%	0,00%
G559	50,00%	50,00%	0,00%
G562	50,00%	50,00%	0,00%
G575	0,28%	0,28%	0,00%
G585	0,28%	0,28%	0,00%
G588	0,17%	0,17%	0,00%
G591	41,94%	35,70%	6,24%
G593	50,00%	50,00%	0,00%
G594	50,00%	50,00%	0,00%

G598	0,32%	0,09%	0,24%
G599	50,00%	50,00%	0,00%
G600	50,00%	50,00%	0,00%
G601	25,00%	25,00%	0,00%
G602	50,00%	50,00%	0,00%
G603	50,00%	50,00%	0,00%
G604	50,00%	50,00%	0,00%
G606	50,00%	50,00%	0,00%
G61	50,00%	50,00%	0,00%
G610	0,49%	0,08%	0,41%
G611	50,00%	50,00%	0,00%
G612	50,00%	50,00%	0,00%
G615	0,20%	0,28%	-0,08%
G618	82,36%	76,95%	5,41%
G621	41,94%	35,70%	6,24%
G623	56,19%	57,23%	-1,04%
G626	0,20%	0,28%	-0,08%
G629	82,36%	76,95%	5,41%
G632	0,17%	0,17%	0,00%
G634	25,00%	25,00%	0,00%
G636	89,06%	89,06%	0,00%
G639	43,75%	39,01%	4,74%
G64	50,00%	50,00%	0,00%
G642	22,19%	17,94%	4,24%
G645	21,88%	17,94%	3,93%
G648	21,49%	17,75%	3,75%
G651	21,69%	17,79%	3,90%
G654	21,39%	17,51%	3,88%
G656	87,50%	87,50%	0,00%
G658	74,83%	81,28%	-6,45%
G661	21,88%	17,97%	3,91%
G664	22,19%	17,94%	4,24%
G667	22,19%	17,94%	4,24%
G67	50,00%	50,00%	0,00%
G670	22,23%	17,97%	4,26%
G673	43,75%	39,01%	4,74%
G676	22,19%	17,94%	4,24%
G679	21,88%	17,94%	3,93%
G682	21,49%	17,75%	3,75%

G685	21,69%	17,79%	3,90%
G688	21,39%	17,51%	3,88%
G690	74,83%	81,28%	-6,45%
G693	21,88%	17,97%	3,91%
G696	22,19%	17,94%	4,24%
G699	22,19%	17,94%	4,24%
G70	50,00%	50,00%	0,00%
G702	22,23%	17,97%	4,26%
G704	89,06%	89,06%	0,00%
G707	43,75%	39,01%	4,74%
G712	42,78%	35,03%	7,76%
G715	43,75%	39,01%	4,74%
G717	89,06%	89,06%	0,00%
G722	43,75%	35,93%	7,82%
G727	42,78%	35,03%	7,76%
G73	50,00%	50,00%	0,00%
G732	43,37%	35,57%	7,80%
G737	42,98%	35,49%	7,49%
G742	43,75%	35,89%	7,86%
G747	44,38%	35,89%	8,49%
G752	44,46%	35,93%	8,52%
G757	44,38%	35,89%	8,49%
G76	50,00%	50,00%	0,00%
G762	44,38%	35,89%	8,49%
G767	50,32%	38,68%	11,64%
G772	43,37%	35,57%	7,80%
G777	42,98%	35,49%	7,49%
G782	43,75%	35,89%	7,86%
G787	44,38%	35,89%	8,49%
G79	50,00%	50,00%	0,00%
G792	44,46%	35,93%	8,52%
G797	44,38%	35,89%	8,49%
G80	50,00%	50,00%	0,00%
G802	44,38%	35,89%	8,49%
G807	50,32%	38,68%	11,64%
G809	75,00%	75,00%	0,00%
G81	50,00%	50,00%	0,00%
G810	25,00%	25,00%	0,00%
G813	50,00%	50,00%	0,00%

G815	25,00%	25,00%	0,00%
G818	36,27%	29,33%	6,95%
G82	50,00%	50,00%	0,00%
G820	87,50%	87,50%	0,00%
G822	62,50%	65,80%	-3,30%
G824	64,49%	69,60%	-5,11%
G826	63,88%	66,74%	-2,86%
G828	64,00%	67,19%	-3,19%
G83	50,00%	50,00%	0,00%
G830	62,50%	66,03%	-3,53%
G832	62,50%	66,03%	-3,53%
G834	62,50%	65,80%	-3,30%
G836	62,50%	66,03%	-3,53%
G838	62,50%	66,03%	-3,53%
G843	62,10%	51,92%	10,18%
G845	75,00%	75,00%	0,00%
G847	75,00%	75,00%	0,00%
G848	50,00%	50,00%	0,00%
G849	50,00%	50,00%	0,00%
G850	50,00%	50,00%	0,00%
G851	50,00%	50,00%	0,00%
G854	0,10%	0,10%	0,00%
G859	43,75%	35,93%	7,82%
G86	50,00%	50,00%	0,00%
G861	62,50%	66,03%	-3,53%
G863	64,03%	67,37%	-3,34%
G865	64,02%	67,14%	-3,12%
G867	63,97%	67,14%	-3,17%
G869	62,50%	66,03%	-3,53%
G87	50,00%	50,00%	0,00%
G871	62,50%	66,03%	-3,53%
G873	62,50%	66,03%	-3,53%
G875	62,50%	66,03%	-3,53%
G877	62,50%	66,03%	-3,53%
G88	50,00%	50,00%	0,00%
G882	60,81%	51,14%	9,67%
G887	50,00%	50,00%	0,00%
G889	50,00%	50,00%	0,00%
G892	50,00%	50,00%	0,00%

G91	50,00%	50,00%	0,00%
G921	50,00%	50,00%	0,00%
G923	50,00%	50,00%	0,00%
G926	50,00%	50,00%	0,00%
G939	50,00%	50,00%	0,00%
G94	50,00%	50,00%	0,00%
G949	50,00%	50,00%	0,00%
G97	50,00%	50,00%	0,00%
G973	50,00%	50,00%	0,00%
G978	50,00%	50,00%	0,00%
G993	50,00%	50,00%	0,00%
G998	50,00%	50,00%	0,00%
n1001	91,01%	91,84%	-0,84%
n1002	91,12%	92,40%	-1,28%
n1003	87,50%	87,50%	0,00%
n1004	87,50%	87,50%	0,00%
n1006	91,01%	91,78%	-0,78%
n1007	36,12%	33,26%	2,86%
n1008	90,97%	91,68%	-0,71%
n1009	87,50%	87,50%	0,00%
n1010	87,50%	87,50%	0,00%
n1012	36,00%	32,81%	3,19%
n1013	87,50%	87,50%	0,00%
n1014	87,50%	87,50%	0,00%
n1015	25,00%	23,44%	1,56%
n1016	66,00%	70,28%	-4,28%
n1018	37,50%	33,97%	3,53%
n1019	90,63%	91,51%	-0,88%
n1020	37,50%	33,97%	3,53%
n1021	90,63%	91,51%	-0,88%
n1022	87,50%	87,50%	0,00%
n1023	87,50%	87,50%	0,00%
n1025	91,01%	91,78%	-0,78%
n1026	90,97%	91,68%	-0,71%
n1027	87,50%	87,50%	0,00%
n1028	87,50%	87,50%	0,00%
n1030	87,50%	87,50%	0,00%
n1031	87,50%	87,50%	0,00%
n1032	25,00%	23,44%	1,56%

n1033	66,00%	70,28%	-4,28%
n1035	90,63%	91,51%	-0,88%
n1036	90,63%	91,51%	-0,88%
n1037	87,50%	87,50%	0,00%
n1038	87,50%	87,50%	0,00%
n1040	90,63%	91,51%	-0,88%
n1041	87,50%	87,50%	0,00%
n1042	87,50%	87,50%	0,00%
n1043	25,00%	23,44%	1,56%
n1044	65,63%	70,06%	-4,44%
n1046	90,99%	91,78%	-0,79%
n1047	87,50%	87,50%	0,00%
n1048	87,50%	87,50%	0,00%
n1049	25,00%	23,44%	1,56%
n1050	66,00%	70,28%	-4,28%
n1052	91,01%	91,78%	-0,78%
n1053	87,50%	87,50%	0,00%
n1054	87,50%	87,50%	0,00%
n1055	25,00%	23,44%	1,56%
n1056	65,97%	70,20%	-4,23%
n1058	91,01%	91,84%	-0,84%
n1059	87,50%	87,50%	0,00%
n1060	87,50%	87,50%	0,00%
n1061	25,00%	23,44%	1,56%
n1062	66,12%	70,74%	-4,62%
n1064	90,63%	91,51%	-0,88%
n1065	87,50%	87,50%	0,00%
n1066	87,50%	87,50%	0,00%
n1067	25,00%	23,44%	1,56%
n1068	65,63%	70,06%	-4,44%
n1070	90,99%	91,78%	-0,79%
n1071	87,50%	87,50%	0,00%
n1072	87,50%	87,50%	0,00%
n1073	25,00%	23,44%	1,56%
n1074	66,00%	70,28%	-4,28%
n1076	91,01%	91,78%	-0,78%
n1077	87,50%	87,50%	0,00%
n1078	87,50%	87,50%	0,00%
n1079	25,00%	23,44%	1,56%

n1080	65,97%	70,20%	-4,23%
n1082	91,01%	91,84%	-0,84%
n1083	87,50%	87,50%	0,00%
n1084	87,50%	87,50%	0,00%
n1085	25,00%	23,44%	1,56%
n1086	66,12%	70,74%	-4,62%
n1088	71,29%	65,14%	6,15%
n1089	78,13%	78,13%	0,00%
n1090	78,13%	78,13%	0,00%
n1091	34,38%	30,42%	3,96%
n1092	74,61%	79,08%	-4,47%
n1093	70,76%	68,56%	2,20%
n1094	43,75%	38,96%	4,79%
n1095	28,71%	34,86%	-6,15%
n1096	21,29%	16,64%	4,65%
n1097	80,42%	82,19%	-1,77%
n1098	73,02%	71,97%	1,05%
n1099	30,84%	33,14%	-2,31%
n1100	20,75%	18,89%	1,86%
n1101	76,13%	76,99%	-0,87%
n1102	72,40%	68,83%	3,57%
n1103	25,89%	26,97%	-1,09%
n1104	22,78%	21,94%	0,84%
n1105	78,44%	81,19%	-2,75%
n1106	71,61%	72,06%	-0,45%
n1107	28,44%	32,07%	-3,63%
n1108	22,40%	19,51%	2,89%
n1109	77,76%	77,34%	0,42%
n1110	72,16%	72,13%	0,02%
n1111	27,76%	27,34%	0,42%
n1112	21,61%	22,06%	-0,45%
n1113	78,31%	78,32%	0,00%
n1114	71,75%	71,75%	-0,01%
n1115	28,31%	28,32%	0,00%
n1116	22,16%	22,13%	0,02%
n1117	77,90%	77,91%	-0,01%
n1118	22,05%	22,05%	0,01%
n1119	50,00%	50,00%	0,00%
n1120	72,05%	72,05%	0,01%

n1121	63,97%	63,98%	0,00%
n1122	93,75%	92,97%	0,78%
n1123	62,38%	53,76%	8,62%
n1124	28,13%	28,13%	0,00%
n1125	87,50%	85,94%	1,56%
n1126	49,76%	46,74%	3,01%
n1127	53,47%	48,58%	4,89%
n1128	29,91%	26,11%	3,80%
n1129	21,50%	23,78%	-2,28%
n1130	27,08%	31,68%	-4,60%
n1131	70,09%	73,89%	-3,80%
n1132	78,50%	76,22%	2,28%
n1133	22,92%	19,11%	3,81%
n1134	28,09%	27,63%	0,45%
n1135	72,92%	68,32%	4,60%
n1136	77,08%	80,89%	-3,81%
n1137	21,91%	22,37%	-0,45%
n1138	28,08%	28,09%	-0,01%
n1139	71,91%	72,37%	-0,45%
n1140	78,09%	77,63%	0,45%
n1141	21,92%	21,91%	0,01%
n1142	28,08%	28,08%	0,00%
n1143	71,92%	71,91%	0,01%
n1144	78,08%	78,09%	-0,01%
n1145	21,92%	21,92%	0,00%
n1146	28,08%	28,08%	0,00%
n1147	71,92%	71,92%	0,00%
n1148	78,08%	78,08%	0,00%
n1149	21,92%	21,92%	0,00%
n1150	78,08%	78,08%	0,00%
n1151	50,00%	43,85%	6,16%
n1152	60,16%	65,63%	-5,48%
n1153	85,94%	85,32%	0,61%
n1154	67,03%	63,85%	3,19%
n1155	32,97%	36,15%	-3,19%
n1156	15,00%	15,59%	-0,60%
n1157	28,43%	26,95%	1,48%
n1158	85,00%	84,41%	0,60%
n1159	21,57%	23,05%	-1,48%

n1160	28,02%	28,11%	-0,08%
n1161	71,57%	73,05%	-1,48%
n1162	78,43%	76,95%	1,48%
n1163	21,98%	21,89%	0,08%
n1164	28,08%	31,59%	-3,51%
n1165	71,98%	71,89%	0,08%
n1166	78,02%	78,11%	-0,08%
n1167	21,92%	19,18%	2,74%
n1168	28,08%	31,10%	-3,02%
n1169	71,92%	68,41%	3,51%
n1170	78,08%	80,82%	-2,74%
n1171	21,92%	19,56%	2,36%
n1172	50,47%	54,77%	-4,30%
n1173	24,76%	22,61%	2,15%
n1174	89,46%	89,92%	-0,46%
n1175	23,86%	21,62%	2,25%
n1176	89,83%	90,36%	-0,53%
n1177	42,19%	38,99%	3,20%
n1178	50,24%	48,07%	2,17%
n1179	76,56%	75,96%	0,60%
n1180	73,44%	74,04%	-0,60%
n1181	43,80%	43,76%	0,04%
n1182	50,00%	50,00%	0,00%
n1183	25,00%	28,13%	-3,13%
n1184	71,88%	71,88%	0,00%
n1185	78,12%	78,12%	0,00%
n1186	21,92%	19,18%	2,74%
n1187	29,28%	32,67%	-3,40%
n1188	75,00%	71,88%	3,12%
n1189	75,00%	78,13%	-3,13%
n1190	21,88%	19,18%	2,69%
n1191	26,14%	28,38%	-2,25%
n1192	25,24%	27,39%	-2,15%
n1193	77,01%	78,12%	-1,11%
n1194	40,40%	36,53%	3,88%
n1195	50,00%	48,34%	1,66%
n1196	87,50%	87,91%	-0,42%
n1197	44,73%	49,49%	-4,76%
n1198	50,00%	49,22%	0,78%

n1199	51,18%	49,99%	1,19%
n1200	37,50%	37,50%	0,00%
n1201	75,00%	71,88%	3,12%
n1202	87,50%	87,50%	0,00%
n1203	87,50%	87,50%	0,00%
n1204	50,00%	44,97%	5,03%
n1205	37,50%	37,50%	0,00%
n1206	75,00%	71,88%	3,12%
n1207	87,50%	87,50%	0,00%
n1208	87,50%	87,50%	0,00%
n1209	50,00%	44,97%	5,03%
n1210	44,73%	49,49%	-4,76%
n1211	50,00%	43,75%	6,25%
n1212	25,00%	25,00%	0,00%
n1213	50,00%	56,25%	-6,25%
n1214	37,50%	37,50%	0,00%
n1215	75,00%	71,88%	3,12%
n1216	87,50%	87,50%	0,00%
n1217	87,50%	87,50%	0,00%
n1218	50,00%	44,97%	5,03%
n1219	56,40%	50,63%	5,77%
n1220	77,56%	77,85%	-0,29%
n1221	43,60%	49,37%	-5,77%
n1222	75,32%	72,23%	3,09%
n1223	22,87%	22,11%	0,77%
n1224	55,27%	50,51%	4,76%
n1225	68,43%	71,52%	-3,09%
n1226	78,69%	78,40%	0,29%
n1227	21,26%	21,74%	-0,48%
n1228	39,32%	39,04%	0,28%
n1229	50,45%	50,00%	0,46%
n1230	87,39%	87,50%	-0,11%
n1231	62,50%	62,50%	0,00%
n1233	78,13%	78,13%	0,00%
n1234	52,83%	48,61%	4,22%
n1235	78,13%	78,13%	0,00%
n1236	78,13%	78,13%	0,00%
n1237	34,38%	30,42%	3,96%
n1238	87,30%	89,54%	-2,24%

n1239	73,66%	69,71%	3,95%
n1240	56,69%	56,47%	0,22%
n1241	82,75%	82,82%	-0,07%
n1242	63,25%	63,06%	0,19%
n1243	40,40%	36,02%	4,38%
n1244	26,34%	30,29%	-3,95%
n1245	17,41%	17,18%	0,23%
n1246	83,05%	84,78%	-1,72%
n1247	74,68%	73,27%	1,41%
n1248	36,75%	36,94%	-0,19%
n1249	16,95%	15,22%	1,72%
n1250	75,32%	76,73%	-1,41%
n1251	72,10%	71,89%	0,21%
n1252	25,32%	26,73%	-1,41%
n1253	24,68%	23,27%	1,41%
n1254	77,90%	78,11%	-0,21%
n1255	71,92%	71,92%	0,00%
n1256	27,90%	28,11%	-0,21%
n1257	22,10%	21,89%	0,21%
n1258	78,08%	78,08%	0,00%
n1259	71,92%	71,92%	0,00%
n1260	28,08%	28,08%	0,00%
n1261	21,92%	21,92%	0,00%
n1262	78,08%	78,08%	0,00%
n1263	21,92%	21,92%	0,00%
n1264	50,00%	50,00%	0,00%
n1265	71,92%	71,92%	0,00%
n1266	64,04%	64,04%	0,00%
n1267	71,92%	71,92%	0,00%
n1268	93,75%	93,75%	0,00%
n1269	42,32%	38,34%	3,99%
n1270	55,88%	59,98%	-4,10%
n1271	87,50%	87,50%	0,00%
n1272	46,17%	42,45%	3,72%
n1273	28,13%	28,13%	0,00%
n1274	49,88%	46,70%	3,18%
n1275	24,96%	25,49%	-0,53%
n1276	50,78%	47,81%	2,97%
n1277	71,88%	71,88%	0,00%

n1278	64,48%	69,49%	-5,01%
n1279	85,64%	83,81%	1,83%
n1280	22,41%	21,79%	0,62%
n1281	25,31%	23,32%	1,99%
n1282	44,12%	40,02%	4,10%
n1283	73,71%	72,15%	1,56%
n1284	75,95%	75,63%	0,31%
n1285	25,16%	27,25%	-2,09%
n1286	27,36%	27,89%	-0,54%
n1287	75,56%	78,16%	-2,60%
n1288	75,95%	74,97%	0,97%
n1289	21,86%	20,70%	1,16%
n1290	28,38%	28,59%	-0,21%
n1291	71,86%	70,70%	1,16%
n1292	77,36%	77,89%	-0,54%
n1293	22,21%	22,47%	-0,25%
n1294	27,86%	27,68%	0,17%
n1295	72,21%	72,47%	-0,25%
n1296	78,38%	78,59%	-0,21%
n1297	21,70%	21,52%	0,18%
n1298	28,24%	28,38%	-0,13%
n1299	71,70%	71,52%	0,18%
n1300	77,86%	77,68%	0,17%
n1301	22,09%	22,22%	-0,13%
n1302	27,95%	27,86%	0,10%
n1303	72,09%	72,22%	-0,13%
n1304	78,24%	78,38%	-0,13%
n1305	21,80%	21,70%	0,10%
n1306	78,17%	78,25%	-0,07%
n1307	53,91%	49,04%	4,86%
n1308	49,01%	49,86%	-0,85%
n1309	50,00%	50,00%	0,00%
n1310	50,00%	50,00%	0,00%
n1311	78,13%	78,08%	0,05%
n1312	71,88%	71,92%	-0,05%
n1313	71,92%	71,92%	0,00%
n1314	21,88%	21,92%	-0,05%
n1315	28,13%	28,08%	0,05%
n1316	78,08%	78,08%	0,00%

n1317	56,84%	61,13%	-4,29%
n1318	43,16%	38,87%	4,29%
n1319	78,42%	80,56%	-2,15%
n1320	9,46%	8,52%	0,94%
n1321	90,54%	91,48%	-0,94%
n1322	79,33%	81,55%	-2,22%
n1323	9,06%	8,09%	0,97%
n1324	57,81%	61,01%	-3,20%
n1325	53,72%	53,47%	0,25%
n1326	50,00%	50,00%	0,00%
n1327	50,00%	50,00%	0,00%
n1328	50,00%	50,00%	0,00%
n1329	50,00%	50,00%	0,00%
n1330	29,33%	31,55%	-2,22%
n1331	70,67%	68,45%	2,22%
n1332	71,58%	69,44%	2,15%
n1333	28,88%	26,24%	2,64%
n1334	64,19%	67,80%	-3,61%
n1335	43,08%	37,98%	5,10%
n1336	28,40%	27,12%	1,28%
n1337	28,08%	28,08%	0,00%
n1338	71,80%	71,70%	0,10%
n1339	77,95%	77,86%	0,10%
n1340	22,02%	22,09%	-0,07%
n1341	56,92%	62,02%	-5,10%
n1342	21,49%	21,28%	0,21%
n1343	56,11%	57,37%	-1,27%
n1344	37,50%	37,50%	0,00%
n1345	75,00%	71,88%	3,12%
n1346	87,50%	87,50%	0,00%
n1347	87,50%	87,50%	0,00%
n1348	50,00%	44,97%	5,03%
n1349	37,50%	37,50%	0,00%
n1350	75,00%	71,88%	3,12%
n1351	87,50%	87,50%	0,00%
n1352	87,50%	87,50%	0,00%
n1353	50,00%	44,97%	5,03%
n1354	44,73%	49,49%	-4,76%
n1355	50,00%	55,03%	-5,03%

n1356	37,50%	37,50%	0,00%
n1357	75,00%	71,88%	3,12%
n1358	87,50%	87,50%	0,00%
n1359	87,50%	87,50%	0,00%
n1360	50,00%	44,97%	5,03%
n1361	55,27%	50,51%	4,76%
n1362	51,58%	50,01%	1,58%
n1363	37,50%	37,50%	0,00%
n1364	75,00%	71,88%	3,12%
n1365	87,50%	87,50%	0,00%
n1366	87,50%	87,50%	0,00%
n1367	50,00%	44,97%	5,03%
n1368	37,50%	37,50%	0,00%
n1369	75,00%	71,88%	3,12%
n1370	87,50%	87,50%	0,00%
n1371	87,50%	87,50%	0,00%
n1372	50,00%	44,97%	5,03%
n1373	44,73%	49,49%	-4,76%
n1374	37,50%	37,50%	0,00%
n1375	75,00%	71,88%	3,12%
n1376	87,50%	87,50%	0,00%
n1377	87,50%	87,50%	0,00%
n1378	50,00%	44,97%	5,03%
n1379	37,50%	37,50%	0,00%
n1380	75,00%	71,88%	3,12%
n1381	75,00%	76,56%	-1,56%
n1382	50,00%	44,97%	5,03%
n1383	44,73%	49,49%	-4,76%
n1384	75,00%	75,00%	0,00%
n1385	37,50%	37,50%	0,00%
n1386	25,00%	28,13%	-3,13%
n1387	87,50%	87,50%	0,00%
n1388	87,50%	87,50%	0,00%
n1389	25,00%	23,44%	1,56%
n1390	50,00%	55,03%	-5,03%
n1391	75,85%	77,29%	-1,44%
n1392	76,09%	72,76%	3,32%
n1393	23,27%	22,10%	1,17%
n1394	55,27%	50,51%	4,76%

n1395	50,00%	44,97%	5,03%
n1396	68,89%	72,21%	-3,32%
n1397	79,18%	77,74%	1,44%
n1398	20,35%	21,71%	-1,36%
n1399	38,90%	39,01%	-0,11%
n1400	50,46%	50,00%	0,46%
n1401	50,00%	50,00%	0,00%
n1402	50,00%	50,00%	0,00%
n1403	37,50%	37,50%	0,00%
n1404	49,91%	54,69%	-4,78%
n1406	24,77%	25,00%	-0,23%
n1407	75,23%	75,00%	0,23%
n1408	71,49%	72,73%	-1,24%
n1409	78,43%	78,63%	-0,20%
n1410	72,02%	71,41%	0,61%
n1411	26,84%	23,22%	3,62%
n1412	75,00%	75,00%	0,00%
n1413	25,00%	25,00%	0,00%
n1414	88,02%	89,40%	-1,37%
n1415	75,00%	75,00%	0,00%
n1416	75,23%	75,00%	0,23%
n1417	50,80%	44,37%	6,43%
n1418	25,00%	25,00%	0,00%
n1419	53,21%	58,36%	-5,15%
n1420	88,30%	89,59%	-1,29%
n1421	87,50%	87,50%	0,00%
n1422	87,50%	87,50%	0,00%
n1424	88,02%	89,40%	-1,37%
n1425	75,00%	75,00%	0,00%
n1426	88,30%	89,59%	-1,29%
n1427	87,50%	87,50%	0,00%
n1428	87,50%	87,50%	0,00%
n1430	28,05%	28,69%	-0,63%
n1431	73,33%	76,74%	-3,41%
n1432	11,98%	10,61%	1,37%
n1433	75,00%	75,00%	0,00%
n1434	50,00%	50,00%	0,00%
n1435	25,00%	25,00%	0,00%
n1436	25,00%	25,00%	0,00%

n1437	75,00%	78,13%	-3,13%
n1438	36,01%	30,01%	6,00%
n1440	11,98%	10,61%	1,37%
n1441	75,00%	75,00%	0,00%
n1442	25,00%	25,00%	0,00%
n1443	25,00%	25,00%	0,00%
n1444	75,00%	78,13%	-3,13%
n1445	36,01%	30,01%	6,00%
n315	50,00%	50,00%	0,00%
n317	50,00%	50,00%	0,00%
n320	50,00%	50,00%	0,00%
n321	25,00%	25,00%	0,00%
n325	43,75%	43,75%	0,00%
n327	43,75%	43,75%	0,00%
n330	25,00%	25,00%	0,00%
n331	50,00%	50,00%	0,00%
n332	93,75%	93,75%	0,00%
n333	93,75%	93,75%	0,00%
n334	87,50%	78,03%	9,47%
n336	93,75%	93,75%	0,00%
n337	93,75%	93,75%	0,00%
n338	87,50%	78,03%	9,47%
n340	93,75%	93,75%	0,00%
n341	93,75%	93,75%	0,00%
n342	87,50%	78,03%	9,47%
n344	93,75%	93,75%	0,00%
n345	93,75%	93,75%	0,00%
n346	87,50%	78,03%	9,47%
n348	50,00%	50,00%	0,00%
n349	37,50%	37,50%	0,00%
n350	75,00%	71,88%	3,12%
n351	87,50%	87,50%	0,00%
n352	50,00%	50,00%	0,00%
n353	87,50%	87,50%	0,00%
n354	50,00%	44,97%	5,03%
n355	25,00%	25,00%	0,00%
n356	50,00%	50,00%	0,00%
n357	25,00%	25,00%	0,00%
n358	50,00%	56,25%	-6,25%

n359	25,00%	25,00%	0,00%
n360	25,00%	25,00%	0,00%
n361	50,00%	56,25%	-6,25%
n362	50,00%	43,75%	6,25%
n363	25,00%	24,61%	0,39%
n364	43,75%	43,75%	0,00%
n365	50,00%	50,00%	0,00%
n366	50,00%	50,00%	0,00%
n367	43,75%	43,75%	0,00%
n368	96,24%	97,88%	-1,64%
n369	37,50%	37,50%	0,00%
n370	75,00%	71,88%	3,12%
n371	87,50%	87,50%	0,00%
n372	50,00%	50,00%	0,00%
n373	87,50%	87,50%	0,00%
n374	50,00%	44,97%	5,03%
n375	50,00%	50,00%	0,00%
n376	37,50%	37,50%	0,00%
n377	75,00%	71,88%	3,12%
n378	87,50%	87,50%	0,00%
n379	50,00%	50,00%	0,00%
n380	50,00%	50,00%	0,00%
n381	87,50%	87,50%	0,00%
n382	50,00%	44,97%	5,03%
n383	75,00%	75,00%	0,00%
n384	37,50%	37,50%	0,00%
n385	25,00%	28,13%	-3,13%
n386	87,50%	87,50%	0,00%
n387	50,00%	50,00%	0,00%
n388	87,50%	87,50%	0,00%
n389	25,00%	23,44%	1,56%
n390	50,00%	55,03%	-5,03%
n391	50,00%	44,97%	5,03%
n392	37,50%	37,50%	0,00%
n393	75,00%	71,88%	3,12%
n394	87,50%	87,50%	0,00%
n395	50,00%	50,00%	0,00%
n396	87,50%	87,50%	0,00%
n397	50,00%	44,97%	5,03%

n398	94,81%	95,91%	-1,10%
n400	37,50%	37,50%	0,00%
n401	75,00%	71,88%	3,12%
n402	87,50%	87,50%	0,00%
n403	50,00%	50,00%	0,00%
n404	87,50%	87,50%	0,00%
n405	50,00%	44,97%	5,03%
n406	37,50%	37,50%	0,00%
n407	75,00%	71,88%	3,12%
n408	87,50%	87,50%	0,00%
n409	50,00%	50,00%	0,00%
n410	87,50%	87,50%	0,00%
n411	50,00%	44,97%	5,03%
n412	37,50%	37,50%	0,00%
n413	75,00%	71,88%	3,12%
n414	87,50%	87,50%	0,00%
n415	50,00%	50,00%	0,00%
n416	87,50%	87,50%	0,00%
n417	50,00%	44,97%	5,03%
n418	87,80%	90,91%	-3,10%
n419	37,50%	37,50%	0,00%
n420	75,00%	71,88%	3,12%
n421	87,50%	87,50%	0,00%
n422	50,00%	50,00%	0,00%
n423	87,50%	87,50%	0,00%
n424	75,00%	76,56%	-1,56%
n425	50,00%	44,97%	5,03%
n426	37,50%	37,50%	0,00%
n427	75,00%	71,88%	3,12%
n428	87,50%	87,50%	0,00%
n429	50,00%	50,00%	0,00%
n430	87,50%	87,50%	0,00%
n431	50,00%	44,97%	5,03%
n432	75,00%	79,78%	-4,78%
n433	37,50%	37,50%	0,00%
n434	75,00%	71,88%	3,12%
n435	87,50%	87,50%	0,00%
n436	50,00%	50,00%	0,00%
n437	87,50%	87,50%	0,00%

n438	50,00%	44,97%	5,03%
n439	37,50%	37,50%	0,00%
n440	75,00%	71,88%	3,12%
n441	50,00%	50,00%	0,00%
n442	50,00%	50,00%	0,00%
n443	25,00%	25,00%	0,00%
n444	87,50%	87,50%	0,00%
n445	25,00%	25,00%	0,00%
n446	87,50%	87,50%	0,00%
n447	50,00%	44,97%	5,03%
n448	37,50%	37,50%	0,00%
n449	75,00%	71,88%	3,12%
n450	87,50%	87,50%	0,00%
n451	50,00%	50,00%	0,00%
n452	87,50%	87,50%	0,00%
n453	50,00%	44,97%	5,03%
n454	37,50%	37,50%	0,00%
n455	75,00%	71,88%	3,12%
n456	87,50%	87,50%	0,00%
n457	50,00%	50,00%	0,00%
n458	87,50%	87,50%	0,00%
n459	50,00%	44,97%	5,03%
n460	93,08%	95,91%	-2,83%
n461	97,96%	99,17%	-1,21%
n463	50,00%	50,00%	0,00%
n464	43,75%	43,75%	0,00%
n465	78,13%	78,13%	0,00%
n466	71,88%	71,88%	0,00%
n467	50,00%	43,85%	6,15%
n468	50,00%	56,15%	-6,15%
n469	43,75%	43,75%	0,00%
n470	50,00%	50,00%	0,00%
n471	43,75%	43,75%	0,00%
n472	50,00%	50,00%	0,00%
n473	43,75%	43,75%	0,00%
n474	50,00%	50,00%	0,00%
n475	75,00%	75,00%	0,00%
n476	25,00%	25,00%	0,00%
n477	87,50%	87,50%	0,00%

n478	5,47%	5,48%	-0,01%
n479	43,75%	43,75%	0,00%
n480	50,00%	50,00%	0,00%
n481	43,75%	43,75%	0,00%
n482	50,00%	50,00%	0,00%
n483	75,00%	75,00%	0,00%
n484	43,75%	43,75%	0,00%
n485	50,00%	50,00%	0,00%
n486	25,00%	25,00%	0,00%
n487	25,00%	25,00%	0,00%
n488	50,00%	43,75%	6,25%
n489	50,00%	50,00%	0,00%
n490	50,00%	50,00%	0,00%
n491	43,75%	43,75%	0,00%
n492	50,00%	50,00%	0,00%
n493	50,00%	50,00%	0,00%
n494	25,00%	25,00%	0,00%
n495	87,50%	87,50%	0,00%
n496	3,13%	3,13%	0,00%
n498	50,00%	50,00%	0,00%
n499	43,75%	43,75%	0,00%
n500	50,00%	50,00%	0,00%
n501	50,00%	50,00%	0,00%
n502	50,00%	50,00%	0,00%
n503	43,75%	43,75%	0,00%
n504	50,00%	50,00%	0,00%
n505	50,00%	50,00%	0,00%
n506	50,00%	50,00%	0,00%
n507	25,00%	25,00%	0,00%
n508	25,00%	25,00%	0,00%
n509	50,00%	56,25%	-6,25%
n510	50,00%	43,75%	6,25%
n511	50,00%	50,00%	0,00%
n512	25,00%	25,00%	0,00%
n513	25,00%	25,00%	0,00%
n514	50,00%	56,25%	-6,25%
n515	50,00%	43,75%	6,25%
n516	25,00%	31,64%	-6,64%
n517	93,75%	92,09%	1,66%

n518	43,75%	43,75%	0,00%
n519	50,00%	50,00%	0,00%
n520	25,00%	25,00%	0,00%
n521	25,00%	25,00%	0,00%
n522	50,00%	56,25%	-6,25%
n523	75,00%	71,88%	3,12%
n524	75,00%	75,00%	0,00%
n525	50,00%	50,00%	0,00%
n526	43,75%	43,75%	0,00%
n527	50,00%	50,00%	0,00%
n528	43,75%	43,75%	0,00%
n529	50,00%	50,00%	0,00%
n530	87,50%	87,50%	0,00%
n531	3,13%	3,52%	-0,39%
n532	96,88%	96,48%	0,39%
n534	25,00%	25,00%	0,00%
n535	87,50%	85,94%	1,56%
n536	6,25%	7,91%	-1,66%
n537	93,75%	92,09%	1,66%
n539	94,53%	94,52%	0,01%
n540	96,88%	96,88%	0,00%
n542	50,00%	50,00%	0,00%
n543	50,00%	50,00%	0,00%
n544	50,00%	50,00%	0,00%
n545	50,00%	50,00%	0,00%
n546	50,00%	50,00%	0,00%
n547	50,00%	50,00%	0,00%
n548	87,50%	87,50%	0,00%
n549	87,50%	87,50%	0,00%
n550	50,00%	50,00%	0,00%
n551	87,50%	87,50%	0,00%
n552	87,50%	87,50%	0,00%
n553	50,00%	41,38%	8,62%
n554	50,00%	50,00%	0,00%
n556	50,00%	50,00%	0,00%
n557	50,00%	50,00%	0,00%
n558	50,00%	50,00%	0,00%
n559	50,00%	50,00%	0,00%
n560	50,00%	50,00%	0,00%

n561	50,00%	50,00%	0,00%
n562	50,00%	50,00%	0,00%
n563	87,50%	87,50%	0,00%
n564	50,00%	50,00%	0,00%
n565	87,50%	87,50%	0,00%
n566	50,00%	50,00%	0,00%
n567	87,50%	87,50%	0,00%
n568	87,50%	87,50%	0,00%
n569	50,00%	41,38%	8,62%
n570	50,00%	50,00%	0,00%
n572	78,13%	78,13%	0,00%
n573	10,94%	9,59%	1,35%
n574	50,00%	50,00%	0,00%
n575	50,00%	50,00%	0,00%
n576	25,00%	25,00%	0,00%
n577	21,88%	21,88%	0,00%
n578	94,53%	95,20%	-0,67%
n579	78,13%	78,13%	0,00%
n580	21,88%	21,88%	0,00%
n581	89,06%	90,41%	-1,35%
n582	38,48%	32,76%	5,72%
n583	59,60%	65,63%	-6,03%
n584	50,00%	50,00%	0,00%
n585	50,00%	50,00%	0,00%
n586	50,00%	50,00%	0,00%
n587	50,00%	50,00%	0,00%
n588	25,00%	25,00%	0,00%
n589	75,00%	75,00%	0,00%
n590	21,88%	21,88%	0,00%
n591	93,75%	94,53%	-0,78%
n592	1,56%	1,37%	0,20%
n593	21,88%	21,88%	0,00%
n594	96,88%	97,27%	-0,39%
n595	21,88%	21,88%	0,00%
n596	93,75%	94,53%	-0,78%
n597	50,00%	56,25%	-6,25%
n598	25,00%	21,88%	3,13%
n599	21,88%	21,88%	0,00%
n600	65,63%	69,58%	-3,96%

n601	40,40%	36,02%	4,38%
n602	58,67%	63,10%	-4,43%
n603	41,33%	36,90%	4,43%
n604	97,74%	97,98%	-0,24%
n606	75,00%	68,36%	6,64%
n607	78,13%	78,13%	0,00%
n608	6,25%	6,92%	-0,67%
n609	78,13%	78,13%	0,00%
n610	81,25%	75,28%	5,97%
n611	18,16%	23,86%	-5,70%
n612	50,00%	50,00%	0,00%
n613	50,00%	50,00%	0,00%
n614	50,00%	50,00%	0,00%
n615	50,00%	50,00%	0,00%
n616	25,00%	25,00%	0,00%
n617	75,00%	75,00%	0,00%
n618	50,00%	43,75%	6,25%
n619	87,50%	89,06%	-1,56%
n620	3,13%	2,73%	0,39%
n621	21,88%	21,88%	0,00%
n622	96,88%	97,27%	-0,39%
n623	21,88%	21,88%	0,00%
n624	93,75%	94,53%	-0,78%
n625	78,13%	78,13%	0,00%
n626	37,50%	37,50%	0,00%
n627	81,25%	81,25%	0,00%
n628	45,80%	41,64%	4,17%
n629	52,28%	56,77%	-4,49%
n633	50,00%	50,00%	0,00%
n634	50,00%	50,00%	0,00%
n635	25,00%	25,00%	0,00%
n636	75,00%	75,00%	0,00%
n637	25,00%	25,00%	0,00%
n638	25,00%	25,00%	0,00%
n639	73,44%	75,20%	-1,76%
n640	37,50%	34,20%	3,30%
n642	25,00%	28,13%	-3,13%
n643	50,00%	50,00%	0,00%
n644	25,00%	25,00%	0,00%

n645	73,44%	75,46%	-2,02%
n646	37,50%	33,97%	3,53%
n648	50,00%	50,00%	0,00%
n649	50,00%	50,00%	0,00%
n650	50,00%	50,00%	0,00%
n651	75,00%	75,00%	0,00%
n652	87,50%	87,50%	0,00%
n653	26,86%	24,54%	2,32%
n655	47,72%	43,23%	4,49%
n656	51,38%	55,77%	-4,40%
n657	12,50%	10,94%	1,56%
n658	62,50%	56,05%	6,45%
n659	35,16%	41,24%	-6,09%
n660	50,00%	48,91%	1,09%
n661	73,61%	72,73%	0,89%
n662	48,62%	44,23%	4,40%
n663	69,24%	64,56%	4,68%
n664	50,00%	48,18%	1,82%
n665	76,39%	78,69%	-2,30%
n666	43,81%	42,77%	1,04%
n668	50,00%	50,00%	0,00%
n669	25,00%	25,00%	0,00%
n670	75,00%	75,00%	0,00%
n671	25,00%	25,00%	0,00%
n672	75,00%	75,00%	0,00%
n673	87,50%	87,50%	0,00%
n674	25,00%	23,44%	1,56%
n675	66,06%	70,02%	-3,95%
n677	50,00%	50,00%	0,00%
n678	50,00%	50,00%	0,00%
n679	87,50%	85,94%	1,56%
n680	93,75%	92,97%	0,78%
n681	93,75%	94,53%	-0,78%
n682	50,00%	55,66%	-5,66%
n683	45,31%	52,62%	-7,31%
n684	12,50%	10,94%	1,56%
n685	93,75%	94,53%	-0,78%
n686	58,79%	50,26%	8,53%
n687	41,21%	49,74%	-8,53%

n688	60,58%	52,01%	8,58%
n689	50,00%	50,00%	0,00%
n690	12,50%	12,50%	0,00%
n691	87,50%	87,50%	0,00%
n692	26,86%	24,54%	2,32%
n694	87,50%	89,06%	-1,56%
n695	65,63%	69,58%	-3,96%
n696	46,17%	42,39%	3,78%
n697	50,00%	50,00%	0,00%
n698	12,50%	12,50%	0,00%
n699	87,50%	87,50%	0,00%
n700	26,56%	24,80%	1,76%
n702	56,25%	61,04%	-4,79%
n703	50,78%	47,55%	3,23%
n704	50,00%	50,00%	0,00%
n705	12,50%	12,50%	0,00%
n706	87,50%	87,50%	0,00%
n707	26,86%	24,54%	2,32%
n709	50,00%	50,00%	0,00%
n710	25,00%	25,00%	0,00%
n711	75,00%	75,00%	0,00%
n712	25,00%	25,00%	0,00%
n713	87,50%	87,50%	0,00%
n714	87,50%	87,50%	0,00%
n715	25,00%	23,44%	1,56%
n716	66,06%	70,02%	-3,95%
n718	50,00%	50,00%	0,00%
n719	25,00%	25,00%	0,00%
n720	93,75%	93,75%	0,00%
n721	93,75%	94,53%	-0,78%
n722	65,63%	69,58%	-3,96%
n723	61,52%	65,77%	-4,25%
n724	93,75%	94,53%	-0,78%
n725	3,13%	2,73%	0,39%
n726	96,88%	97,27%	-0,39%
n727	59,60%	63,98%	-4,38%
n728	42,26%	38,02%	4,24%
n729	50,00%	50,00%	0,00%
n730	50,00%	50,00%	0,00%

n731	87,50%	87,50%	0,00%
n732	26,86%	24,54%	2,32%
n734	65,63%	69,58%	-3,96%
n735	42,32%	38,34%	3,99%
n736	50,00%	50,00%	0,00%
n737	50,00%	50,00%	0,00%
n738	87,50%	87,50%	0,00%
n739	26,86%	24,54%	2,32%
n741	65,63%	69,58%	-3,96%
n742	34,38%	30,42%	3,96%
n743	57,42%	60,88%	-3,46%
n744	50,00%	50,00%	0,00%
n745	50,00%	50,00%	0,00%
n746	87,50%	87,50%	0,00%
n747	26,86%	24,54%	2,32%
n749	53,13%	58,59%	-5,47%
n750	50,00%	50,00%	0,00%
n751	50,00%	50,00%	0,00%
n752	87,50%	87,50%	0,00%
n753	26,86%	24,54%	2,32%
n755	50,00%	49,22%	0,78%
n756	50,00%	49,22%	0,78%
n757	50,00%	49,99%	0,01%
n758	43,75%	43,75%	0,00%
n759	50,00%	50,78%	-0,78%
n760	50,00%	53,13%	-3,13%
n761	50,00%	46,88%	3,13%
n762	50,00%	49,22%	0,78%
n763	87,50%	88,28%	-0,78%
n764	50,00%	50,78%	-0,78%
n765	87,50%	86,30%	1,20%
n766	50,00%	49,22%	0,78%
n767	87,50%	88,28%	-0,78%
n768	87,50%	87,13%	0,37%
n769	41,38%	41,39%	-0,01%
n771	50,00%	49,22%	0,78%
n772	50,00%	49,22%	0,78%
n773	50,00%	49,99%	0,01%
n774	56,25%	56,25%	0,00%

n775	50,00%	50,78%	-0,78%
n776	50,00%	49,22%	0,78%
n777	50,00%	50,00%	0,00%
n778	25,00%	25,00%	0,00%
n779	50,00%	56,25%	-6,25%
n780	50,00%	50,78%	-0,78%
n781	50,00%	50,78%	-0,78%
n782	50,00%	49,22%	0,78%
n783	75,00%	75,01%	-0,01%
n784	50,00%	49,22%	0,78%
n785	75,00%	75,01%	-0,01%
n786	21,88%	22,21%	-0,34%
n787	75,00%	74,21%	0,79%
n788	75,00%	75,78%	-0,78%
n789	21,88%	21,54%	0,33%
n790	38,96%	38,97%	0,00%
n792	1,56%	1,56%	0,00%
n793	57,75%	62,12%	-4,36%
n794	21,88%	21,88%	0,00%
n795	93,75%	94,53%	-0,78%
n796	65,63%	69,58%	-3,96%
n797	38,48%	34,23%	4,25%
n798	48,56%	48,06%	0,50%
n799	46,17%	42,45%	3,72%
n800	49,52%	49,07%	0,45%
n801	43,08%	42,89%	0,19%
n802	87,50%	87,50%	0,00%
n803	98,26%	98,22%	0,04%
n804	50,00%	50,00%	0,00%
n805	65,63%	69,58%	-3,96%
n806	50,00%	50,00%	0,00%
n807	71,12%	68,94%	2,18%
n808	50,78%	47,81%	2,97%
n809	50,00%	50,00%	0,00%
n810	78,88%	81,06%	-2,18%
n811	50,00%	50,00%	0,00%
n812	28,13%	28,13%	0,00%
n813	50,00%	50,00%	0,00%
n814	21,12%	18,94%	2,18%

n815	56,10%	55,88%	0,22%
n816	84,26%	84,39%	-0,12%
n818	87,50%	87,50%	0,00%
n819	6,25%	6,25%	0,00%
n820	98,28%	98,21%	0,07%
n821	50,00%	50,00%	0,00%
n822	65,63%	69,58%	-3,96%
n823	50,00%	47,55%	2,45%
n824	26,39%	29,25%	-2,86%
n825	50,78%	47,81%	2,97%
n826	50,00%	50,27%	-0,27%
n827	56,19%	55,02%	1,17%
n828	50,00%	50,00%	0,00%
n829	28,13%	28,13%	0,00%
n830	71,88%	71,88%	0,00%
n831	50,00%	50,00%	0,00%
n832	23,61%	22,11%	1,50%
n833	56,19%	56,17%	0,02%
n834	84,21%	84,55%	-0,34%
n836	50,00%	50,00%	0,00%
n837	50,00%	50,00%	0,00%
n838	25,00%	25,00%	0,00%
n839	75,00%	75,00%	0,00%
n840	90,63%	91,51%	-0,88%
n841	25,00%	25,00%	0,00%
n842	87,50%	87,50%	0,00%
n843	87,50%	87,50%	0,00%
n844	25,00%	23,44%	1,56%
n845	66,06%	70,02%	-3,95%
n847	50,00%	50,00%	0,00%
n848	25,00%	25,00%	0,00%
n849	75,00%	75,00%	0,00%
n850	90,63%	91,51%	-0,88%
n851	25,00%	25,00%	0,00%
n852	87,50%	87,50%	0,00%
n853	87,50%	87,50%	0,00%
n854	25,00%	23,44%	1,56%
n855	66,06%	70,02%	-3,95%
n857	90,63%	91,51%	-0,88%

n858	37,50%	33,97%	3,53%
n859	90,63%	91,51%	-0,88%
n860	87,50%	87,50%	0,00%
n861	87,50%	87,50%	0,00%
n863	90,63%	91,51%	-0,88%
n864	37,50%	34,20%	3,30%
n865	90,63%	91,45%	-0,82%
n866	87,50%	87,50%	0,00%
n867	87,50%	87,50%	0,00%
n869	37,50%	33,97%	3,53%
n870	87,50%	87,50%	0,00%
n871	87,50%	87,50%	0,00%
n872	25,00%	23,44%	1,56%
n873	65,63%	70,06%	-4,44%
n875	75,00%	75,00%	0,00%
n876	87,50%	87,50%	0,00%
n877	25,00%	23,44%	1,56%
n878	66,06%	70,06%	-4,00%
n880	90,63%	91,51%	-0,88%
n881	90,63%	91,51%	-0,88%
n882	87,50%	87,50%	0,00%
n883	87,50%	87,50%	0,00%
n885	90,63%	91,51%	-0,88%
n886	90,63%	91,45%	-0,82%
n887	87,50%	87,50%	0,00%
n888	87,50%	87,50%	0,00%
n890	87,50%	87,50%	0,00%
n891	87,50%	87,50%	0,00%
n892	25,00%	23,44%	1,56%
n893	65,63%	70,06%	-4,44%
n895	87,50%	87,50%	0,00%
n896	87,50%	87,50%	0,00%
n897	25,00%	23,44%	1,56%
n898	66,06%	70,06%	-4,00%
n900	90,63%	91,51%	-0,88%
n901	87,50%	87,50%	0,00%
n902	87,50%	87,50%	0,00%
n903	25,00%	23,44%	1,56%
n904	65,63%	70,06%	-4,44%

n906	90,63%	91,51%	-0,88%
n907	87,50%	87,50%	0,00%
n908	87,50%	87,50%	0,00%
n909	25,00%	23,44%	1,56%
n910	66,06%	70,06%	-4,00%
n912	90,63%	91,51%	-0,88%
n913	87,50%	87,50%	0,00%
n914	87,50%	87,50%	0,00%
n915	25,00%	23,44%	1,56%
n916	65,63%	70,06%	-4,44%
n918	90,63%	91,51%	-0,88%
n919	87,50%	87,50%	0,00%
n920	87,50%	87,50%	0,00%
n921	25,00%	23,44%	1,56%
n922	65,63%	70,02%	-4,39%
n924	90,63%	91,51%	-0,88%
n925	87,50%	87,50%	0,00%
n926	87,50%	87,50%	0,00%
n927	25,00%	23,44%	1,56%
n928	65,63%	70,06%	-4,44%
n930	90,63%	91,51%	-0,88%
n931	87,50%	87,50%	0,00%
n932	87,50%	87,50%	0,00%
n933	25,00%	23,44%	1,56%
n934	66,06%	70,06%	-4,00%
n936	90,63%	91,51%	-0,88%
n937	87,50%	87,50%	0,00%
n938	87,50%	87,50%	0,00%
n939	25,00%	23,44%	1,56%
n940	65,63%	70,06%	-4,44%
n942	90,63%	91,51%	-0,88%
n943	87,50%	87,50%	0,00%
n944	87,50%	87,50%	0,00%
n945	25,00%	23,44%	1,56%
n946	65,63%	70,02%	-4,39%
n948	89,05%	89,31%	-0,26%
n949	50,00%	50,00%	0,00%
n950	50,00%	50,00%	0,00%
n951	25,00%	25,00%	0,00%

n952	75,00%	75,00%	0,00%
n953	87,50%	87,50%	0,00%
n954	23,44%	22,07%	1,37%
n955	62,50%	68,19%	-5,69%
n958	10,95%	10,69%	0,26%
n959	87,50%	87,50%	0,00%
n960	23,44%	22,07%	1,37%
n962	10,95%	11,25%	-0,29%
n963	87,50%	87,50%	0,00%
n964	26,56%	24,80%	1,76%
n966	10,95%	10,96%	-0,01%
n967	87,50%	87,50%	0,00%
n968	26,86%	24,54%	2,32%
n970	12,50%	12,50%	0,00%
n971	87,50%	87,50%	0,00%
n972	26,86%	24,54%	2,32%
n974	75,00%	75,00%	0,00%
n975	93,75%	93,75%	0,00%
n976	1,56%	1,56%	0,00%
n977	99,61%	99,61%	0,00%
n978	99,80%	99,80%	0,00%
n980	87,50%	87,50%	0,00%
n981	26,56%	24,54%	2,02%
n983	43,90%	44,12%	-0,22%
n984	87,50%	87,50%	0,00%
n985	26,86%	24,54%	2,32%
n987	10,98%	11,03%	-0,05%
n988	87,50%	87,50%	0,00%
n989	26,86%	24,54%	2,32%
n991	12,50%	12,50%	0,00%
n992	87,50%	87,50%	0,00%
n993	26,86%	24,54%	2,32%
n995	91,01%	91,84%	-0,84%
n996	35,51%	30,40%	5,11%
n997	91,12%	92,40%	-1,28%
n998	87,50%	87,50%	0,00%
n999	87,50%	87,50%	0,00%
Média	55,79%	55,46%	0,33%

Tabela 51: Análise do erro no circuito C5315

Erro positivo		Erro negativo	
Sinais com erro	372	Sinais com erro	302
Valor máximo	11,64%	Valor mínimo	-8,53%
Média	3,02%	Média	-2,27%
Desvio padrão	2,49%	Desvio Padrão	1,97%