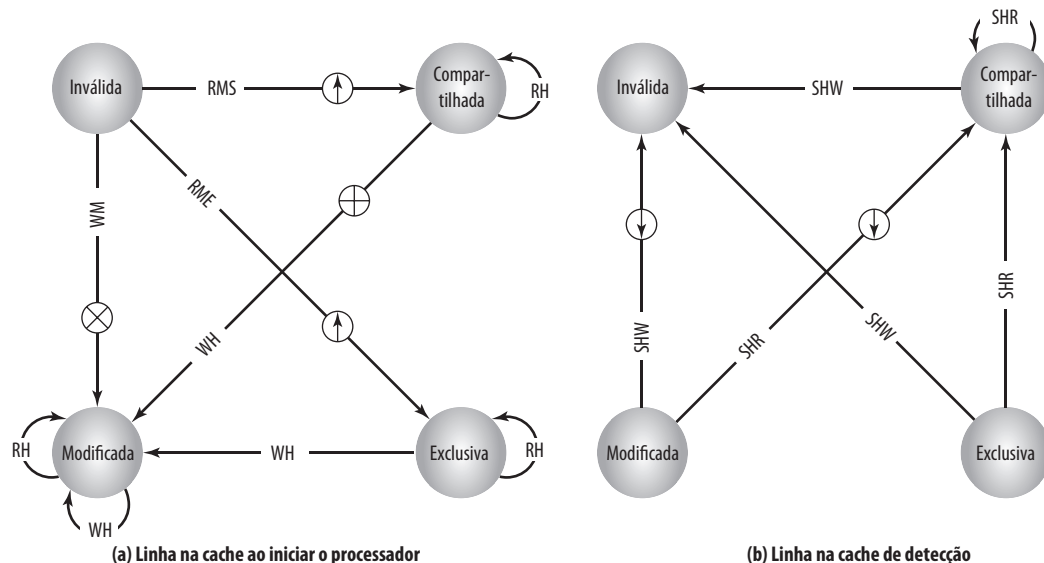


ramento ajuda a esclarecer a lógica do protocolo MESI. A qualquer momento, a linha da cache está em um estado único. Se o próximo evento vem do processador anexo, então a transição é ditada pela Figura 17.7a, e se o próximo evento vem do barramento, a transição é ditada pela Figura 17.7b. Vamos analisar essas transições em mais detalhes.

LEITURA COM FALHA (READ MISS) Quando ocorre uma falha de leitura em uma cache local, o processador inicia uma leitura de memória para ler a linha da memória principal que contém o endereço que está faltando. O processador insere um sinal no barramento que avisa todos os outros processadores/unidades de cache para detectarem a transação. Há vários desfechos possíveis:

- Se outra cache possui uma cópia limpa (não modificada desde a leitura da memória) da linha no estado exclusivo, ela retorna um sinal indicando que compartilhe essa linha. O processador que respondeu passa o estado da sua cópia de exclusiva para compartilhada e o processador que iniciou lê a linha da memória principal e passa a linha na sua cache de inválida para compartilhada.
- Se uma ou mais caches têm uma cópia limpa da linha no estado compartilhado, cada uma delas sinaliza que compartilhe essa linha. O processador que iniciou lê a linha e passa a linha na sua cache de inválida para compartilhada.
- Se outra cache tem uma cópia modificada da linha, então essa cache bloqueia a leitura de memória e fornece a linha para a cache que requisitou por meio do barramento compartilhado. A cache que respondeu muda, então, a sua linha de modificada para compartilhada.² A linha enviada para a cache requisitante é também recebida e processada pelo controlador de memória, que guarda o bloco na memória.

Figura 17.7 Diagrama de transição do estado do protocolo MESI



RH = leitura com acerto (hit)	⬇️ Cópia de linha suja
RMS = leitura com falha, compartilhada	⊕ Transação inválida
RME = leitura com falha, exclusiva	⊗ Leitura com intenção de modificar
WH = escrita com acerto (hit)	⬆️ Preenchimento de linha da cache
WM = escrita com falha	
SHR = detectar acerto na leitura	
SHW = detectar acerto na escrita ou leitura com intenção de modificar	

² Em algumas implementações, a cache com a linha modificada sinaliza o processador que iniciou para tentar novamente. Enquanto isso, o processador com a cópia modificada segura o barramento, escreve a linha modificada de volta na memória principal e passa a linha na sua cache de modificada para compartilhada. Subsequentemente, o processador requisitante tenta novamente e descobre que um ou mais processadores possuem uma cópia limpa da linha no estado compartilhado, conforme descrito no ponto anterior.