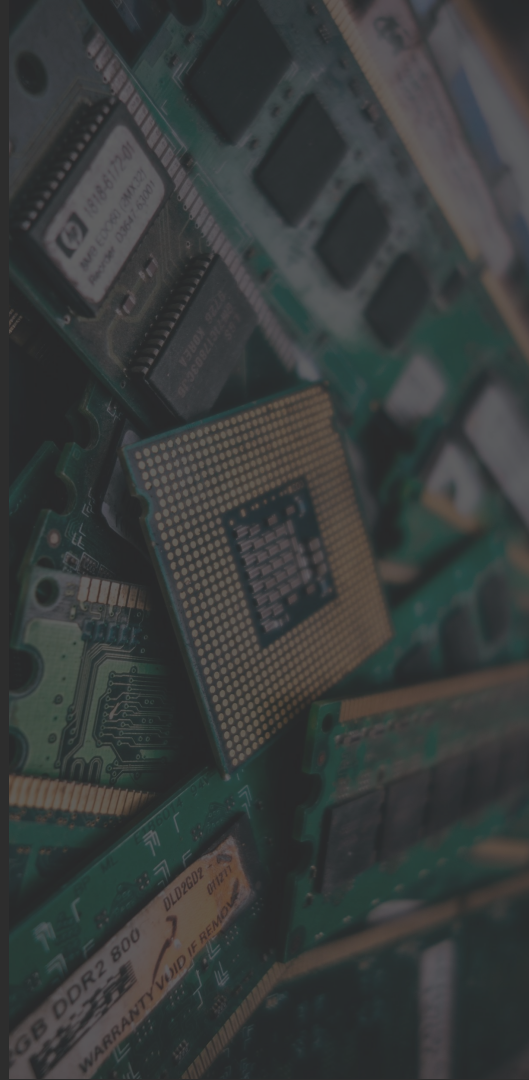


# Evolução da Memória DDR

---



# Índice

DDR - Bases e Definição

DDR2

DDR3

DDR4

DDR5

Conclusão

## Grupo:

Guilherme Tagliati da Silva RA: 17.00375-0

Breno Thomaz Savanini RA:17.00815-8

Raphael Ilias RA:16.00378-0

Julia Catarina RA:16.00645-3

Lucas Menezes RA:16.00683-6



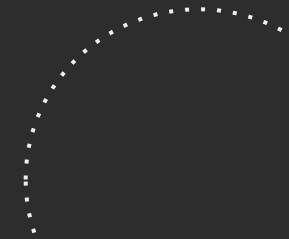
# ■ DDR SDRAM

Conceitos e Definições





# ■ Bases

- DRAM (Dynamic Random Access Memory)
  - SDRAM (Synchronous Dynamic Access Memory)
  - SDR SDRAM ( Single Data Rate Synchronous Dynamic Access Memory)
  - DDR SDRAM (Double Data Rate Synchronous Dynamic Access Memory)
- 

# ■ Diferencial da DDR

Transmissão de dois pacotes de dados no mesmo ciclo de Clock

Mas como é possível ?



# ■ Tecnologia da Memória DDR

## 1 Armazenamento DDR

Processamento em Endereço de Memória funciona como matriz

## 2 Identifica Endereço

Encontrar um endereço de célula (linha e coluna)

## 3 Operações na Célula

No acesso a célula, memórias DDR podem acessar outro endereço na mesma linha

# ■ DDR

- Tensão Padrão de 2.5 V
- 2 bits de Prefetch
- Latência Típica de 3CL
- 184 pinos



# ■ DDR

 POWERED BY DDR MEMORY™	TEMPO DE CICLO NANOSEGUNDO (ns)	FREQ. RELÓGIO BUFFERS E/S (MHZ)	TAXA DE TRANSF. DE DADOS (MT/s)	LARGURA DE BANDA C. SIMPLES (MB/s)	TENSÃO DE ALIMENTAÇÃO (V)
DDR-200	10	100	200	1600	2.5
DDR-266	7.5	133	266	2133	2.5
DDR-333	6	166	333	2667	2.5
DDR-400	5	200	400	3200	2.5



# ■ DDR2

## Conceitos e Definições



# ■ DDR2

- Tensão Padrão de 1.8 V
- 4 bits de Prefetch
- Latência Típica de 5CL
- 240 pinos



# ■ DDR2

	TEMPO DE CICLO NANOSEGUNDO (ns)	FREQ. RELÓGIO BUFFERS E/S (MHZ)	TAXA DE TRANSF. DE DADOS (MT/s)	LARGURA DE BANDA C. SIMPLES (MB/s)	TENSÃO DE ALIMENTAÇÃO (V)
DDR2-400	5.00	200	400	3200	1.8
DDR2-533	3.75	266	533	4266	1.8
DDR2-667	3.00	333	667	5333	1.8
DDR2-800	2.50	400	800	6300	1.8
DDR2-1066	1.88	533	1066	8533	1.8

# ■ DDR3

## Conceitos e Definições



# ■ DDR3

- 240 Pinos;
- 90 nanômetros ( Samsung 30 nm)
- ASR (Automatic Self-Refresh) e SRT (Self-Refresh Temperature).





# DDR3

	TEMPO DE CICLO NANOSEGUNDO (ns)	FREQ. RELÓGIO BUFFERS E/S (MHZ)	TAXA DE TRANSF. DE DADOS (MT/s)	LARGURA DE BANDA C. SIMPLES (MB/s)	TENSÃO DE ALIMENTAÇÃO (V)
DDR3-800	2.5	400	800	6400	1.5
DDR3-1066	1.875	533	1066	8533	1.5
DDR3-1333	1.5	667	1333	10667	1.5
DDR3-1600	1.25	800	1600	12800	1.5
DDR3-1866	1.071	933	1866	14933	1.5
DDR3L-1066	1.875	533	1066	8533	1.35
DDR3L-1333	1.5	667	1333	10667	1.35
DDR3L-1600	1.25	800	1600	12800	1.35

# ■ DDR4

## Conceitos e Definições



# ■ DDR4

- 288 Pinos (48 pinos a mais que a DDR3);
- 20 nanômetros;
- Ligeiramente mais espessa que a DDR3;
- Leve curvatura na borda inferior;
- Na parte central os pinos são mais longos;
- DBI (Data Bus Inversion), CRC (Cyclic Redundancy Check) e Paridade CA.







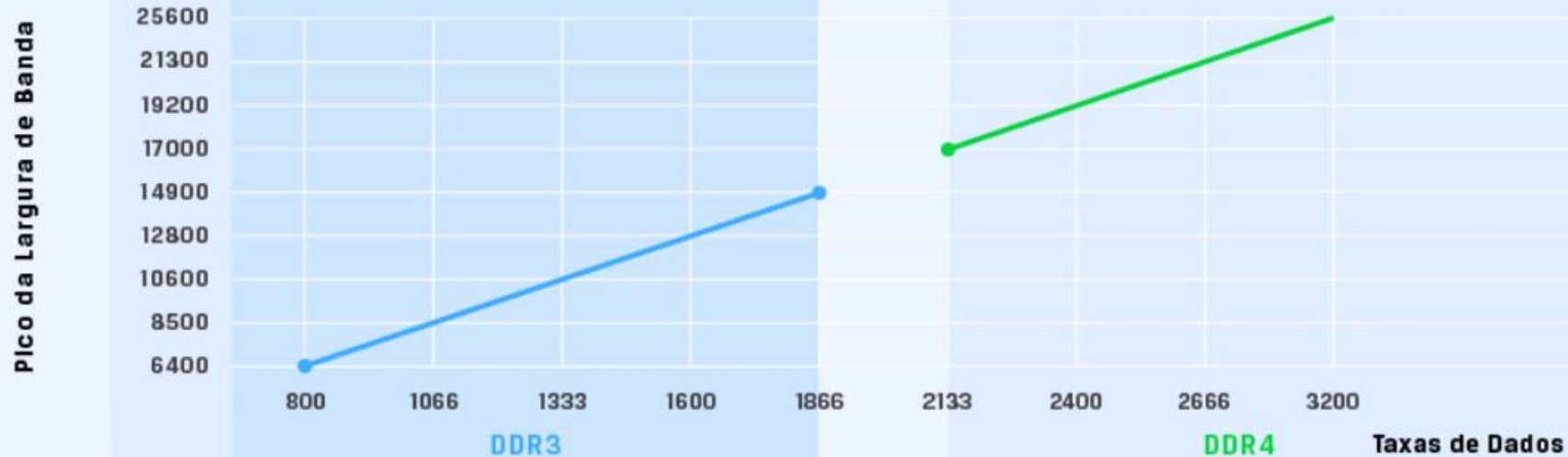
# DDR4

 POWERED BY DDR MEMORY™	TEMPO DE CICLO NANOSEGUNDO (ns)	FREQ. RELÓGIO BUFFERS E/S (MHZ)	TAXA DE TRANSF. DE DADOS (MT/s)	LARGURA DE BANDA C. SIMPLES (MB/s)	TENSÃO DE ALIMENTAÇÃO (V)
DDR4-1600	1.25	800	1600	12800	1.2
DDR4-1866	1.072	933	1866	14928	1.2
DDR4-2133	0.938	1067	2133	17064	1.2
DDR4-2400	0.833	1200	2400	19200	1.2
DDR4-2666	0.750	1333	2666	21328	1.2
DDR4-3200	0.625	1600	3200	25600	1.35
DDR4-3733	0.536	1867	3733	29864	1.35
DDR4-4266	0.469	2133	4266	34128	1.4

# ■ DDR4 x DDR3 : Latência

MEMORY CLOCK	DDR3 CAS LATENCY	DDR4 CAS LATENCY
1600 MHz	10	
1866 MHz	11	
2133 MHz	11	15
2400 MHz	11	15
2666 MHz	11	15
2800 MHz	12	16
3000 MHz		16
3200 MHz		16
3333 MHz		16
3466 MHz		18
3600 MHz		18

# ■ DDR4 x DDR3



# ■ DDR5

## Conceitos e Definições



# ■ DDR5

- Frequência de até 6400 MHz
- Dobro de densidade do DDR4
- Lançamento até o fim de 2019





# DDR5

Memory Type	Release Year	Bandwidth	Pins per Ch	Voltage (V)	Prefetch
SDR	1993	1.6 GB/s	168	3.3	1n
DDR	2000	3.2 GB/s	184	2.5/2.6	2n
DDR2	2003	8.5 GB/s	240	1.8	4n
DDR3	2007	17 GB/s	240	1.35/1.5	8n
DDR4	2014	25.6 GB/s	380	1.2	8n
DDR5	<b>2019</b>	<b>32GB/s</b>	<b>380</b>	<b>1.1</b>	<b>8/16n</b>
HBM2	2016	307 GB/s	2860	1.25/1.35	16n
GDDR6	2016	72 GB/s	180	1.35	16n

# ■ GDDR



# ■ Referências:

- [https://en.wikipedia.org/wiki/Multi-channel\\_memory\\_architecture](https://en.wikipedia.org/wiki/Multi-channel_memory_architecture)
- <https://www.techwalla.com/articles/what-is-the-difference-between-dram-sdram>
- <https://www.hardwaresecrets.com/everything-you-need-to-know-about-ddr-ddr2-and-ddr3-memories/5/>
- <https://www.transcend-info.com/Support/FAQ-296>







Obrigado pela atenção!