

Alunos: Guilherme Amorim, Matheus Silva, Thiago Santos

## Etapa 2: Detalhamento (ou refinamento) dos requisitos do projeto.

Detalhe cada instrução da ISA do seu processador (equivale ao detalhamento do datasheet do seu processador)

CORE INSTRUCTION FORMATS														
	31	27	26	25	24	20	19	15	14	12	11	7	6	0
R	funct7				rs2		rs1		funct3		rd		opcode	
I	imm[11:0]					rs1		funct3		rd		opcode		
S	imm[11:5]				rs2		rs1		funct3		imm[4:0]		opcode	
SB	imm[12 10:5]				rs2		rs1		funct3		imm[4:1 11]		opcode	
U	imm[31:12]										rd		opcode	
UJ	imm[20 10:1 11 19:12]										rd		opcode	

Mnemonico	ADD																															
Mapa de campos da sua instrucao	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	0	0	0	0	0	0	0	Rs2						Rs1					0	0	0	rd				0	1	1	0	0	1	1
Opcode	0110011																															
Tamanho da instrucao	32 bits																															
Quantidade de operandos	2																															
Exemplo de uso da instrucao	ADD X3 X1 X2																															
Discriminacao de cada operando	R[rd] = R[rs1] + R[rs2] Rd = Registrador de Destino (5) Rs1 = Registrador de origem 1 (5)																															

(tamanho e tipo)	Rs2 = Registrador de origem 2 (5)
Tipo de operações que a instrução demanda	Adição de operandos
Tipo de endereçamento da instrução	Registrador

Mnemônico	SUB																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	0	1	0	0	0	0	0	Rs2					Rs1					0	0	0	rd					0	1	1	0	0	1	1
Opcode	0110011																															
Tamanho da instrução	32 bits																															
Quantidade de operandos	2																															
Exemplo de uso da instrução	SUB X3 X1 X2																															
Discriminação de cada operando (tamanho e tipo)	R[rd] = R[rs1] - R[rs2] Rd = Registrador de Destino (5) Rs1 = Registrador de origem 1 (5) Rs2 = Registrador de origem 2 (5)																															
Tipo de operações que a instrução demanda	Subtração de operandos																															
Tipo de endereçamento da instrução	Registrador																															

Mnemônico	ADDI																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	Imm												Rs1					0	0	0	rd				0	0	1	0	0	1	1	
Opcode	0010011																															
Tamanho da instrução	32 bits																															
Quantidade de operandos	2																															
Exemplo de uso da instrução	ADDI X3 X1 5																															
Discriminação de cada operando (tamanho e tipo)	R[rd] = R[rs1] + Imm Rd = Registrador de Destino (5) Rs1 = Registrador de origem 1 (5) Imm = Imediato (12)																															
Tipo de operações que a instrução demanda	Adição entre um operando e um valor imediato																															
Tipo de endereçamento da instrução	Registrador																															

Mnemônico	SLL																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	0	0	0	0	0	0	0	Rs2					Rs1					0	0	1	rd					0	1	1	0	0	1	1
Opcode	0110011																															
Tamanho da instrução	32 bits																															
Quantidade de operandos	2																															

Exemplo de uso da instrução	SLL X3 X1 X2
Discriminação de cada operando (tamanho e tipo)	$R[rd] = R[rs1] \ll R[rs2]$ Rd = Registrador de Destino (5) Rs1 = Registrador de origem 1 (5) Rs2 = Registrador de origem 2 (5)
Tipo de operações que a instrução demanda	Deslocamento de bits para a esquerda
Tipo de endereçamento da instrução	Registrador

Mnemônico	SRL																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	0	0	0	0	0	0	0	Rs2					Rs1					1	0	1	rd					0	1	1	0	0	1	1
Opcode	0110011																															
Tamanho da instrução	32 bits																															
Quantidade de operandos	2																															
Exemplo de uso da instrução	SRL X3 X1 X2																															
Discriminação de cada operando (tamanho e tipo)	R[rd] = R[rs1] >> R[rs2] Rd = Registrador de Destino (5) Rs1 = Registrador de origem 1 (5) Rs2 = Registrador de origem 2 (5)																															
Tipo de operações que	Deslocamento de bits para a direito																															

a instrução demanda	
Tipo de endereçamento da instrução	Registrador

Mnemônico	LW																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	Imm												X			0	1	0	rd			0	0	0	0	0	1	1				
Opcode	0000011																															
Tamanho da instrução	32 bits																															
Quantidade de operandos	2																															
Exemplo de uso da instrução	LW X3 5																															
Discriminação de cada operando (tamanho e tipo)	R[rd] = M[Imm] Rd = Registrador de Destino (5) X = Don't care Imm = Imediato (12)																															
Tipo de operações que a instrução demanda	Carrega uma word de dados da memória para o registrador.																															
Tipo de endereçament o da instrução	Direto																															

Mnemônico	SW																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	Imm												X			0	1	0	rd			0	1	0	0	0	1	1				

Opcode	0100011
Tamanho da instrução	32 bits
Quantidade de operandos	2
Exemplo de uso da instrução	SW X3 5
Discriminação de cada operando (tamanho e tipo)	M[Imm] = R[rd] Rd = Registrador de Destino (5) X = Don't care Imm = Imediato (12)
Tipo de operações que a instrução demanda	Carrega uma word de dados do registrador para a memória.
Tipo de endereçamento da instrução	Direto

Mnemônico	LB																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	Imm												X			0	0	0	rd			0	0	0	0	0	1	1				
Opcode	0000011																															
Tamanho da instrução	32 bits																															
Quantidade de operandos	2																															
Exemplo de uso da instrução	LB X3 5																															
Discriminação de cada operando	R[rd] = M[Imm] Rd = Registrador de Destino (5)																															

(tamanho e tipo)	X = Don't care Imm = Imediato (12)
Tipo de operações que a instrução demanda	Carrega um byte de dados da memória para o registrador.
Tipo de endereçamento da instrução	Direto

Mnemônico	SB																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	Imm												X			0	0	0	rd			0	1	0	0	0	1	1				
Opcode	0100011																															
Tamanho da instrução	32 bits																															
Quantidade de operandos	2																															
Exemplo de uso da instrução	SB X3 5																															
Discriminação de cada operando (tamanho e tipo)	M[Imm] = R[rd] Rd = Registrador de Destino (5) X = Don't care Imm = Imediato (12)																															
Tipo de operações que a instrução demanda	Carrega um byte de dados do registrador para a memória.																															
Tipo de endereçament o da instrução	Direto																															

Mnemônico	BEQ																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	Imm												Rs1					0	1	0	Rs2					0	1	0	0	0	1	1
Opcode	0100011																															
Tamanho da instrução	32 bits																															
Quantidade de operandos	2																															
Exemplo de uso da instrução	BEQ X1 X2 32																															
Discriminação de cada operando (tamanho e tipo)	PC = (R[s1] == R[s2]) ? PC+IMM : PC Rs1 = Registrador de origem 1 (5) Rs2 = Registrador de origem 2 (5) PC = Program counter Imm = Imediato (12)																															
Tipo de operações que a instrução demanda	Efetua um branch condicional (igualdade).																															
Tipo de endereçamento da instrução	Referente a PC																															

Mnemônico	BNE																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	Imm												Rs1				0	0	1	Rs2				0	1	0	0	0	1	1		
Opcode	0100011																															
Tamanho da instrução	32 bits																															
Quantidade de operandos	2																															



Exemplo de uso da instrução	BNE X1 X2 32
Discriminação de cada operando (tamanho e tipo)	$PC = (R[s1] \neq R[s2]) ? PC+IMM : PC$ Rs1 = Registrador de origem 1 (5) Rs2 = Registrador de origem 2 (5) PC = Program counter Imm = Imediato (12)
Tipo de operações que a instrução demanda	Efetua um branch condicional (desigualdade).
Tipo de endereçamento da instrução	Referente a PC

Mnemônico	SLT																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	0	0	0	0	0	0	0	Rs2					Rs1					0	1	0	rd					0	1	1	0	0	1	1
Opcode	0110011																															
Tamanho da instrução	32 bits																															
Quantidade de operandos	2																															
Exemplo de uso da instrução	SLT X3 X1 X2																															
Discriminação de cada operando	R[rd] = (R[rs1] < R[rs2]) ? 1 : 0 Rd = Registrador de Destino (5)																															

(tamanho e tipo)	Rs1 = Registrador de origem 1 (5) Rs2 = Registrador de origem 2 (5)
Tipo de operações que a instrução demanda	Coloca o nível logico no registrador de saída de acordo com os sinais de entrada. Caso o valor armazenado no registrador um for menor que presente no registrador dois, teremos nível alto na saída e no caso contrário nível baixo
Tipo de endereçamento da instrução	Registrador

Mnemônico	SLTI																															
Mapa de campos da sua instrução	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
	Imm												Rs1					0	1	0	rd					0	0	1	0	0	1	1
Opcode	0010011																															
Tamanho da instrução	32 bits																															
Quantidade de operandos	2																															
Exemplo de uso da instrução	SLTI X3 X2 5																															
Discriminação de cada operando (tamanho e tipo)	R[rd] = (R(rs1) < Imm) ? 1 : 0 Rd = Registrador de Destino (5) Rs1 = Registrador de origem 1 (5) Imm = Imediato (12)																															
Tipo de operações que a instrução demanda	Coloca o nível logico no registrador de saída de acordo com os sinais de entrada. Caso o valor armazenado no registrador um for menor que presente imediato, teremos nível alto na saída e no caso contrário nível baixo																															
Tipo de endereçament o da instrução	Registrador																															

Mnemônico	J																																																																	
Mapa de campos da sua instrução	<table><tr><td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>09</td><td>08</td><td>07</td><td>06</td><td>05</td><td>04</td><td>03</td><td>02</td><td>01</td><td>00</td></tr><tr><td colspan="26">Imm</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td></tr></table>	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	Imm																										0	0	0	0	0	1	0
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00																																			
Imm																										0	0	0	0	0	1	0																																		
Opcode	0000010																																																																	
Tamanho da instrução	32 bits																																																																	
Quantidade de operandos	1																																																																	
Exemplo de uso da instrução	J 50																																																																	
Discriminação de cada operando (tamanho e tipo)	PC[31 : 0] = PC[31:28] + Imm + 00 PC = Program counter (31) PC[31:28] = quatro bits mais significativos do PC original Imm = Imediato (26) 00 = dois últimos bits do PC final																																																																	
Tipo de operações que a instrução demanda	Atualiza o program counter, garantindo um desvio de fluxo para a instrução indicada pelo imediato																																																																	
Tipo de endereçament o da instrução	Registrador																																																																	

#### Referências:

- <https://www.geeksforgeeks.org/addressing-modes/>