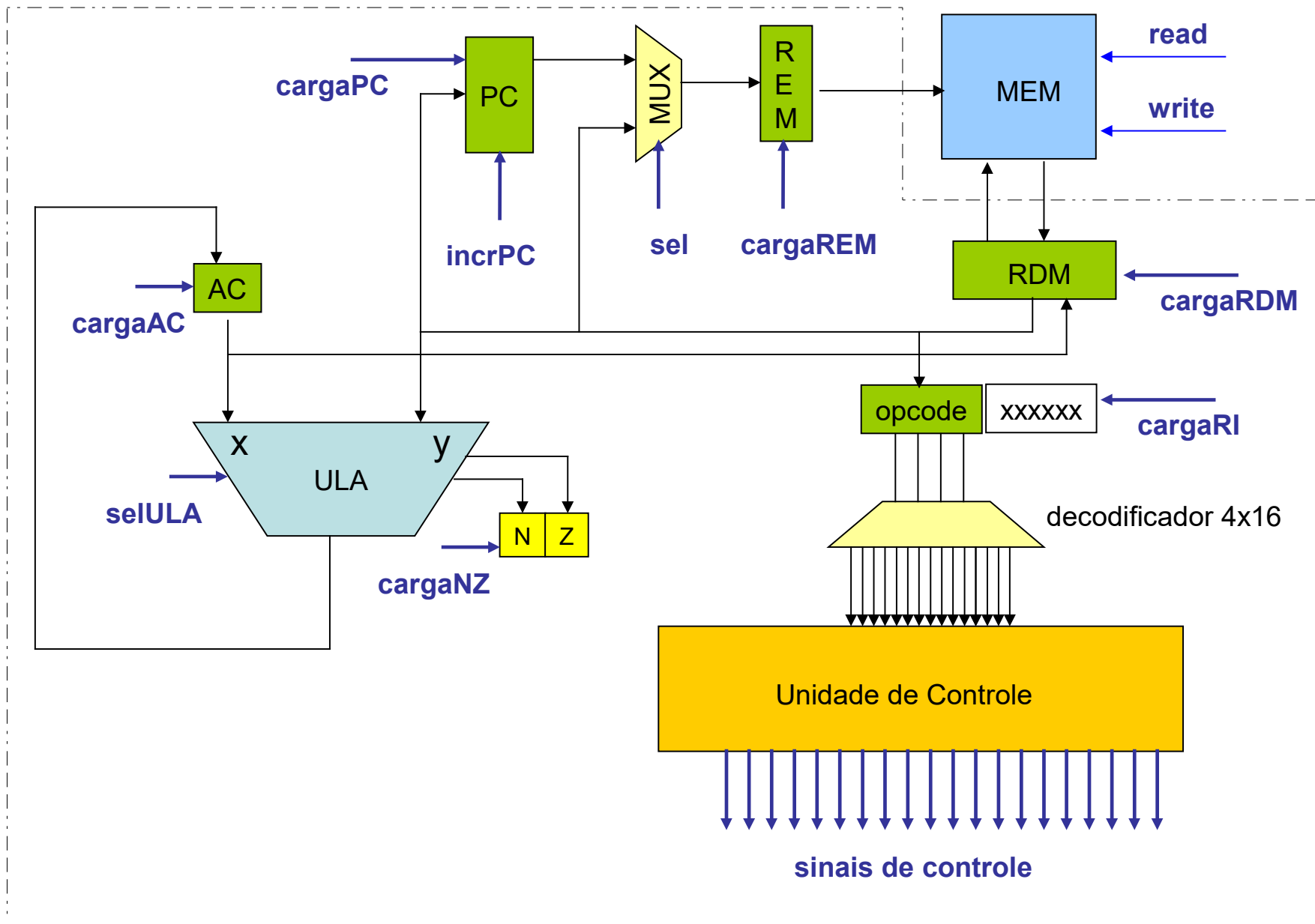


# Chips e Barramentos de CPU

Ronaldo Luiz Alonso

# Chips de CPU

- Todas as CPUs modernas estão contidas em um único chip.
- O chip de CPU possui pinos que interagem com o meio externo (memória e dispositivos de E/S). Os pinos podem ser de:
  - Dados
  - Endereço
  - Controle
- Tais pinos são conectados à pinos similares na memória ou em dispositivos de E/S.



# Chips de CPU

- Exemplo: para buscar uma instrução a CPU coloca o endereço de memória de onde começa a instrução nos pinos de endereço.
- Ela ativa então uma ou mais linhas de controle informando à memória que ela quer ler uma palavra.
- A memória responde colocando a palavra nos pinos de dados da CPU e ativando um sinal que informa o que acabou de fazer.
- Quando percebe esse sinal a CPU lê a palavra a partir dos pinos de dados para um registrador interno.

# Chips de CPU

- A instrução pode requisitar a leitura ou escrita da palavra de dados, neste caso, todo o processo é repetido para a palavra adicional.
- O desempenho da CPU é medido pelo número de pinos de endereço e de dados.
  - Uma CPU com  $m$  pinos de endereço, pode endereçar  $2^m$  localizações de memória.
  - Valores comuns de  $m$  são 16,20,32 e 64.

# Chips de CPU

- Uma CPU com 8 pinos de dados, executará 4 operações para ler uma palavra de 32 bits. Já uma CPU com 32 pinos de dados, irá ler essa palavra em uma única operação.
- O chip com 32 pinos de dados é, portanto, mais rápido.

# Chips de CPU

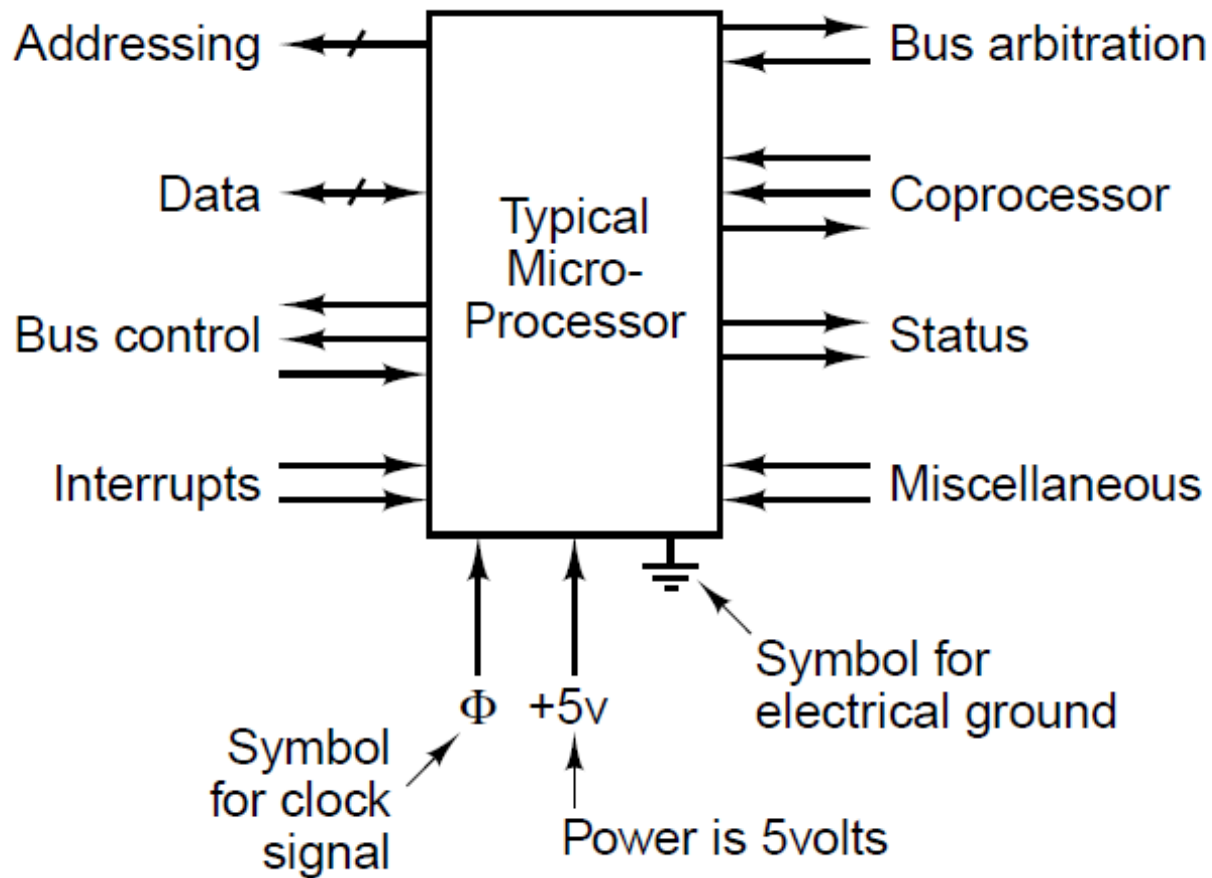
- Os pinos de controle regulam a temporização de palavras que vem da CPU ou que vão para ela.
- Todas as CPUs tem pinos para alimentação e terra, além de pinos para o sinal de clock.

# Chips de CPU

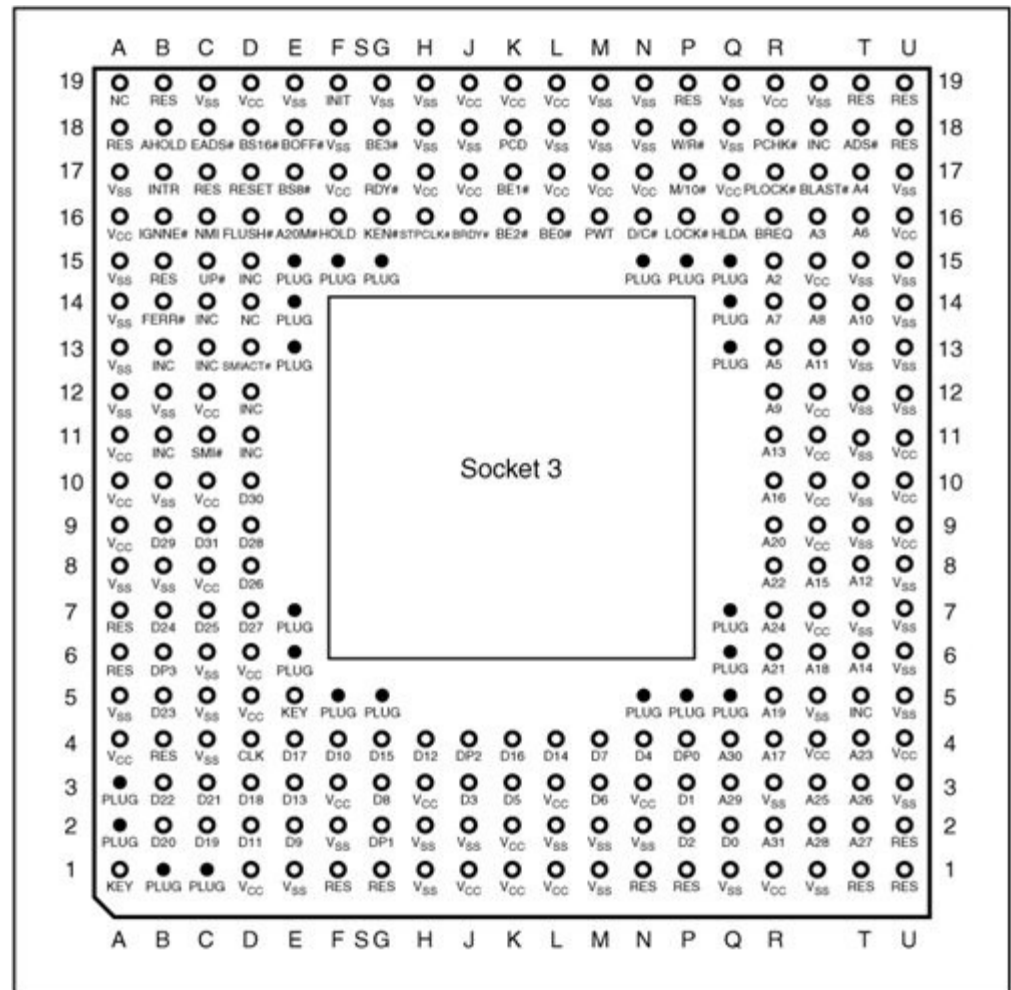
- Os pinos de controle são divididos em:
  - Controle de barramento.
  - Interrupções.
  - Arbitragem de barramento.
  - Sinalização de co-processador.
  - Estado do processador.



# Diagrama Típico de um Microprocessador



# Processador Pentium III



# Chips de CPU

- Os pinos de interrupção são entradas que vem dos dispositivos de E/S para a CPU.
- Exemplo:
  - Quando pressinamos uma tecla em um teclado, o código de varredura da tecla vai para um registrador interno do teclado. O controlador de teclado, gera uma interrupção na CPU (ativa o pino INT). A CPU para a execução do programa que está rodando e chama a rotina de tratamento de interrupção. Esta rotina irá ler o código de varredura da tecla digitada.

# Chips de CPU

- Outro exemplo: Uma grande parte das CPUs pode pedir para um dispositivo fazer alguma coisa. Por exemplo: pode pedir para um disco ler um setor para a memória. Após esse pedido a CPU vai fazer outra coisa, como por exemplo continuar a execução do programa corrente enquanto o dispositivo, em paralelo, está executando o pedido.
- Ao terminar a leitura, o controlador do dispositivo, gera uma interrupção na CPU. A rotina de interrupção é então chamada para tratar a interrupção.
- Algumas CPUs tem um pino para reconhecer o sinal de interrupção (INTACK).

# Chips de CPU

- Os pinos de arbitragem de barramento, são necessários para disciplinar o tráfego nos barramentos, para impedir que dois dispositivos tentem usá-lo ao mesmo tempo (barramentos de dados e endereço).
- Do ponto de vista da arbitragem, a CPU é um dispositivo que tem que requisitar o barramento, como qualquer outro.

# Chips de CPU

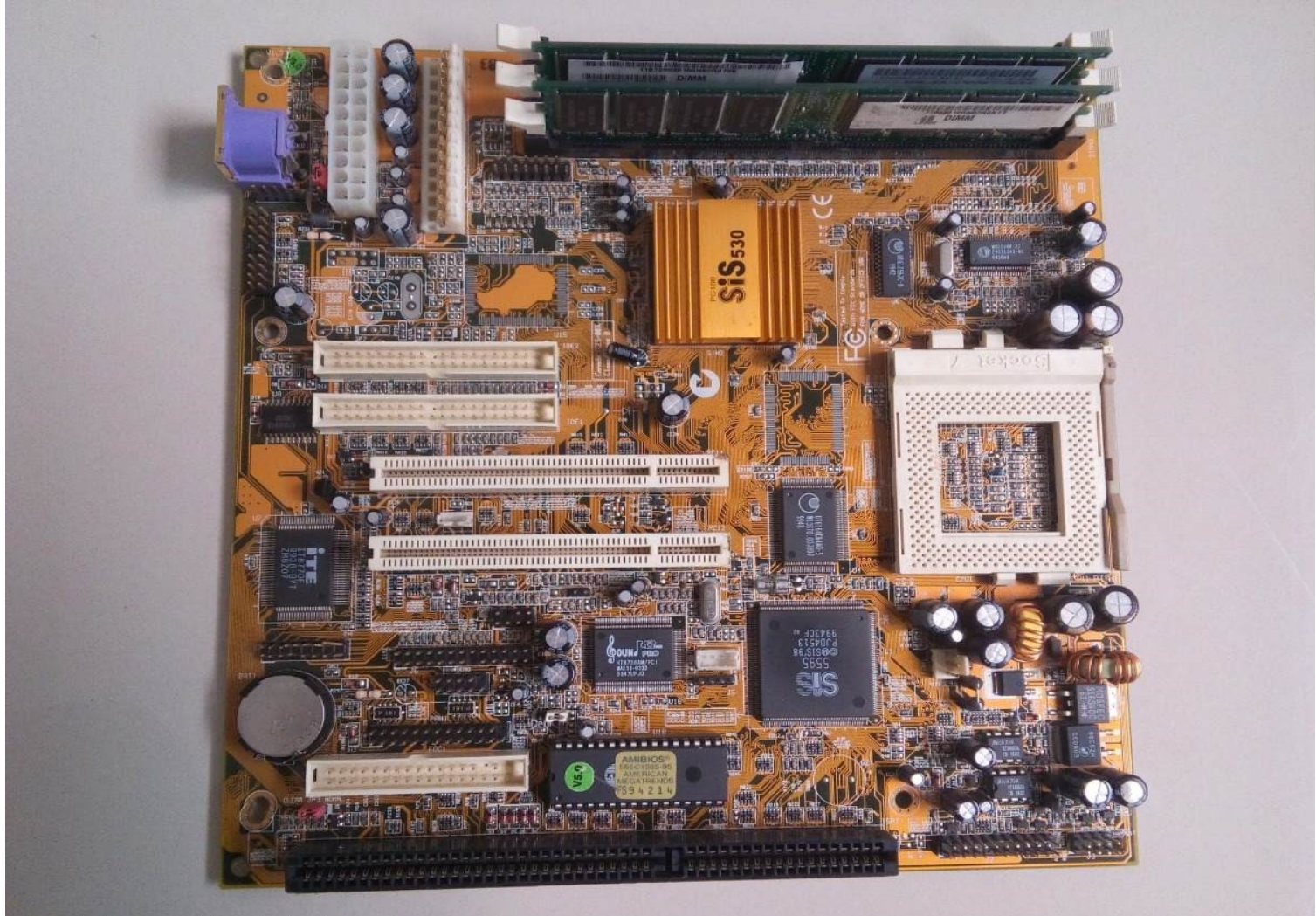
- Algumas CPUs (antigas) são projetadas para funcionar com co-processadores (que realizam operações com pontos flutuantes) e processadores gráficos.
- Há portanto, nestas CPUs, pinos especiais dedicados a fazer e a aceitar requisições.

# Barramentos

- Barramento é um caminho elétrico comum entre vários dispositivos.
- Podem ser internos ou externos à CPU.
- Os primeiros PCs tinham somente um barramento externo, denominado **barramento de sistema**.
- Este barramento possuía conectores com intervalos regulares para ligação com memória e placas de E/S.

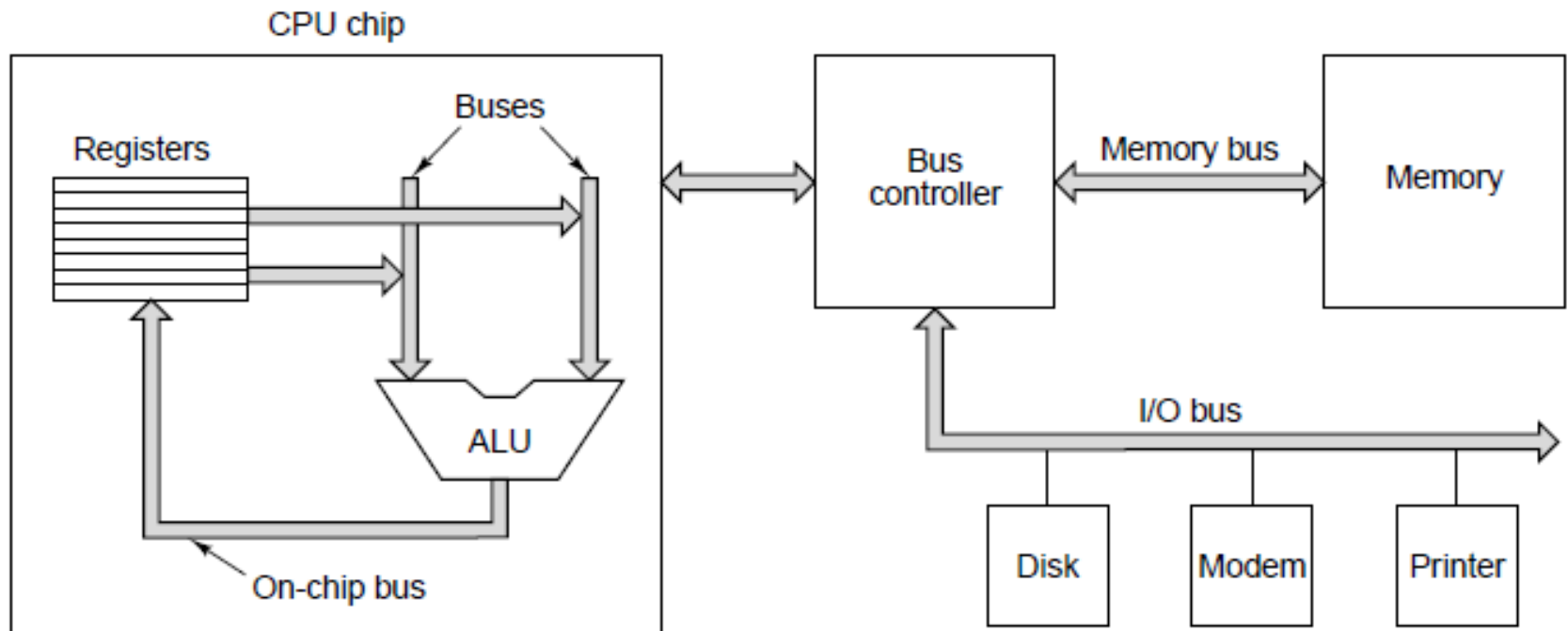


# Barramentos





# Organização Básica de um Computador



# Barramentos

- Geralmente representados por setas largas ou por uma seta fina cortada com um número indicando a quantidade de bits.
- O conjunto de regras às quais os dispositivos devem obedecer para ter acesso ao barramento, constituem o **protocolo de barramento**.
- Além disso, existem várias especificações mecânicas e elétricas para o barramento.

# Exemplos de Barramentos

- ISA (industry standard architecture), PCI (peripheral connect interface), EISA (extended ISA), USB (universal serial bus) , SCSI (usado em discos rígidos), VME (usado em equipamentos de laboratório de física).
- Alguns equipamentos são ativos e podem iniciar transferências usando o barramento, enquanto outros são passivos e esperam requisições.
- Os ativos, denominamos **mestres** e os passivos **escravos**.

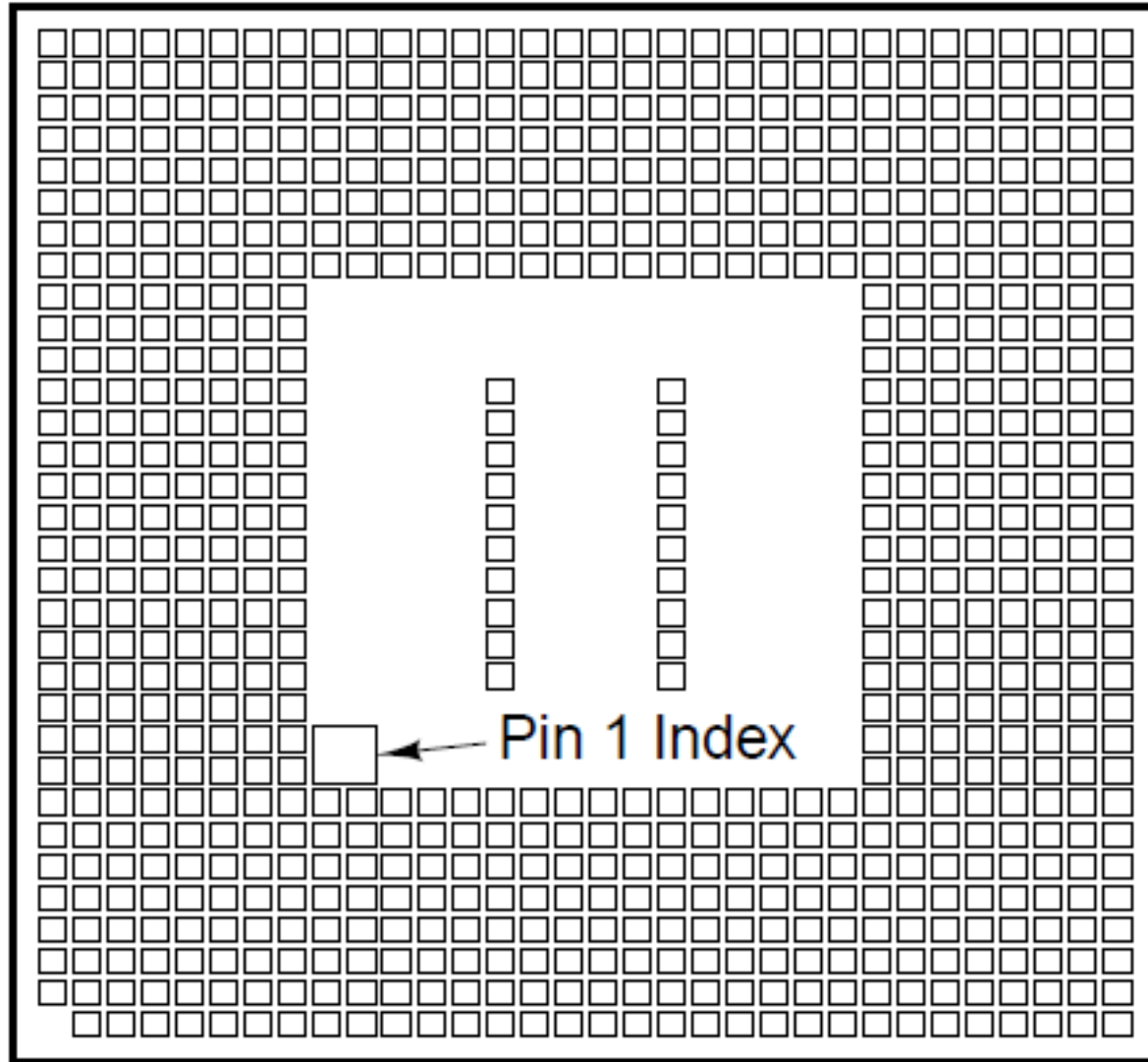
# Mestres e Escravos

- Quando a CPU quer ler um setor de disco para memória, ela programa o controlador de disco e ordena para que ele faça a leitura. A CPU é o mestre e o controlador o escravo.
- O controlador de disco, logo em seguida, age como mestre ao transferir as palavras lidas do disco para a memória.
- Em nenhuma circunstância a memória pode ser mestre.

# Mestres e Escravos

Master	Slave	Example
CPU	Memory	Fetching instructions and data
CPU	I/O device	Initiating data transfer
CPU	Coprocessor	CPU handing instruction off to coprocessor
I/O	Memory	DMA (Direct Memory Access)
Coprocessor	CPU	Coprocessor fetching operands from CPU

# Pinos da CPU



# Pinos do Barramento

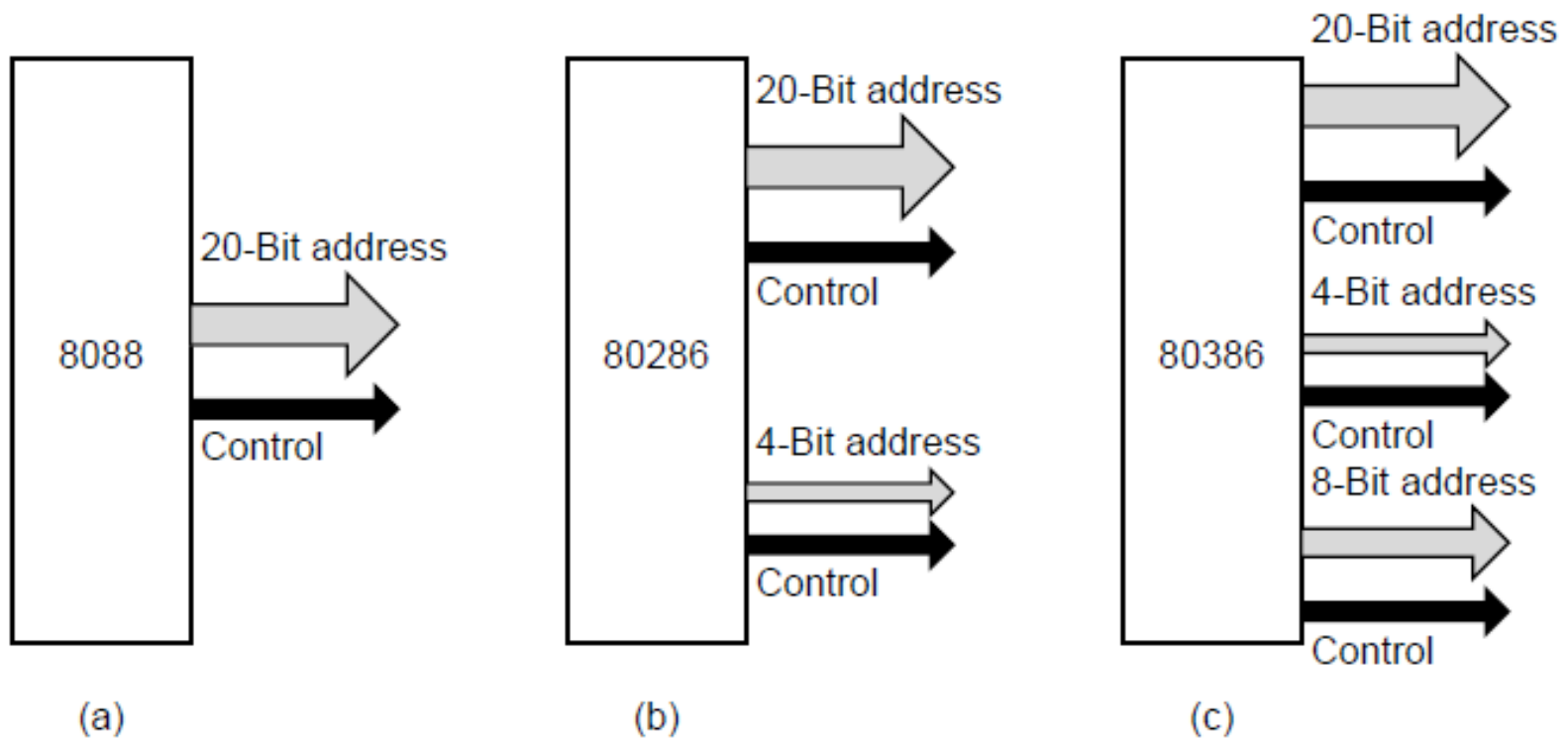
- Assim como os pinos da CPU, os pinos do barramento podem ser de dados, de endereço e de controle. Porém não existe necessariamente um mapeamento um para um entre os pinos da CPU e os pinos do barramento.

# Largura do Barramento

- É a quantidade de linhas que o barramento possui.
- Define o número de bytes em que a CPU opera.
- O barramento EISA (extended ISA) do 386, criado por razões de compatibilidade, é muito mais confuso do que se tivesse 32 bits desde o início do projeto.



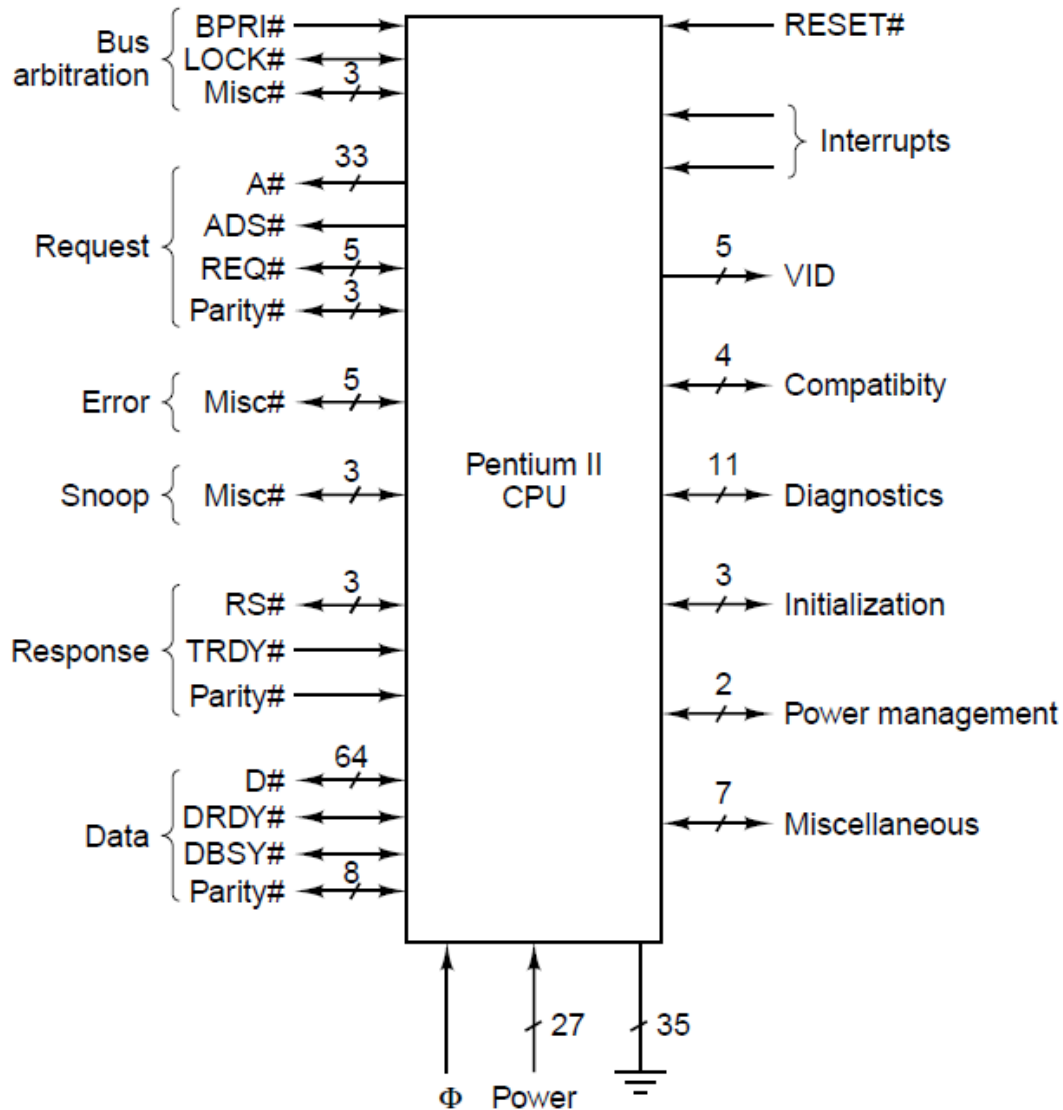
# Crescimento do Barramento de Endereços com o tempo



# Aumento do fluxo de dados

- O aumento no fluxo de dados em um barramento pode ser conseguido:
  - Aumentando-se a largura do barramento.
  - Diminuindo o tempo de transferência de dados e fazendo-se mais transferências.
- O aumento no número de pinos, pode ser reduzido por uma técnica denominada **multiplexação**.

# Pinagem do Pentium II

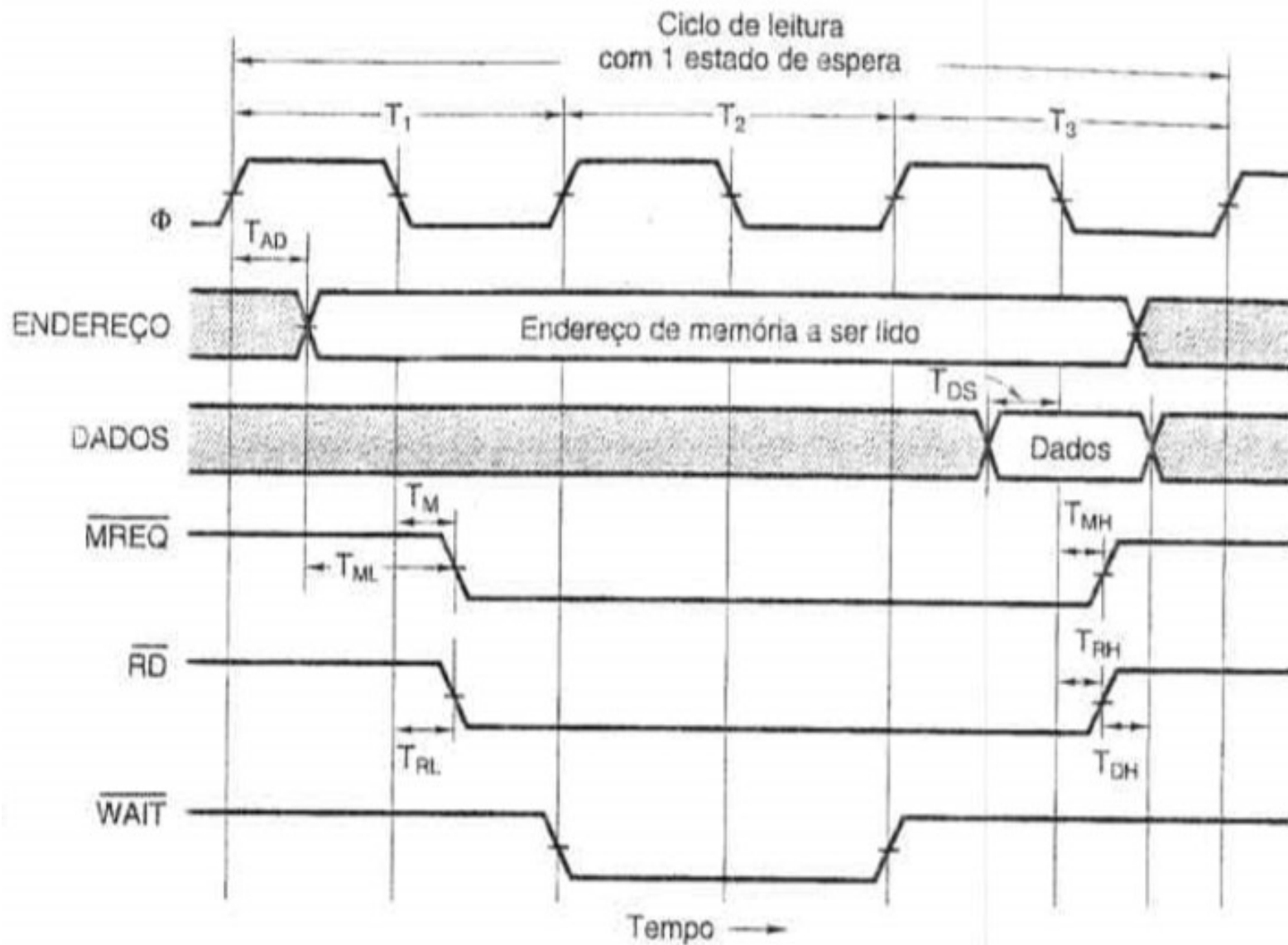


# Clock do Barramento

- Barramento síncrono: possui uma linha comandada por um oscilador de cristal. Todas as atividades do barramento demoram um múltiplo inteiro do ciclo, denominado ciclo de barramento.
- Barramento assíncrono: não tem relógio mestre. Ciclos de barramento podem ter qualquer largura requerida.

# Barramento Síncrono

- Neste exemplo:
  - Frequência: 100 Mhz
  - Período: 10 ns.
  - Tempo de leitura de memória: 15 ns.
  - Tempo de subida ou descida do sinal: 1ns.
  - Com esses dados, para ler uma palavra devemos usar 3 ciclos de barramento.



Símbolo	Parâmetro	Mín.	Máx.	Unidade
$T_{AD}$	Atraso de saída do endereço		4	nsec
$T_{ML}$	Endereço estável antes de $\overline{MREQ}$	2		nsec
$T_M$	Atraso de $\overline{MREQ}$ desde a borda descendente de $\Phi$ em T1		3	nsec
$T_{RL}$	Atraso de $\overline{RD}$ desde a borda descendente de $\Phi$ em T1		3	nsec
$T_{DS}$	Tempo de ajuste dos dados antes da borda descendente de $\Phi$	2		nsec
$T_{MH}$	Atraso de $\overline{MREQ}$ desde a borda descendente de $\Phi$ em T3		3	nsec
$T_{RH}$	Atraso de $\overline{RD}$ desde a borda descendente de $\Phi$ em T3		3	nsec
$T_{DH}$	Tempo de sustentação dos dados desde a negação de $\overline{RD}$	0		nsec

# Barramentos Assíncronos

- Nos barramentos síncronos o tempo do ciclo de barramento é sempre múltiplo do período de clock.
- Ainda que a CPU possa concluir o ciclo de barramento em 3,1 períodos de relógio, o ciclo de barramento irá demorar 4 períodos de clock.



# Barramentos Assíncronos

- Outro problema de barramentos síncronos é que uma definido o protocolo de barramento e construídas placas de E/S para ele, é difícil aproveitar futuros avanços da tecnologia.
- Se um barramento síncrono tiver uma coleção de heterogênea de dispositivos, uns mais rápidos e outros mais lentos, o protocolo de barramento precisa ser ajustado para o mais lento. Ou seja, os mais rápidos não podem usar todo o seu potencial.

# Barramentos Assíncronos

1.  $\overline{MSYN}$  é ativado.
2.  $\overline{SSYN}$  é ativado em resposta a  $\overline{MSYN}$ .
3.  $\overline{MSYN}$  é negado em resposta a  $\overline{SSYN}$ .
4.  $\overline{SSYN}$  é negado em resposta à negação de  $\overline{MSYN}$ .

