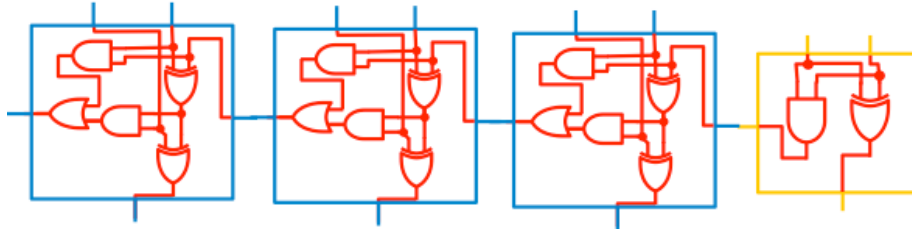
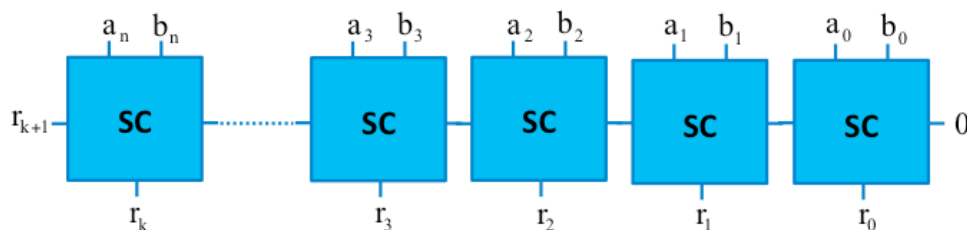


QUESTÕES CAPÍTULO 5 TEORÍA

Problema 5.1 Qual o atraso do caminho crítico do circuito abaixo, considerando que cada porta lógica resulta em um atraso de 3 ns?



Problema 5.2 Qual o atraso do caminho crítico do circuito abaixo, considerando que cada bloco resulta em um atraso de 5 ns?



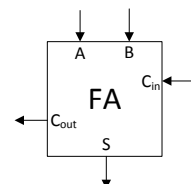
Problema 5.3 Considere um somador completo (*Full-Adder*) de 1 bit com entradas (A, B, C_{in}) e saídas (S, C_{out}). Assuma os tempos máximos de propagação indicados na tabela.

- Desenhe o circuito lógico de um somador binário **Adder4** com entradas A e B de 4 bits e saída S , também de 4 bits. O somador deverá incluir também uma entrada de C_{in} e uma saída de C_{out} .
- Calcule o tempo máximo de propagação do somador **Adder4** concebido. Justifique com os cálculos que realizar.

t_{pMAX} [ns]	S	C_{out}
A	16	12
B	16	12
C_{in}	8	6

Problema 5.4 Considere um somador completo (*Full-Adder*) de 1 bit com entradas (A, B, C_{in}) e saídas (S, C_{out}).

- Desenhe o circuito lógico da função $S(A, B, C_{in})$. Utilize apenas as seguintes portas lógicas: XOR2, AND2, AND3, OR2, OR3.



- Considerando os tempos de propagação correspondentes a cada uma das portas lógicas utilizadas, calcule os seguintes tempos máximos de propagação:

$$t_p(A \rightarrow S)$$

$$t_p(C_{in} \rightarrow S)$$

	XOR2	AND2 OR2	AND3 OR3
t_{pLH} [ns]	10	6	8
t_{pHL} [ns]	12	8	10

Problema 5.5. Usando unicamente um somador de 4 bits implemente:

- a) Um somador de 3 bits, com *carry-in* e *carry-out*;
- b) Dois somadores independentes de 1 bit (*Full-Adder*);
- c) Um somador de um bit (*Full-Adder*) e um somador de dois bits operando de forma independente.
- d) Um gerador de imparidade de 4 bits (4-bit XOR).
- e) Dois geradores independentes de imparidade de 3 bits.
- f) Uma porta AND de 5 entradas.
- g) Uma porta OR de 5 entradas.
- h) Um circuito que implemente a função lógica de 4 variáveis $wx + yz$.
- i) Um circuito que implemente a função lógica de 4 variáveis $wx\bar{y} + wx\bar{z} + \bar{w}yz + \bar{x}yz$.
- j) Um multiplicador $f = 15y$, onde entrada y é de dois bits e f de 6 bits.
- k) Um circuito que compute $x + 4y + 8z$, onde x , y , e z são números de 3 bits sem sinal.
- l) Um contador paralelo de 5 entradas, produzindo uma saída de 3 bits.

Problema 5.6. Considere os seguintes números, representados com 4 bits em complemento para dois:

$$A = 0011 \quad ; \quad B = 1001$$

Indique, para a operação $A + B$:

- a) o vector de soma (S) resultante;
- b) o vector constituído pelos vários bits de transporte (C) gerados ao longo da operação;

o valor das *flags* zero (Z), negativo (N) e *overflow* (V) à saída da unidade aritmética.

Problema 5.7. Usando a ideia de somadores com saturação:

- a) Implemente a operação $A + B$ (4 bits) quando B é par e $2(A + B)$ quando B é ímpar.
- b) Adicione um valor de saturação de 15_{10} quando exista *overflow*.

Problema 5.8. Usando incrementadores/decrementadores, registradores, deslocadores e multiplexadores implemente as sequencias seguintes:

- a) $0 \rightarrow 2 \rightarrow 6 \rightarrow 14 \rightarrow 30 \rightarrow \dots$
- b) $0 \rightarrow 3 \rightarrow 7 \rightarrow 15 \rightarrow 31 \rightarrow \dots$
- c) $4 \rightarrow 6 \rightarrow 10 \rightarrow 18 \rightarrow 34 \rightarrow \dots$