



PROJETO FINAL DE ELETRÔNICA DIGITAL 1

Campinha musical.

Prof. Dr. Guillermo Alvarez Bestard

1. OBJETIVOS

Permitir ao aluno integrar os tópicos estudados durante o curso em uma aplicação real. Durante o projeto, o aluno trabalhará em equipe para criar 4 componentes VHDL que possam ser integrados em uma descrição e que utilizem um pacote próprio do projeto para atender os requisitos definidos no roteiro.

2. PRÉ-RELATÓRIO

Não haverá entrega de pré-relatório, mas o projeto deve ser enviado um dia antes da avaliação com as imagens da simulação da descrição e de suas partes independentes.

2.1. Fundamentos teóricos

Para complementar aos temas estudados no curso você deverá estudar as seções 7.1, 7.2, e os capítulos 9, 12 e 15, do livro “VHDL: Descrição e Síntese de Circuitos Digitais” de Roberto d'Amore.

Para uma melhor compreensão do projeto, vocês também precisam pesquisar sobre o fenômeno da geração dos sons por meios eletrônicos, notas musicais, oitavas e frequências de cada nota nas diferentes oitavas.

2.2. Questões a serem desenvolvidas e procedimento de trabalho.

No projeto o aluno vai desenvolver uma campinha musical que tocará uma música selecionada e programada por ele no FPGA.

O diagrama da figura anexa representa a descrição que será desenvolvida em VHDL. Cada bloco exibido na figura e delimitado pelas linhas vermelhas, realiza uma função básica do circuito, que deve ser analisada por o aluno.

A entrada **clk** corresponde ao relógio de 100 MHz da placa Basys3.

A entrada **start** inicia a sequência musical, definida no pacote music.vhd, e a entrada **stop** para a execução da música. Para iniciar e parar, os botões btnU e btnD da placa serão usados.

As entradas **tempo_sw** definem o tempo da música (duração das unidades do compasso) e, portanto, a velocidade de execução da sequência. Para tempo_sw, os switches 0 e 1 da placa serão usados.

A saída **buzzer** vai ser conectada a um transistor ligado a uma buzina ou buzzer piezelétrico. O transistor amplificará a corrente que esses componentes precisam para gerar as ondas sonoras. No sinal buzzer, será utilizada a saída JB1: A14 do conector Pmod JB da placa.

As 11 saídas **led** indicarão a faixa da frequência do som gerado.



As 6 saídas **seg** e as 2 **an**, mostram o tempo de execução em segundos da sequência, desde que foi pulsado o botão start.

O pacote **notes.vhd** define os divisores de relógio para as frequências das notas musicais. A sequência de sons que será tocada pela campainha será definida no pacote **music.vhd**.

O projeto final pode ser desenvolvido em grupos de 4 ou 3 alunos. Cada estudante deverá desenvolver e testar um bloco do diagrama. Cada bloco deve ser descrito em um componente VHDL e simulado de forma independente usando um arquivo de test bench. Uma vez testados, os blocos serão integrados em uma entidade VHDL e simulados utilizando um arquivo de test bench. Depois de verificar o correto funcionamento da descrição, o teste será realizado na placa Basys3.

O projeto será enviado pelo site Apendar um dia antes da avaliação. A avaliação do projeto será na sala de aulas e o professor conferirá o funcionamento e questionará as técnicas utilizadas no desenvolvimento.

Outras informações serão fornecidas em sala de aulas durante o desenvolvimento do projeto. As dúvidas serão esclarecidas pelo site Aprender e em sala de aulas.

