



MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE  
COMPUTADORES

## SISTEMAS ELECTRÓNICOS DE PROCESSAMENTO DE SINAL

### **BPSK Modem**

Grupo n.º 2/3

André Filipe Barroso Cerqueira	n.º 65144
Guilherme Branco Teixeira	n.º 70214
João André Catarino Pereira	n.º 73527

segunda-feira 15h30 - 18h30, LE1

Lisboa, 11 de Abril de 2015

# 1 Índice

## 2 Introdução

- objectivos do lab
- o que foi feito
- o q o relatorio vai falar

## 3 Projecto

### 3.1 Projectos de Demonstração

- Resumo das funções e os seus objectivos com especial importancia ao loop
- Relaciona-las com as suas utilizações no projecto em si

#### 3.1.1 sine8

O objectivo deste projeto é representar a função sinusoidal, multiplicada por um determinado ganho, através de um conjunto de amostras que equivalem a um período da mesma, repetindo nos períodos seguintes esse mesmo conjunto. Este procedimento é realizado através da rotina de interrupção presente no programa.

Ao analisar o código deste projeto à primeira vista podemos concluir logo que este usa uma frequência de amostragem de 8 kHz , tem um ganho  $G = 10$  predefinido e usa 8 amostras para representar a senoide. Depois de observar a senoide no osciloscópio variou-se o ganho a fim de perceber a sua influência e também o seu limite.

Para compreender o limite desta senoide é necessário ter em conta que se usa o formato de vírgula fixa Q15 para as amostras da senoide. Este formato tem como limite o valor  $(2^{15} - 1) = 32767$ . Considerando o valor máximo da senoide, se multiplicarmos a mesma por um ganho  $G=33$  obtemos um valor superior ao permitido pelo formato Q15, fazendo com que nesses pontos o valor da senoide "caia".

#### 3.1.2 loop

Este projeto tem como objectivo fornecer-nos um template para os próximos projetos, em termos de comunicação com a placa e rotina de interrupção. Pode-se observar nas últimas linhas de código como se liga os sinais de entrada e saída aos canais da placa.

Resultados do loop??

### 3.2 BPSK

Demonstração dos Resultados usando como etapas as varias perguntas do enunciado, complementar com as fotos e possiveis tabelas ou partes de codigo

### 3.2.1 P1. Oscilador controlado numericamente

### 3.2.2 P2. Transmissor BPSK

O objectivo deste projeto é criar um transmissor BPSK com recurso a três elementos principais, uma fonte de bits, um codificador diferencial e mapeador, e um modulador. Neste projeto foi utilizada uma frequência de amostragem  $fs = 16kHz$  e uma frequência portadora  $f_0 = 4kHz$ .

Para ter uma fonte de bits no transmissor usa-se um "bit-rate clock", cuja função vai ser criar uma sequência de bits  $b_n$  que a cada 16 ciclos gera um novo bit alternado, usando um contador com  $fs/16$  para determinar quando gerar um novo bit. Para alternar o bit basta negar o bit anteriormente obtido, o que foi concretizado através de uma simples XOR:

$$b_n = b_{n-1} \oplus 1 \quad (1)$$

Após obter a fonte de bits passa-se ao segundo elemento do transmissor, o codificador diferencial e mapeador. Começando pelo codificador diferencial, este utiliza  $b_n$  para aplicar a seguinte operação lógica:

$$c_n = c_{n-1} \oplus b_n \quad (2)$$

Assim, com  $c_0$  inicializado a zero codifica-se a sequência de bits  $b_n$ . Ao gerar  $b_n$  e  $c_n$  obtém-se dois sinais que variam entre "0" e "1" só que  $c_n$  tem o dobro do período (figura X).

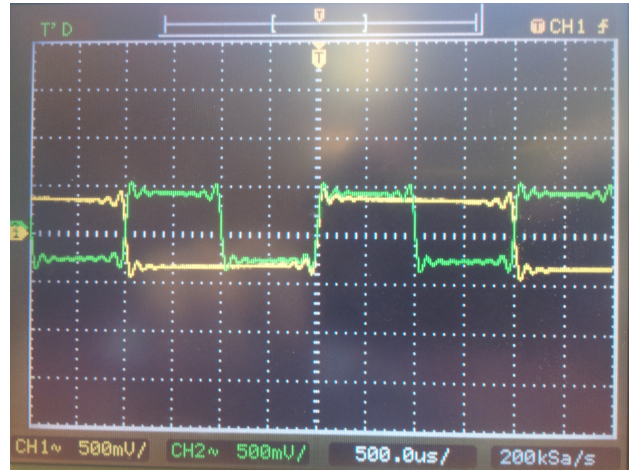


Figura 1:  $b_n$  (verde) e  $c_n$  (amarelo)

Depois de obter  $c_n$  passa-se ao mapeamento do mesmo,

## 4 Conclusão

-Principais resultados e conclusões sobre eles, erros a corrigir (se houverem), o que melhorar

## 5 Anexos

-Codigo?

-possivelmente poe-se aqui algumas das imagens