



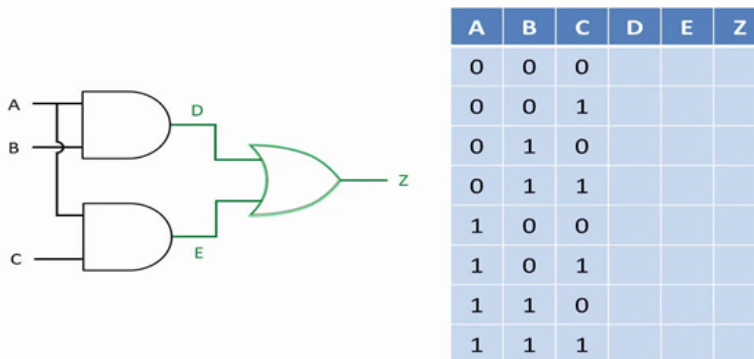
TRABAJO PRÁCTICO N° 1 – Jueves 4 de abril  
Elementos básicos VHDL. Asignaciones concurrentes

**OBJETIVOS:**

- Conocer el método de programación concurrente.
- Adquirir destreza en el modelado e implementación de sistemas usando lenguaje VHDL.
- Aprender a usar el Software Quartus II versión 13.0 Service Pack 1 (Web Edition).
- Programar las placas Altera FPGA Cyclone II EP2C8Q208 y Cyclone IV EP4CE6E22C8.

**PROBLEMA 1**

Implementar en VHDL la lógica combinacional que se ilustra en la siguiente imagen empleando señales intermedias.



Encontrar la tabla de verdad y comprobar el funcionamiento del sistema implementando el testbench correspondiente.

**PROBLEMA 2**

Divisor de frecuencia:

- a) Implementar un contador divisor de frecuencias, a partir de una frecuencia de 50MHz con las siguientes características:
- ✓ Frecuencia final de 1 Hz.
  - ✓ Módulo parametrizable.
  - ✓ Cuenta ascendente.
  - ✓ Frecuencia de salida con un ciclo de trabajo del 50%.

Sugerencia: Emplee el template: VHDL/Full Designs/Arithmetic/Counters/Binary Counter

Programar la placa Altera FPGA Cyclone IV EP4CE6E22C8.

**PROBLEMA 3**

En una cierta empresa los cuatro directivos distribuyen las acciones según A=10%, B=15%, C=30% y D=45%.

Escribir el código VHDL del sistema de escrutinio usando asignación de señal seleccionada (*with select*), sabiendo que cada miembro tiene un porcentaje de voto igual a su número de acciones y que para aprobar una moción los votos afirmativos deben superar el 50 %.

Visualizar en un display 7 segmento la letra “A” cuando la moción esté aprobada y en el caso contrario la letra “d”.

