



Universidad Nacional de Tucumán
Facultad de Ciencias Exactas y Tecnología



Análisis y Diseño de Circuitos Integrados Digitales

Proyecto Integrador

*Análisis comparativo de la implementación de multiplicadores
combinacionales y secuenciales*

Alumnos:

- Brito, Guillermo Nicolas
- Rosales, Facundo Ezequiel

INTRODUCCIÓN

Este informe compara el diseño de multiplicadores combinacionales y secuenciales de 16 y 32 bits, utilizando los reportes generados por el flujo de OpenLane. Se exploran áreas clave como el espacio ocupado, la velocidad de operación y la potencia consumida. Estos datos proporcionan información valiosa para la toma de decisiones en el diseño de circuitos digitales y la optimización de sistemas integrados.

ANÁLISIS DE REPORTES

MULTIPLICADOR COMBINACIONAL 16 BITS

- **Área**

Chip area for module "\mult_comb_16": 13435.385600

El área del circuito es **13435.38 μm^2**

El diseño está compuesto principalmente por celdas lógicas, sin elementos secuenciales (flip-flops) detectados.

Las principales celdas incluyen compuertas AND, OR y XOR

- **Velocidad**

"CLOCK_PERIOD": 20.0 ns

```
=====
report_checks -path_delay max (Setup)
=====
===== Typical Corner =====
```

Startpoint: mcand[10] (input port clocked by clk)

Endpoint: product[30] (output port clocked by clk)

Path Group: clk

Path Type: max

Fanout	Cap	Slew	Delay	Time	Description
--------	-----	------	-------	------	-------------

0.00	20.00	20.00	clock clk (rise edge)		
		0.00	20.00	clock network delay (ideal)	
		-0.25	19.75	clock uncertainty	
		0.00	19.75	clock reconvergence pessimism	
		-4.00	15.75	output external delay	
			15.75	data required time	

			15.75	data required time	
--	--	--	-------	--------------------	--

			-10.75	data arrival time	
--	--	--	--------	-------------------	--

5.00 slack (MET):

El multiplicador combinacional de 16 bits tiene un tiempo total de propagación (path delay) de 10.75 ns. El camino crítico está definido desde la entrada mcand[10] hasta la salida product[30], con una latencia de 10.75 ns. El valor de slack es positivo en 5 ns, indicando que la ruta crítica cumple con los requisitos de tiempo con un margen de 5 ns.

- **Potencia**

```
report_power
=====
===== Typical Corner =====
```

Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	
Sequential	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Combinational	5.11e-04	5.78e-04	5.14e-09	1.09e-03	100.0%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Total	5.11e-04	5.78e-04	5.14e-09	1.09e-03	100.0%
	46.9%	53.1%	0.0%		

Resumen del Reporte

El multiplicador combinacional de 16 bits presenta un consumo total de potencia de 1.09[mW]. El desglose de potencia muestra que la lógica combinacional es la única contribuyente, representando el 100% del consumo total. La potencia de conmutación en la lógica combinacional es significativa (0.578 mW), indicando transiciones frecuentes de estado.

MULTIPLICADOR COMBINACIONAL 32 BITS

- **Área**

Chip area for module '\mult_comb_32': 55353.088000

El área del circuito es **55353.08 μm^2**

Este diseño utiliza un total de 5764 celdas.

El número de cables y bits de cable se incrementa significativamente en comparación con el multiplicador de 16 bits, lo cual es esperado debido al aumento en la longitud de palabra.

Las principales celdas lógicas incluyen compuertas AND, OR, XOR, y otros elementos lógicos.

- **Velocidad**

CLOCK_PERIOD": 20.0 ns

report_checks -path_delay max (Setup)

```
=====
===== Typical Corner =====
```

Startpoint: mplier[25] (input port clocked by clk)

Endpoint: product[63] (output port clocked by clk)
 Path Group: clk
 Path Type: max

Fanout	Cap	Slew	Delay	Time	Description
0.00	20.00	20.00	clock clk (rise edge)		
		0.00	20.00	clock network delay (ideal)	
		-0.25	19.75	clock uncertainty	
		0.00	19.75	clock reconvergence pessimism	
		-4.00	15.75	output external delay	
			15.75	data required time	
			15.75	data required time	
			-13.40	data arrival time	
2.35 slack (MET)					

El multiplicador combinacional de 32 bits presenta un tiempo total de propagación (path delay) de 13.40 ns en la ruta crítica desde la entrada mplier[25] hasta la salida product[63]. La holgura (slack) es positiva en 2.35 ns, lo que indica que la ruta crítica cumple con los requisitos de tiempo con ese margen

- **Potencia**

report_power

=====
 ===== Typical Corner =====

Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	
Sequential	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Combinational	3.43e-03	4.11e-03	2.10e-08	7.54e-03	100.0%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Total	3.43e-03	4.11e-03	2.10e-08	7.54e-03	100.0%
	45.6%	54.4%	0.0%		

Resumen del Reporte:

La potencia total del multiplicador combinacional de 32 bits es de 7.54 [mW], constituida al 100% por la lógica combinacional.

La potencia de conmutación es significativa (4.11mW), indicando transiciones frecuentes en la lógica combinacional durante el funcionamiento.

MULTIPLICADOR SECUENCIAL 16 BITS

- **Área**

Chip area for module '\mult_sec_16': 2822.707200

El área del circuito es **2822.70 μm^2**

Este diseño utiliza un total de 280 celdas.

El número de cables y bits de cable es relativamente bajo en comparación con los multiplicadores combinacionales de 16 y 32 bits.

Las principales celdas lógicas incluyen compuertas AND, OR, XOR, y elementos como registros (dfxtp_2) y multiplexores (mux2_2).

- **Velocidad**

CLOCK_PERIOD": 20.0 ns

report_checks -path_delay max (Setup)

=====
===== Typical Corner =====

Startpoint: mcand[3] (input port clocked by clk)

Endpoint: _497_ (rising edge-triggered flip-flop clocked by clk)

Path Group: clk

Path Type: max

Fanout	Cap	Slew	Delay	Time	Description
--------	-----	------	-------	------	-------------

0.15	20.00	20.00	clock clk (rise edge)		
		0.00	20.00	clock network delay (ideal)	
		-0.25	19.75	clock uncertainty	
		0.00	19.75	clock reconvergence pessimism	
			19.75	^ _497_/CLK (sky130_fd_sc_hd__dfxtp_2)	
		-0.08	19.67	library setup time	
			19.67	data required time	

			19.67	data required time	
			-6.92	data arrival time	

12.75 slack (MET)

El multiplicador secuencial de 16 bits tiene un tiempo total de propagación (path delay) de 6.92 ns en la ruta crítica desde la entrada mcand[3] hasta la salida 497. El slack es de 12.75 ns.

Dado que el slack actual es considerable, hay espacio para ajustes que podrían mejorar aún más el rendimiento del circuito o reducir el consumo de recursos.

- **Potencia**

report_power

```
=====
===== Typical Corner =====
```

Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	
Sequential	1.31e-04	1.14e-04	3.38e-10	2.46e-04	45.8%
Combinational	1.94e-04	9.69e-05	7.29e-10	2.91e-04	54.2%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Total	3.26e-04	2.11e-04	1.07e-09	5.37e-04	100.0%
	60.7%	39.3%	0.0%		

Resumen del Reporte:

La potencia total del multiplicador secuencial de 16 bits es de 0.537[mW].

La potencia combinacional constituye la mayor parte (54.2%), seguida de la potencia secuencial (45.8%). No se observa contribución significativa de potencia desde elementos macro o pads.

MULTIPLICADOR SECUENCIAL 32 BITS

- **Área**

Chip area for module '\mult_sec_32': 5213.750400

El área del circuito es **5213.75 μm^2**

El diseño utiliza un total de 503 celdas y presenta un mayor número de cables y bits de cable en comparación con el multiplicador secuencial de 16 bits.

Se observa la presencia de celdas secuenciales como registros (dfxtp_2), indicando diseño secuencial.

Se identifican celdas lógicas que incluyen puertas AND, OR, XOR, entre otras.

- **Velocidad**

CLOCK_PERIOD": 20.0 ns

report_checks -path_delay max (Setup)

```
=====
===== Typical Corner =====
```

Startpoint: mcand[9] (input port clocked by clk)

Endpoint: _891_ (rising edge-triggered flip-flop clocked by clk)

Path Group: clk

Path Type: max

Fanout	Cap	Slew	Delay	Time	Description
0.15	20.00	20.00			clock clk (rise edge)
		0.00	20.00		clock network delay (ideal)
		-0.25	19.75		clock uncertainty
		0.00	19.75		clock reconvergence pessimism
			19.75		^ _891_/CLK (sky130_fd_sc_hd__dfxtp_2)
		-0.08	19.67		library setup time
			19.67		data required time
			19.67		data required time
			-7.43		data arrival time

12.25 slack (MET)

El multiplicador secuencial de 32 bits presenta un tiempo total de propagación (path delay) de 7.43 ns en la ruta crítica desde la entrada mcand[9] hasta la salida 891. La holgura (slack) es positiva en 12.25 ns, indicando que la ruta crítica cumple con los requisitos de tiempo con ese margen.

Al igual que el multiplicador secuencial de 16 bits, existe un margen considerable que podría ofrecer oportunidades para optimizaciones adicionales o ajustes de diseño.

• Potencia

report_power

===== Typical Corner =====					
Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	
Sequential	2.49e-04	2.29e-04	6.16e-10	4.78e-04	41.8%
Combinational	4.26e-04	2.41e-04	1.30e-09	6.67e-04	58.2%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Total	6.75e-04	4.70e-04	1.92e-09	1.14e-03	100.0%
	59.0%	41.0%	0.0%		

Resumen del Reporte:

El multiplicador tiene una potencia total de 1.14[mW]. La potencia combinacional constituye la mayoría, representando el 58.2%, seguida por la potencia secuencial con el 41.8%. No se observa una contribución significativa de potencia desde elementos macro o pads.

CONCLUSIÓN

- **En términos de área**, el Multiplicador Combinacional de 16 bits ocupa un espacio significativamente mayor (13435.38 um^2) en comparación con el Multiplicador Secuencial (2822.70 um^2). Cuantitativamente, el área del multiplicador secuencial representa aproximadamente el 21% del área del combinacional.

El Multiplicador Combinacional de 32 bits ocupa un espacio más extenso (55353.08 um^2) en comparación con el Multiplicador Secuencial (5213.75 um^2). Aunque era de esperar un aumento debido al incremento en la longitud de palabra, cuantitativamente, el área del multiplicador secuencial representa alrededor del 9.4% del área del combinacional.

- **En cuanto a la velocidad**, el Multiplicador Combinacional de 16 bits tiene un tiempo total de propagación de 10.75 ns, mientras que el Multiplicador Secuencial muestra un rendimiento más rápido con 6.92 ns. Esta diferencia representa una reducción del 35% en el tiempo de propagación para el multiplicador secuencial. Además, el slack en el multiplicador secuencial es notablemente mayor, indicando flexibilidad para ajustes y posibles mejoras de rendimiento.

El Multiplicador Combinacional de 32 bits tiene un tiempo total de propagación de 13.40 ns en la ruta crítica, mientras que el Secuencial muestra un rendimiento más rápido con 7.43 ns. Esto representa una reducción significativa del 44.6% en el tiempo de propagación para el multiplicador secuencial.

- **En lo que respecta a la potencia**, el Multiplicador Combinacional de 16 bits consume un total de 1.09 mW, mientras que el Secuencial presenta un consumo más bajo de 0.537 mW. Esto refleja un aumento del aproximadamente 103.15% en el consumo total de potencia para el Multiplicador Combinacional en comparación con el Secuencial.

El Multiplicador Combinacional de 32 bits tiene un consumo total de 7.54 mW, donde la lógica combinacional representa el 54.4% y la potencia de conmutación es significativa. Por otro lado, el secuencial muestra un consumo total de 1.14 mW, donde la potencia combinacional constituye el 58.2% y la potencia secuencial el 41.8%. No se observa una contribución significativa de potencia desde elementos macro o pads en ninguno de los casos.

En conclusión, los flujos de OpenLane para los multiplicadores combinacionales y secuenciales fueron exitosos ("flow passed"). Sin embargo, presentaron ciertos mensajes de advertencia (warnings), siendo el más destacado el relacionado con el "fan out". El cual se refiere al número de salidas que una señal alimenta, y su alto valor puede afectar el rendimiento y fiabilidad del diseño. Para abordar este problema, se podrían considerar enfoques como la introducción de buffers intermedios, la redistribución de la carga entre diferentes salidas, o la optimización del diseño lógico para minimizar este impacto.