



Universidad
Nacional
de Córdoba

ARQUITECTURA DE COMPUTADORAS

Trabajo Práctico N° 1

Trejo, Bruno Guillermo
Ortmann, Nestor Javier
05 de Septiembre de 2018



Índice

Consigna	3
Código de las operaciones	3
Diagrama de bloques del sistema	4
Test Bench e Implementación	4

Consigna

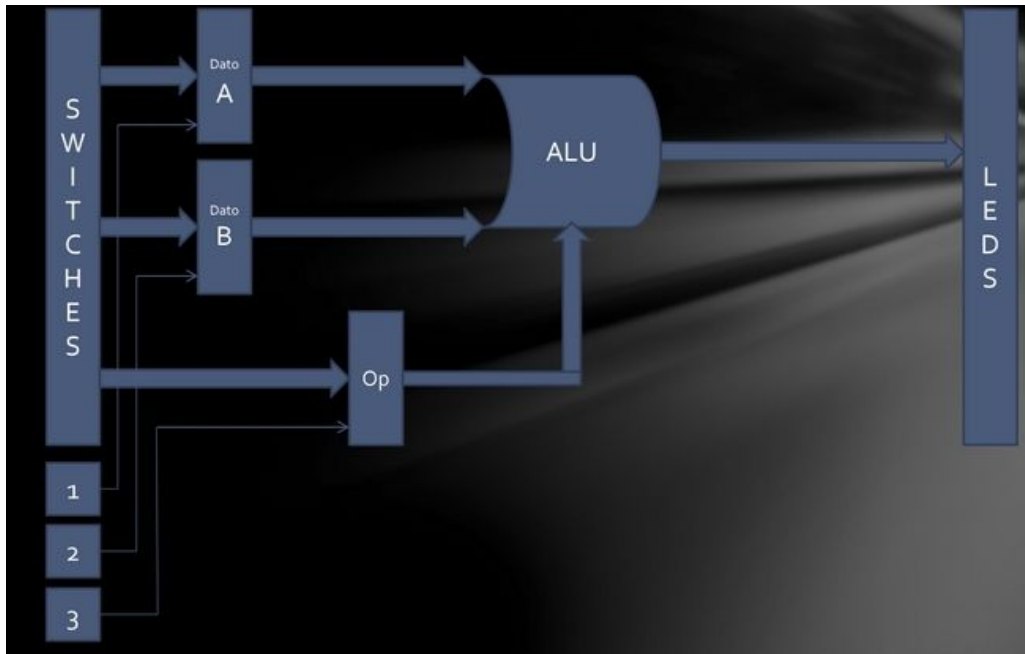
Implementar en FPGA una ALU.

- Utilizar las placas de desarrollo Basys II o Nexys III.
- La ALU debe ser parametrizable (bus de datos) para poder ser utilizada posteriormente en el trabajo final.
- Validar el desarrollo por medio de Test Bench.

Código de las operaciones

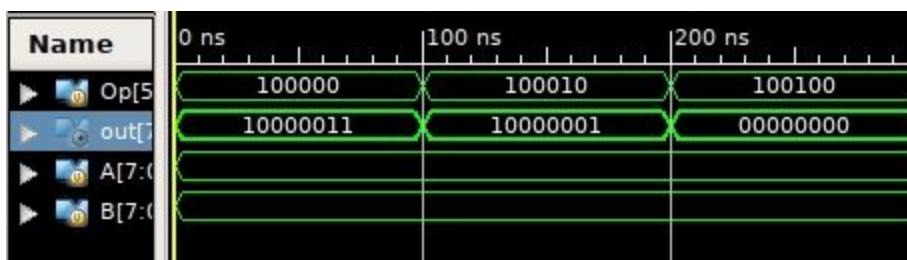
Operación	Código
ADD	100000
SUB	100010
AND	100100
OR	100101
XOR	100110
SRA	000011
SRL	000010
NOR	100111

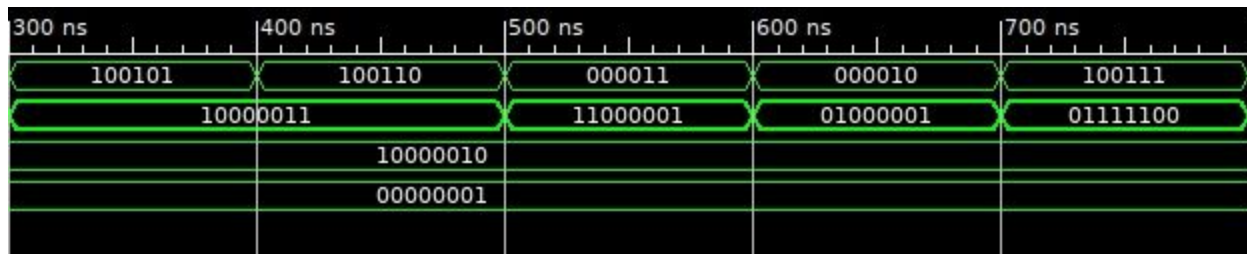
Diagrama de bloques del sistema



Test Bench e Implementación

En la simulación podemos ver el código de operación arriba, y la salida de la ALU abajo, la prueba se realizó con los valores A = 10000010 (129), B = 00000001 (1)





Luego de comprobar que el módulo ALU funcionaba correctamente, se agregó el código main en donde se realizó la lógica secuencial para obtener la entrada desde los switches de la FPGA, los cuales se pasan a los registros una vez pulsado el correspondiente botón. En este código se instancia el módulo ALU y se mapean las entradas y su salida a los LED de la placa.

El funcionamiento en la placa es de la siguiente manera:

- Setear el número A con los switch
- Presionar el botón 1 (btn3 en la BASYS2)
- Setear el número B con los switch
- Presionar el botón 2 (btn2)
- Setear el código de la operación realizada
- Presionar el botón 3 (btn1)
- El resultado se muestra en los LED de la placa.

Se aclara que es parametrizable el número de bits, pudiendo poner (modificando un número en el código fuente) 4 bits, 2 bits, etc. (el máximo es 8 bits).