|  |
| --- |
| Universidade Federal de Minas Gerais |
| Escola de Engenharia – Departamento de Engenharia Eletrônica |
| Disciplina: Laboratório de Sistemas Digitais |
| Guia de aula: 08 (complemento usado em laboratório) |
| Assuntos:   * Modelos de Representação de um Sistema top-level em VHDL: Comportamental, Fluxo de dados e Estrutural. |

|  |
| --- |
| Objetivos:   * Saber explicar quando, como e o porquê usar os modelos de representação de um sistema. * Identificar os diferentes modelos de representação de um sistema. * Analisar as implicações da implementação de cada modelo de representação. |
| Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões:   1. Como descrever uma arquitetura em VHDL? 2. Quais são as diferenças entre os modelos de representação de sistemas: Comportamental, Fluxo de dados, Estrutural? 3. Quais as vantagens/desvantagens dos modelos para representação de sistemas top-level. 4. Quais são as declarações concorrentes que envolvem cada modelo? 5. Qual é o modelo de representação de sistemas mais usado? |
| Atividades práticas em sala de aula:   1. Utilizando como base o arquivo “FlipFlopD.vhd” disponível, descreva em VHDL um Flip-Flop D usando um modelo de representação de sistemas em fluxo de dados. Escreva um arquivo testbench para testar a sua descrição vhdl sintetizada. 2. Volte ao Quartus II e acesse o Menu *Tools → Netlist Viewers → RTL Viewer*. Observe se o diagrama mostrado é coerente com o que você esperava. 3. Acesse o Menu *Tools → Netlist Viewers → Technology Map Viewer (Post- Mapping)*. Clique duas vezes sobre as “caixas” para observar sua implementação interna. Analise como estas caixas se relacionam com os elementos lógicos do DLP. 4. Utilizando como base o arquivo “fulladder.vhd” disponível, descreva em VHDL um fulladder usando um modelo de representação de sistemas comportamental. Escreva um arquivo testbench para testar a sua descrição vhdl sintetizada. 5. Repita as atividades 2 e 3. 6. Utilize o circuito descrito acima (fulladder.vhd) para construir um somador completo de 4 bits utilizando um modelo de representação estrutural. Escreva um arquivo testbench para testar a sua descrição vhdl sintetizada. 7. Repita as atividades 2 e 3. 8. Simule os sistemas e apresente os resultados que você desenvolveu ao professor da disciplina. |