

实验 2-1 报告

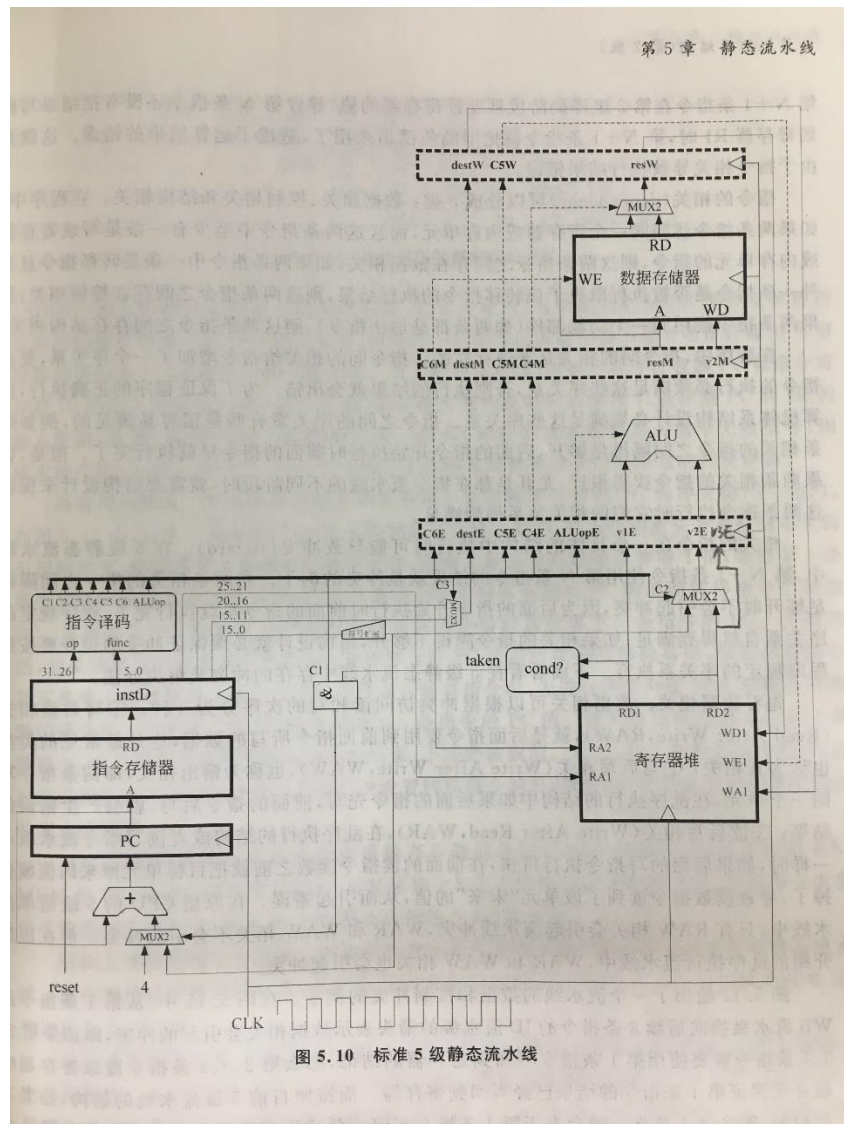
学号:2016K8009929060

姓名: 王晨超

一、实验任务（10%）

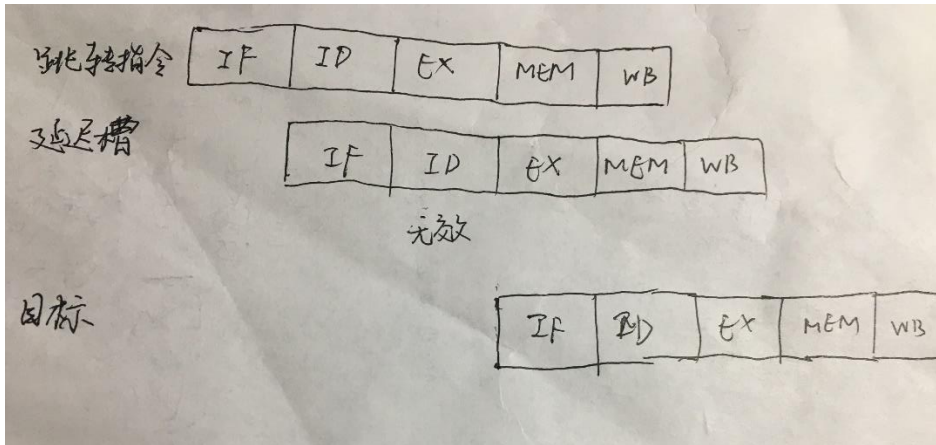
设计静态五级流水 CPU，实现 lab1 中的 19 条指令。流水线产生的控制相关问题用延迟槽技术解决。CPU 复位后 PC 为 0xbfc00000，虚实地址转化采用实地址映射。CPU 对外访存接口为取指、数据访问分开的同步 SRAM 接口。只实现核心，不要求支持例外和中断。用 vivado 进行仿真验证，再在 FPGA 上验证。

二、实验设计（30%）



实验设计仍旧分为三个模块，CPU 核、寄存器堆和 ALU。寄存器堆与 ALU 不需修改，主要是将 CPU 核改为静态五级流水的。因为此前的 CPU 控制信号比较杂乱，此次我重新写了 CPU 核模块。静态五级流水即取指、译码、执行、访存、写回五个阶段，流水线的设计应该考虑流水线阻塞问题、将什么数据带到下一级流水上、控制相关和延迟槽技术。流水线的阻塞可以通过在各级流水间设置应答信号解决。根据不同流水级需要做的工作决定将哪些数

据带到下一流水级。



延迟槽指令位于分支指令之后，当分支指令为无条件跳转或条件跳转满足条件时，延迟槽指令后面的那条指令不应执行，而应跳转到目标地址执行。流水级在此空等一拍。

三、实验过程（60%）

（一）实验流水账

记录哪一天，几点到几点，做了什么事，结果如何。事情不要展开来写。

9月20日 22:00~23:00: 构思

9月22日 21:00~22:00: 构思

9月23日 14:00~18:00、20:00~23:00: 编写代码、调试

9月24日 9:00~12:00、14:00~18:00、19:00~23:00: 编写代码、调试

（二）错误记录

具体描述实验过程中的错误，环境问题、仿真阶段、上板阶段的都可以记录。

1、错误 1

（1）错误现象

一开始取指就有问题，没有指令取出来。

（2）分析定位过程

可能你分析定位过程中经历了多轮尝试，把它们都记录下来。检查 rtl 代码的取指部分。

（3）错误原因

inst_sram_addr 赋值错误。

（4）修正效果

修改 rtl 代码，问题解决。

2、错误 2

（1）错误现象

测试用例开始的条件跳转指令未正确跳转。

（2）分析定位过程

检查 rtl 代码的指令跳转，思考延迟槽的实现。

(3) 错误原因

延迟槽后的指令未跳到正确地址执行，指令执行时序有误。

(4) 修正效果

修改一些控制信号，问题解决。

3、错误 3

(1) 错误现象

发现第一级流水的数据送到最后一级需要五拍时间。

(2) 分析定位过程

检查流水级之间的数据传递。

(3) 错误原因

不知为何多写了一次数据传递，导致数据延后一拍了。

(4) 修正效果

修改流水线间的数据传递。

4、错误 4

(1) 错误现象

控制台在某某时间打印错误。

(2) 分析定位过程

沿着波形回溯，观察各指令的执行。

(3) 错误原因

sll 指令译码写错了，也就是 nop 指令产生了错误信号。

(4) 修正效果

修改 sll 指令的译码部分，问题解决。

5、错误 5

(1) 错误现象

控制台在某某时间打印错误。

(2) 分析定位过程

沿着波形回溯，观察各指令的执行。

(3) 错误原因

jr 指令写错了，未正确跳转。

(4) 修正效果

修改 jr 指令的数据通路部分，问题解决。

6、错误 6

(1) 错误现象

控制台在某某时间打印错误。

(2) 分析定位过程

沿着波形回溯，观察各指令的执行。

(3) 错误原因

jal 指令写错了，未将返回指令正确写回 31 号寄存器。

(4) 修正效果

修改 jal 指令，问题解决。

7、错误 7

（1）错误现象

控制台在某某时间打印错误，观察发现 `reference` 的数据比 `debug` 数据往前了一拍，但各个数据都是一样的，只是时间上错了一拍。之后尝试上板验证，发现上板可以通过。

（2）分析定位过程

沿着波形回溯，观察各指令的执行。重新编译、重新生成 `golden_trace`，更换 `testbench` 文件。

（3）错误原因

未找到错误。

（4）修正效果

问题未解决。