

## 实验 2-3 报告

学号：2016K8009908007

姓名：薛峰

### 一、实验任务

实验目的：

（一）在之前的基础上新增如下 18 条指令：J、BGEZ、BGTZ、BLEZ、BLTZ、BLTZAL、BGEZAL、JALR、LB、LBU、LH、LHU、LWL、LWR、SB、SH、SWL、SWR；

（二）计算自实现 myCPU 的性能；

（三）优化 myCPU 的性能。

检验方法：

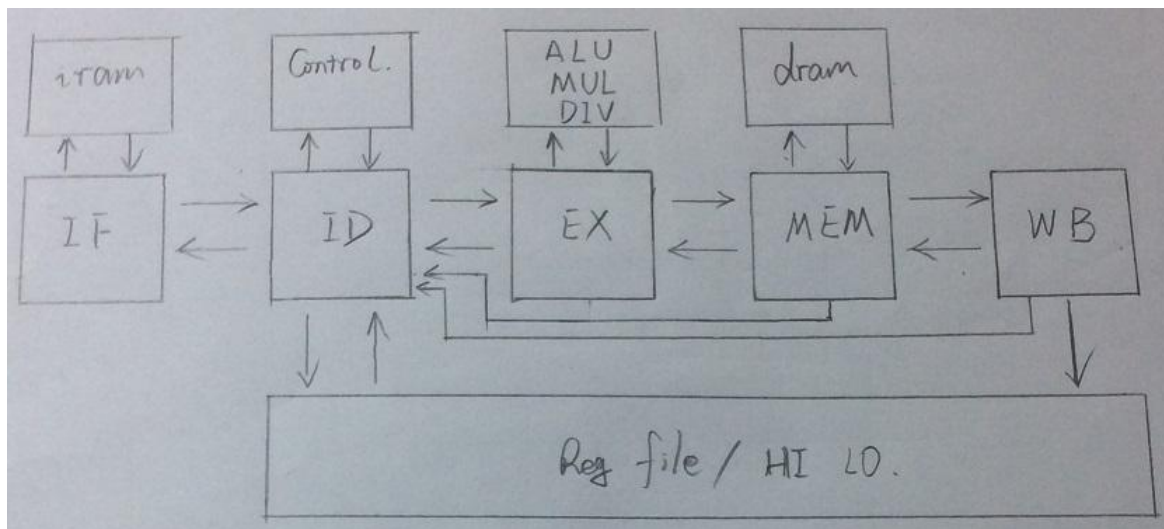
（一）仿真和上板运行 lab2\_func\_3 通过；

（二）仿真和上板运行性能测试程序 Coremark 和 dhrystone 通过。

### 二、实验设计

该项目总体分为以下几个模块：myCPU（顶层模块），ID\_stage（译码模块），EX\_stage（执行模块），MEM\_stage（访存模块），WB\_stage（写回模块），cpu\_control（控制模块），reg\_file（寄存器堆），ALU（运算器），mul（乘法器），div（除法器），

各个模块之间的关系如下：



项目的总体设计与之前阶段相同，仅在其基础上增添 18 条指令，除了非对齐访存指令外，其他指令只需要修改控制模块的控制信号即可。对于非对齐访存指令，除了要修改控制信号，还需要修改写内存或写寄存器的值，只需要分别在 EX 模块和 WB 模块进行修改即可。其余模块内部的细节和之前的实验一致。

## 三、实验过程

### （一）实验流水账

时间	记录
10月11日 14:00~19:30	一、将各个阶段模块化, 并进行行为仿真; 二、行为仿真通过。
10月12日 13:40~15:30	一、增添18条新指令, 并进行行为仿真和上板验证, 最终仿真通过, 上板通过; 二、仿真和上板运行性能测试程序 Coremark 和 dhrystone, 均通过。
10月14日 14:30~16:20	一、提高 CPU 频率, 运行性能测试程序 Coremark 和 dhrystone; 二、将频率提高到 70MHz, 上板运行通过。

### （二）错误记录

#### 1、错误 1

##### （1）错误现象

在仿真运行 lab2-3 程序时, 控制台报错, 错误显示 PC 和写寄存器号均正确, wdata 错误, 并且仅第二字节错误。

##### （2）分析定位过程

定位到该指令, 发现是 lw 指令, 因此寻找修改该地址上数据的指令。发现该指令之前有一条 sb 指令, 并且恰好是存第三字节, 发现存入的数据不对, 因此检查该部分代码。

##### （3）错误原因

发现对忘记修改 sb, sh 等指令存入内存的值, 即存入的值是按照 sw 指令写的, 所以会出现存入的第二比特位的数据错误。

##### （4）修正效果

将该部分添加上去之后仿真顺利通过。

##### （5）归纳总结

该错误属于笔误, 忘记修改存入内存的数据。

#### 2、错误 2

##### （1）错误现象

在将频率提高到 70MHz 之后在此仿真运行 dhrystone 程序控制台报错, 但提高频率前该程序可以仿真并上板验证通过。

##### （2）分析定位过程

于是对比之前的 trace 和新编译出来的 test.s 发现新的 test.s 与之前的 test.s 第一个 jal 指令跳转的地址不同, 但执行的指令是一样的, 因此需要重新生成 trace。

##### （3）错误原因

提高频率后未重新生成 trace。

##### （4）修正效果

重新生成 trace 后再进行仿真, 仿真通过。

##### （5）归纳总结

之前看到助教老师在 piazza 上有说不需要重生成 trace

---

## 四、实验总结

此次实验相较于前几次实验轻松很多，仅添加了一些指令，总体架构没变。但是周四那天我将每个阶段都模块化，因为每个阶段需要传的控制信号与数据有很多，尤其是 EX 阶段，因此很容易写错。因此这一部分花费了挺多时间。但是将各个模块分开写之后，代码将更清晰，有利于以后实验对该项目的修改。