

第九章作业

钟赧 2016K8009915009

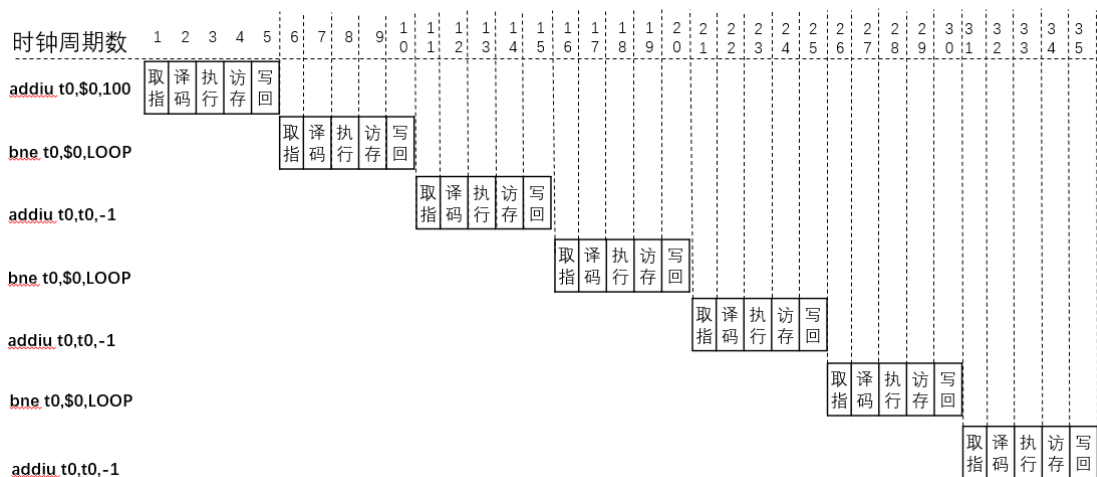
1. 给出下列程序在多周期处理器（如图 9.4 所示）上执行所需要的时钟周期数，并给出前三次循环执行的时空图。

```

addiu t0,$0,100
LOOP:
    bne t0,$0,LOOP
    addiu t0,t0,-1

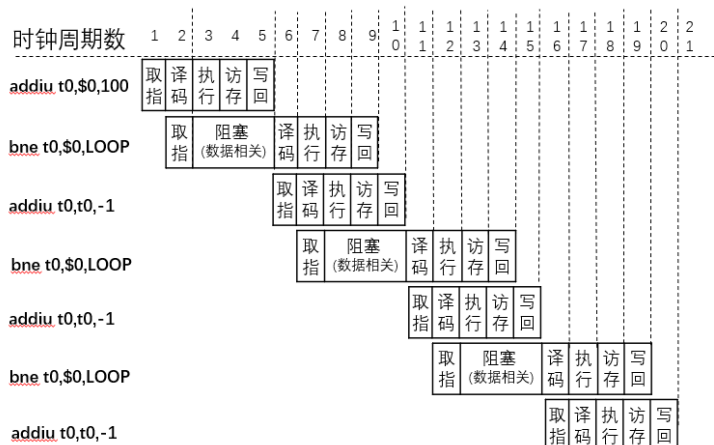
```

共循环 101 次，共计 203 条指令，每条指令执行所需要的时钟周期数为 5，共需要 1015 个时钟周期；前三次循环时空图如下：



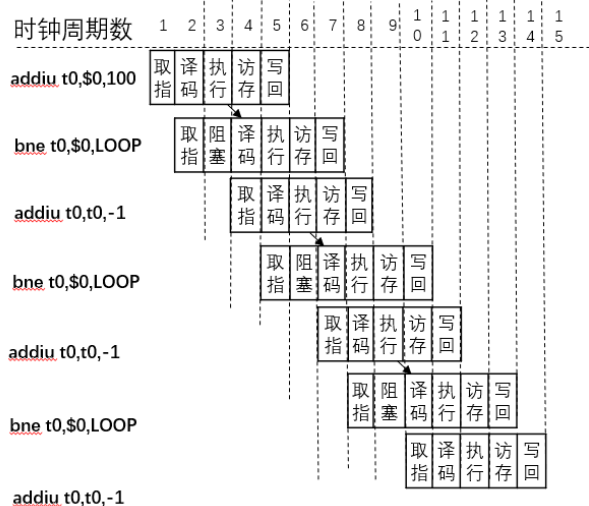
2. 请给出题 1 中的程序在单发射五级静态流水线处理器（如图 9.6 所示）上执行所需要的时钟周期数，并给出前三次循环执行的流水线时空图。

每次循环需要 5 个时钟周期，执行所需要的时钟周期数为 510；前三次循环时空图如下：



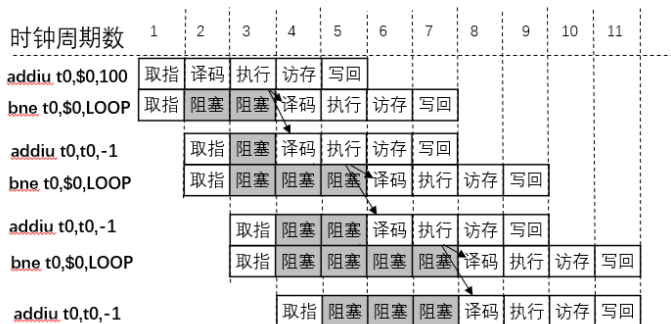
3. 请给出题 1 中的程序在包含前递机制的单发射五级静态流水线处理器（如图 9.13 所示）上执行所需要的时钟周期数，并给出前三次循环执行的流水线时空图。

每次循环需要 3 个时钟周期，执行所需要的时钟周期数为 308；前三次循环时空图如下：



4. 请给出题 1 中的程序在包含前递机制的双发射五级静态流水线处理器（如图 9.16 所示）上执行所需要的时钟周期数，并给出前三次循环执行的流水线时空图。

每次循环需要 2 个时钟周期，执行所需要的时钟周期数为 207；前三次循环时空图如下：

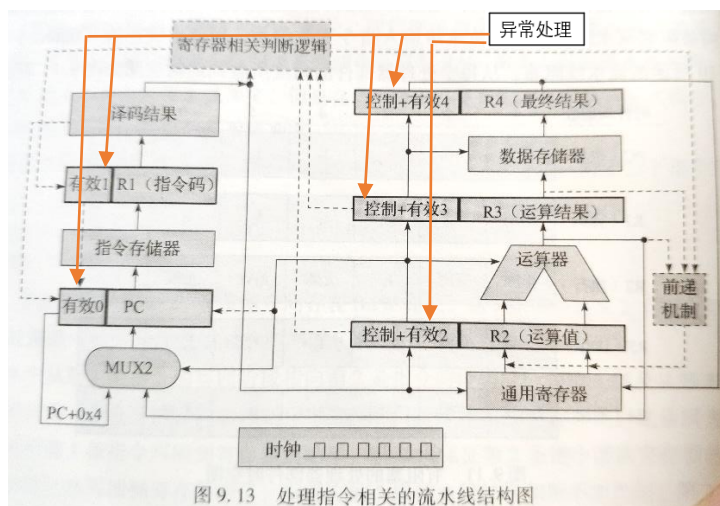


5. 请问要如何改进本章所述单发射静态五级流水线处理器的流水线功能定义，才能仅利用 MIPS 分支指令延迟槽技术就能消除因相关所引入的流水线阻塞？

令流水线上的跳转指令的目标地址在译码级给出，那么下一条指令的地址会在跳转指令的跳转地址和延迟槽指令的下地址之间产生。

如此，跳转指令在译码时，延迟槽指令已经完成了取指的操作，可保证延迟槽指令的执行，之后跳转指令产生目标地址，进入流水线，故消除了控制相关引起的阻塞。

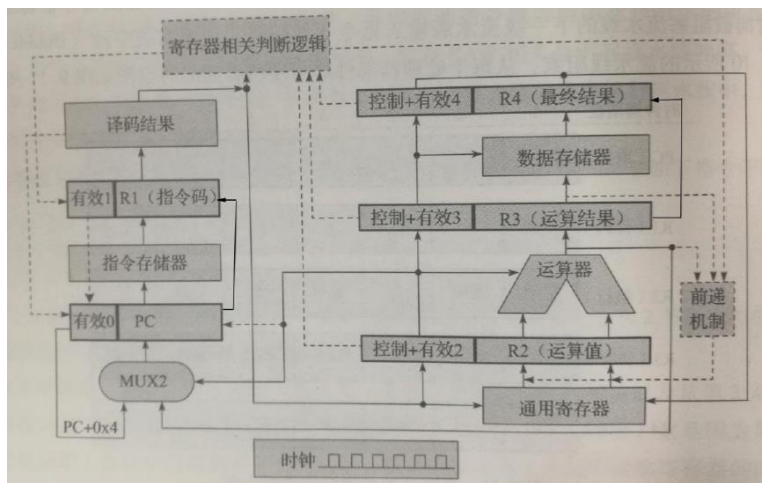
6. 请在图 9.13 的基础上添加必要的逻辑，使其能够实现精确异常的功能。画出修改后的处理器结构图，并进行解释。



在流水线的各个阶段探测到异常后，传递到写回级汇报给异常处理模块。异常处理模块连接各个流水级的控制信号，实现发生异

常时清空流水线，使异常指令之后的指令

7. 图 9.13 中指令存储器和数据存储器的 SRAM 都采用了异步读形式，如果将指令存储器和数据存储器的 SRAM 调整为同步读形式，请问处理器的结构将如何调整？画出修改后的处理器结构图，并进行解释。



增添了两条从取指级到译码级，从访存级到写回级的直接的数据通路。取指级将地址发送给指令存储器，然后将其他信息直接发送给译码级。在下一个时钟信号上升沿到来时，译码级会直接收到来自指令存储器的指令，实现同步 SRAM 接口，开始译码即可。数据存储器同理。

8. 请问数据相关分为哪几种？静态流水线处理器是如何解决这几种相关的？采用寄存器重命名的动态流水线是如何解决这几种相关的？

数据相关分为写后读相关，写后写相关，读后写相关。

静态流水线只会出现读后写相关，使用的解决策略是阻塞和前递技术。阻塞就是阻塞后面的指令直到前面产生数据的指令完成写回；前递就是在前面的指令的执行级直接产生到译码级的通路，这样在前面指令算出结果之后无需等到写回，就可以直接将结果给下面的指令来用。动态流水线解决写后写相关，写后读相关使用的是重命名寄存器技术。即写回的寄存器会选取一个并不引起相关的寄存器，然后下一条指令从这一个寄存器里取数据，这样可以消除这两种相关。

9. 设在包含前递机制的单发射 5 级静态流水线处理器（如图 9.13 所示）的译码级添加了一个永远预测跳转的静态分支预测器，那么题 1 中的程序在这个处理器上执行需要花费多少时钟周期？

由于单发射静态 5 级流水线中，分支延迟槽技术可以解决控制相关问题，在无阻塞的情况下，无论是否跳转流水线的利用率都是 100%，因此即使加入分支预测器，实际上对流水线的效率也没有影响。故仍花费 308 个时钟周期。

10. 假设程序动态执行过程中 load、store 指令占 40%。现在有两种数据 cache 的设计方案，其中第一种方案的 cache 容量小于第二种方案，因此采用第一种方案的 cache 命中率为 85%，第二种方案的 cache 命中率为 95%，但是采用第二种方案的主频会比第一种方案低 10%，请问哪种设计方案性能更优？（假设 cache 不命中情况下会阻塞流水线 100 个时钟周期。）

考虑处理 100 条指令所用的时间（假设平均 1 条非访存指令使用 1 个时钟周期完成）。这 100 条指令中有 60 条非访存指令和 40 条访存指令。第一种方案下，所需时钟周期为 $60 + 40 \times 0.85 + 40 \times 0.15 \times 100 = 1875$ 个时钟周期；第二种方案下，所需时钟周期为 $60 + 40 \times 0.95 + 40 \times 0.05 \times 100 = 675$ 个时钟周期。考虑主频的影响，实际时间为时钟周期/主频，则方案 1 为 1875，方案 2 为 $675/0.9 = 750$ 。因此综合考虑下来，方案二更优。