

实验 6 报告

学号 2016K8009915009 2016K8009937003

姓名

钟 赟

吴 双

一、实验任务（10%）

(1) 补充 PMON 源代码中被删除的 Cache 初始化、TLB 初始化、串口初始化部分，编译后在一个已完成的 SoC 设计上正常启动并成功装载和启动 Linux 内核。

(2) 要求刚下载完 bit 文件后，PMON 运行时打印的信息无“TLB init Error!!!”和“cache init Error!!!”，且能正确装载并启动 Linux 内核。

二、实验设计（30%）

（一）串口初始化

将 NS16550_CFCR 设置为 CFCR_DLAB，确保分频锁存器的组成。

设置波特率：选择波特率为 115200，通过计算，应将分频锁存器设置为 0x12，因此向 UART_TLL 寄存器写入 0x12，向 UART_TLH 写入 0x0。

（二）Cache 初始化

首先设置 TagHi 和 TagLo 寄存器的值为 0。

根据 Index 循环遍历 Cache 行，每次循环中利用 cache 指令将 4 路 Cache 初始化。

（三）TLB 初始化

先向 PG_MASK 寄存器中写 0。

通过循环遍历，每次循环中向 EntryHi、EntryLo0、EntryLo1 中写入值后，用 tlbwi 指令清零 TLB。

三、实验过程（60%）

（一）实验流水账

2018-12-19 00:00-02:00 阅读实验文档，完成小部分代码编写。

2018-12-20 21:00-25:30 完成代码编写，未完成装载 Linux 内核，问题为烧写 gzrom.bin 文件失败。

2018-12-21 13:00-17:00 Linux 内核加载成功，完成实验报告。

（二）错误记录

本次实验的错误或困难记录在于后期检测，一些低级错误（比如忘记接串口线等等）此处不再详细记录。

1、错误 1

（1）错误现象

下载 Linux 内核操作无响应。

（2）分析定位过程

Cache 和 TLB 显示初始化成功，tftp 应该搭建成功了(可与 Ubuntu 之间传送文件)，后来通过自习阅读讲义，发现是网络配置问题。

（3）错误原因

电脑的 IP 地址和开发板网卡的 IP 地址连接失败。

（4）修正效果

通过上网查资料，再结合 piazza 上的问答，将电脑主机的 IP 地址配置成固定 IP 地址。修改后，电脑与网卡连接成功。

四、实验总结（可选）

本次实验代码部分很简单，只是验证部分很麻烦，实验 90% 以上的时间都花费在这个上面。

回想这学期与 CPU 的爱恨缠绵，有种千帆过尽，一切归于平淡的错觉。也许这门课之后，不会再有机会写 Verilog，但是这门实验带给我的，不只是会写 Verilog 这么简单，还有逐渐强大的内心，虽然过程极其残忍……

现在面前无法逾越的高山深壑，也许在未来看来不过是一座座小土丘，成长就是这样，不是吗。

不管怎样，还是很感谢老师们布置了简单的 lab6，让这门课有了一个 happy ending ~ 今后的我们，也会加油的(´▽`ʃ♡Ʒ)！最后悄悄表白一下刑金璋助教，实在是太可爱啦！