

Homework 5

钟赞

2016K8009915009

1. 分别说明图 5.6~5.9 所示四种结构中每片包含冯诺依曼结构五个部分的哪个部分功能。

片的种类	CPU	GPU	(弱)北桥	南桥
图 5.6	控制器、运算器	I/O 设备	存储器、I/O 设备	I/O 设备
图 5.7	控制器、运算器	-	存储器、I/O 设备	I/O 设备
图 5.8	控制器、运算器、存储器	-	I/O 设备	I/O 设备
图 5.9	控制器、运算器、存储器	-	-	I/O 设备

2. 查阅资料，比较 Skylake 处理器和 Zen 处理器的运算器结构。

(老师，这道题我没有查到准确的相关资料 orz)

3. 说明 ROB、保留站（发射队列）、重命名寄存器在指令流水线中的作用，并查阅资料，比较 Skylake 处理器和 Zen 处理器的 ROB、保留站、重命名寄存器项数。

在乱序执行技术中，如果指令 i 为长延迟指令，则允许 i 后面的指令及其操作数准备好的情况下越过 i 执行。

ROB 的作用是存储 i 后执行完的指令，并根据指令进入流水线的次序。有序地提交指令的执行结果到目标寄存器或内存；保留站的作用是在 i 后指令的操作数没有准备好时，存储该指令进行等待，直到操作数准备好后，再释放该指令，允许其进入执行状态；

重命名寄存器的作用是临时保存 i 后已执行的指令的执行结果，直到到达该指令的执行顺序时，再将结果写回。

经查资料得知，Skylake 处理器的 ROB 为 224 项，Zen 处理器的 ROB 项数为 192。

保留站、重命名寄存器项数没有查到。

4. 对于程序段

```
for(i = 0; i < 10; i++)
    for(j = 0; j < 10; j++)
        for(k = 0; k < 10; k++)
            {...}
```

计算分别使用一位 BHT 表和使用两位 BHT 表进行转移猜测时三重循环的转移猜测准确率，假设 BHT 表的初始值均为 0。

- 1) 一位 BHT 表

每次 $k = 0-9$ 循环中，BHT 为 (0) 1111111110，第一次和最后一次猜错，准确率为：80%

- 2) 二位 BHT 表

第一次 $k = 0-9$ 循环中，BHT 为 (00) 1111111110，前两次和最后一次猜错，之后的每次 $k = 0-9$ 循环中，BHT 为 (10) 1111111110，共猜错 $3 + 99 = 102$ 次。

故准确率为 89.8%

5. 假设 A 处理器有二级 Cache，一级 Cache 大小为 32KB，命中率为 95%，命中延迟为 1 拍，二级 Cache 大小为 1MB，命中率为 80%，命中延迟为 30 拍，失效延迟为 150 拍。B 处理器有三级 Cache，一级 Cache 大小为 32KB，命中率为 95%，命中延迟为一拍，二级 Cache 大小为 256KB，命中率为 75%，命中延迟为 20 拍，三级 Cache 大小为 4MB，命中率为 80%，命中延迟为 50 拍，失效延迟为 150 拍。比较两款处理器的平均访问延迟。

A 处理器平均访问延时：

$$95\% * 1 + 5\% * 80\% * 30 + 5\% * 20\% * 150 = 3.65$$

B 处理器平均访问延时：

$$95\% * 1 + 5\% * 75\% * 20 + 5\% * 25\% * 80\% * 50 + 5\% * 25\% * 20\% * 150 = 2.575$$

6. 假设某内存访问、行关闭、打开、读写需要两拍，在行缓存命中率为 70%和 30%的情况下，采用 open page 模式还是 close page 模型性能更高？

如果采用 close page 模型，则时间开销与命中率无关，平均访存延迟为 4 拍；

如果采用 open page 模型，未命中时需要将行缓冲中的数据写回，再读入新数据，增加了四拍。

在 open page 模型下：

行缓存命中率为 70%时的访存延迟： $70\% * 2 + 30\% * 6 = 3.2 < 4$

行缓存命中率为 30%时的访存延迟： $30\% * 2 + 70\% * 6 = 4.8 > 6$

故行缓存命中率为 70%时选择 open page，行缓存命中率为 30%时选择 close page。

7. 简要说明处理器和 IO 设备之间的两种通信方式的通信过程。

1) 内存映射 IO

把 IO 寄存器的地址映射到内存地址空间中，这些寄存器和内存存储单元被统一编址，读写 IO 地址和读写内存地址使用相同的指令来执行。处理器需要通过它所处的状态来限制应用程序可以访问的地址空间，使其不能直接访问 IO 地址空间，从而保证应用程序不能直接操作 IO 设备。。

2) 特殊 IO 指令

使用专用指令来执行 IO 操作。IO 地址空间可以和内存地址空间重叠，但实际指向不同的位置。操作系统可以通过禁止应用程序执行 IO 指令的方式来阻止应用程序直接访问 IO 设备。

8. 简要说明处理器和 IO 设备之间的两种同步方式的同步过程。

1) 查询

处理器向 IO 设备发出访问请求后，需要不断读取 IO 设备的状态寄存器，获取设备的当前状态，当 IO 设备的当前状态允许时，处理器才能完成一次任务。

2) 中断

处理器在等待 IO 设备完成某个操作时，转去执行其他进程，当设备完成某个操作后，自行产生一个中断信号来中断处理器的执行。处理器被中断后，再去读取设备的状态寄存器。

9. 在一个两片系统中，CPU 含内存控制器，桥片含 GPU、DC 和显存，简要说明在 PPT 翻页过程中，CPU、GPU、DC、显存、内存之间的同步和通信过程。

以 MIPS 架构为例，按下键盘后，键盘产生一个信号送到桥片，桥片把键盘的编码保存在一个寄存器中，并通过系统总线向处理器发出外部中断信号。

该中断信号送至 CPU 后将 CP0_CAUSE 某一位置 1，表示收到了外部中断，CP0_STATUS 寄存器中的屏蔽位决定是否处理这个外部中断信号。

CPU 内部自动跳转到指定的操作系统例外处理入口地址 0x80000180 并执行内核代码：关中断、保存现场，操作系统从 CPU 的控制寄存器读例外原因，发现是外部中断例外，就向桥片的中断控制器读取中断原因，读取的同时清除桥片的中断位，发现中断原因是敲击空格键，接下来由操作系统唤醒 PowerPoint，PowerPoint 把下一页要显示的内容准备好，调用操作系统中的显示驱动程序，把要显示的内容送至桥片中的显存，GPU 访问显存空间，周期性地要把要显示的数据写入帧缓存，其中帧缓存可以分配在内存中，也可以在独立显存的情况下分配在独立显存中，DC 通过 DMA 方式访问帧缓存，根据帧缓存的内容进行显示，达到翻一页的效果。

10. 调查目前市场主流光盘、硬盘、SSD 盘、内存的价格，并计算每 GB 存储容量的价格。

存储种类	光盘	硬盘	SSD 盘	内存
价格 (RMB/GB)	0.20	0.35	1.40	58.50
品牌来源	ARITA	西部数据	三星	东芝