

实验 2-3 报告

学号 2016K8009915009

姓名 钟 赟

一、实验任务（10%）

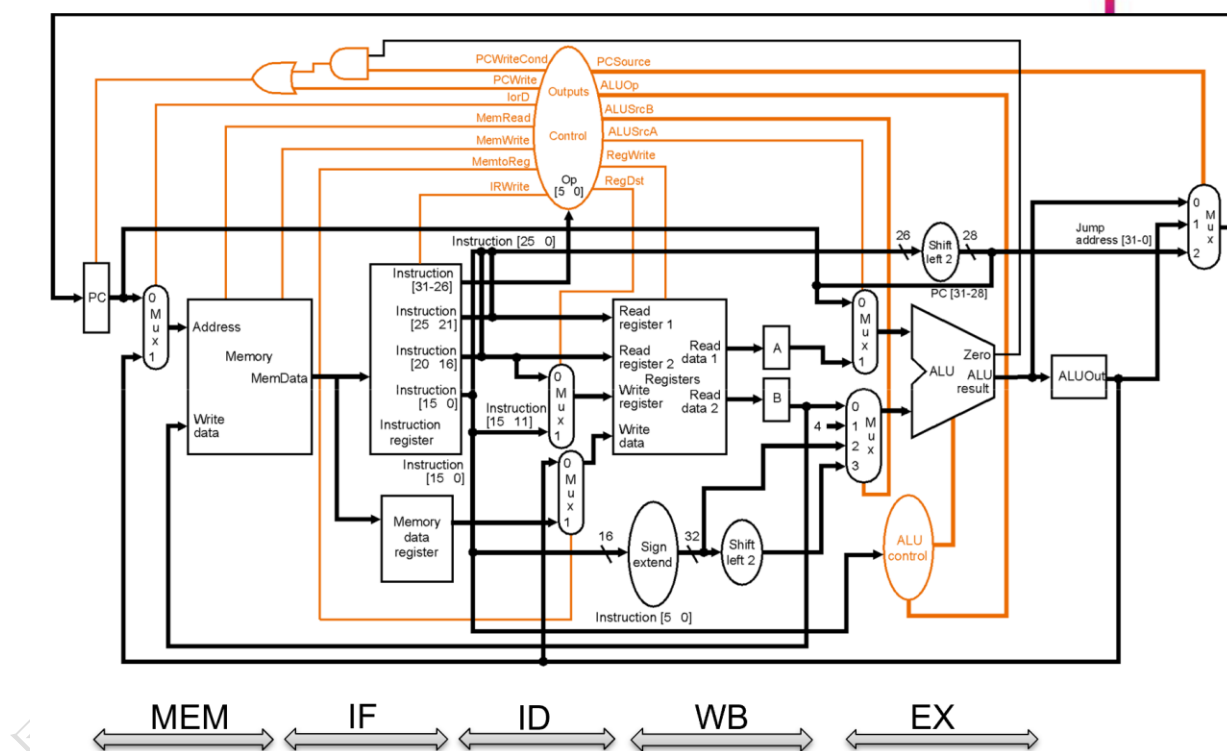
在实验 2-2 的基础上添加 18 条新指令：J、BGEZ、BGTZ、BLEZ、BLTZ、BLTZAL、BGEZAL、JALR、LB、LBU、LH、LHU、LWL、LWR、SB、SH、SWL、SWR。

通过性能测试程序 Coremark 和 dhrystone 仿真和上板运行。

优化并计算 myCPU 的性能。

二、实验设计 (30%)

(一) 实验结构图



（二）第三阶段添加指令

1、添加 SWL, SWR, SB, SH 指令

按照非对其访存指令的要求，在访存阶段将内存写数据正确移位，并且将内存写使能正确赋值。

2、添加 LWL, LWR, LB, LBU, LH, LHU 指令

按照非对其访存指令的要求，在访存阶段将内存读数据移位，再赋值给寄存器堆写数据。

3、添加其它指令

添加第三阶段要求的其它指令。在译码阶段添加新指令的控制信号即可

（三）性能测试

根据性能测试的仿真结果，测试 myCPU 的性能如下：

Coremark 性能测试结果：2.255 Coremark/MHz

Dhrystone 性能测试结果： $\frac{\frac{84745 \text{ Dhrystones/s}}{1757 \text{ Dhrystones/s}} \times 1 \text{ DMIPS}}{50 \text{ MHz}} = 0.96 \text{ DMIPS/MHz}$

三、实验过程（60%）

（一）实验流水账

2018-10-14 13:00-24:00 添加第三阶段要求的指令，仿真 debug 到第 64 个测试点。

2018-10-15 9:00-20:00 func_lab2_3 仿真上板通过，完成 dhrystone 和 coremark 性能测试。

（二）错误记录

1、错误 1

（1）错误现象

PC 与 ref_pc 不相符。

（2）分析定位过程

根据反汇编得知该指令为 J，观察 pc 的波形，得知跳转并没有错误，而是 J 指令错误地触发了 PC 的对比。

（3）错误原因

指令为 J 时，寄存器堆写使能赋值错误。

（4）修正效果

修改指令为 J 时的寄存器堆写使能为 0，并检查新添加的几条跳转指令的寄存器堆写使能是否正确。修正后，该处不再报错报错。

（5）归纳总结（可选）

添加新指令时考虑不周全。

2、错误 2

（1）错误现象

寄存器写回数据与 ref 数据不符。

（2）分析定位过程

该指令为 lw 指令，检查得知 lw 指令的运行过程没有错误，于是判断从内存中读取的数据错误，追溯上一条向该内存地址写数据的 load 指令，发现是 SB 指令执行错误。

（3）错误原因

SB 指令取数错误。SB 指令只把寄存器相应字节的数据存入内存，其它字节应保持不变，但是其它的字节却变了，原因是没有设置字节写使能。

(4) 修正效果

正确设置字节写使能。设置后，该处不再报错。

(5) 归纳总结（可选）

略。

四、实验总结（可选）

第三阶段的任务相对第二阶段轻松一些，很大一部分时间花在生成 golden_trace 文件上。在实现整个实验二的过程中，可谓多灾多难，2-1 和 2-2 都没有按时交上，最终完成之后，有种脱离苦海和学有所成的错觉，其实只是习惯苦海而已。希望做后面的实验可以更加游刃有余。