

版本历史

文档更新记录			文档名:	Lab04_CPU 例外与中断支持
			版本号	V0.2
			创建人:	计算机体系结构研讨课教学组
			创建日期:	2017-11-11
更新历史				
序号	更新日期	更新人	版本号	更新内容
1	2017/11/11	邢金璋	V0.1	初版。
2	2018/11/14	邢金璋	V0.2	调整时间点，增加 ERET 描述。

文档信息反馈: xingjinzhang@loongson.cn

1 实验四 CPU 例外与中断支持

在学习并尝试本章节前，你需要具有以下环境和能力：

- (1) 较为熟练使用 Vivado 工具。
- (2) 一定的 CPU 设计与实现能力。

通过本章节的学习，你将获得：

- (1) MIPS 架构的例外与中断分类。
- (2) CPU 例外相关的系统控制寄存器（CP0 寄存器）的知识。
- (3) MIPS 例外与中断产生、标记和处理的知识。

在本章节的学习过程中，你可能需要查阅：

- (1) 文档“A05_“体系结构研讨课” MIPS 指令系统规范”。
- (2) MIPS32 官方文档的卷 II 和卷 III。
- (3) 课本上例外与中断知识。

在开展本次实验前，请确认自己知道以下知识：

- (1) MTC0/MFC0、ERET、SYSCALL、BREAK 指令的定义和作用。
- (2) 理解 CP0 寄存器 STATUS、CAUSE、EPC、COUNT、COMPARE、BADVADDR 的定义和作用。请认真阅读文档“A05_“体系结构研讨课” MIPS 指令系统规范”。
- (3) 理解系统调用、断点、地址错、整型溢出、保留指令例外。
- (4) 理解时钟中断、硬件中断、软件中断。
- (5) 理解例外或中断产生时 CPU 的动作，特别是例外发生处为延迟槽指令时的处理方式。

1.1 实验目的

1. 理解 MIPS 架构的例外与中断的处理机制。
2. 初步理解软硬件协同。

1.2 实验设备

1. 装有 Xilinx Vivado、MIPS 交叉编译环境的计算机一台。
2. 龙芯体系结构教学实验箱（Artix-7）一套。

1.3 实验任务

为 myCPU 增加例外与中断支持，完成功能测试，并支持运行一定的应用程序。

本次实验分两周完成，第一周（2018 年 11 月 20 日检查），需要完成：

- (1) CPU 增加 MTC0、MFC0、ERET 指令。
- (2) CPU 增加 CP0 寄存器 STATUS、CAUSE、EPC。
- (3) CPU 增加 SYSCALL 指令，也就是增加 syscall 例外支持。
- (4) 运行功能测试通过，lab4-1 共有 69 个功能点测试。

第二周（2018 年 11 月 27 日检查），需要完成：

- (1) CPU 增加 BREAK 指令，也就是增加 break 例外支持，。

- (2) CPU 增加地址错、整数溢出、保留指令例外支持。
- (3) CPU 增加 CP0 寄存器 COUNT、COMPARE、BADVADDR。
- (4) CPU 增加时钟中断支持，时钟中断要求固定绑定在硬件中断 5 号上，也就是 CAUSE 对应的 IP7 上。
- (5) CPU 增加 6 个硬件中断支持，编号为 0~5，对应 CAUSE 的 IP7~IP2。
- (6) CPU 增加 2 个软件中断支持，对应 CAUSE 的 IP1~IP0。
- (7) 完成 lab4-2 功能测试。
- (8) 推荐在 myCPU 上运行 lab3 的电子表程序，并实现相同功能。
- (9) 推荐在 myCPU 上运行记忆游戏程序，并正确运行。

1.4 实验环境

本次实验实验环境与 lab2 基本一致。

将 func_lab4 放置在 ucas_CDE/soft 目录下。

1.5 实验检查

本次实验在 2018 年 11 月 20 日、2018 年 11 月 27 日分别进行检查。现场分仿真检查和上板检查，类似 lab2 的检查步骤。

1.6 实验提交

本次实验要求两个阶段分别提交一次，提交的作品包括纸质档和电子档。

(1) 纸质档提交

提交方式：课上现场提交，每组都必须要有。

截止时间：2018 年 11 月 20 日、11 月 27 日 18:10。

提交内容：纸质档 lab4 各阶段实验报告，分别记为 lab4-1、lab4-2。

实验报告模板参考“A06_实验报告模板”。

(2) 电子档提交

提交方式：打包上传到 Sep 课程网站 lab4 作业下，每组都必须要有。

截止时间：2018 年 11 月 20 日、11 月 27 日 18:10。

提交内容：电子档为一压缩包，以第一阶段提交为例，目录层次如下。

lab4-1_学号/	目录，lab4-1 作品。
--lab4-1_学号.pdf/	Lab4 实验报告，实验报告模板参考“A06_实验报告模板”
--myCPU /	目录，自实现 CPU 源码。目录请加一个 readme，简单描述下各文件。
--mycpu.bit /	功能测试的 bit 文件。

1.7 实验说明

1.7.1 例外与中断实现说明

关于例外与中断的详细描述，以及 CPU 处理机制、CP0 寄存器等请参见文档“A05_“体系结构研讨课” MIPS

指令系统规范”，重点阅读第 5、6 章节。

该文档关于中断与例外、系统控制寄存器的描述，属于 MIPS 架构的子集，是针对本课程实验整理得到的简化设计描述，请认真阅读。

1.7.2 ERET 指令

这条指令是本次实验中唯一一条不是 MIPS I 指令集的指令，ERET 指令的功能就是“Exception RETurn”，即从例外处理程序返回，在本实验涉及的指令集范围内，其具体的执行过程包括：

- (1) 清 CP0 中 Status 寄存器的 EXL 位；
- (2) 跳转到 CP0 中 EPC 寄存器所存的地址开始取指。

ERET 指令没有延迟槽，建议复用例外刷新流水线的通路。