

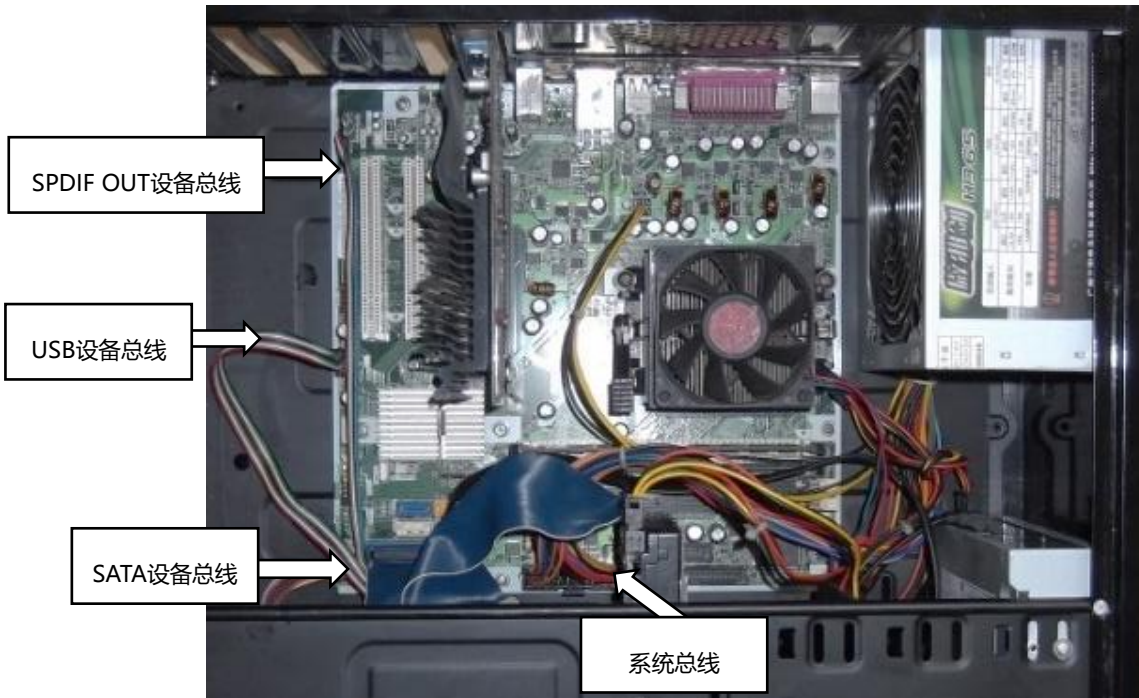
第六章作业

钟赞

2016K8009915009

1. 找一台电脑，打开机箱，说明每条连线都是什么总线。

如下图：



2. 说明总线包含哪些层次

总线包括以下层次：

机械层：接口的外形、尺寸、信号排列、连线的长度等；

电气层：信号描述、电源电压、电平标准、信号质量等；

协议层：信号时序、握手规范、命令格式、出错处理等；

架构层：硬件模型、软件框架等。

3. 计算一组AXI总线需要的信号线条数

AXI总线条数随ID、地址、数据的宽度等因素变化，下面根据AMBA AXI Protocol v1.0

计算信号线条数：

信号类型	信号名	信号线条数
全局	ACLK, ARESETN	2

写地址通道	AWID[3:0], AWADDR[31:0], AWLEN[3:0], AWSIZE[2:0], AWBURST[1:0], AWLOCK[1:0], AWCACHE[3:0], AWPORT[2:0], AWVALID, AWREADY	56
写数据通道	WID[3:0], WDATA[31:0], WSTRB[3:0], WLAST, WVALID, WREADY	43
写响应通道	BID[3:0], BRESP[1:0], BVALID, BREADY	8
读地址通道	ARID[3:0], ARADDR[31:0], ARLEN[3:0], ARSIZE[2:0], ARBURST[1:0], ARLOCK[1:0], ARCACHE[3:0], ARPORT[2:0], ARVALID, ARREADY	56
读数据通道	RID[3:0], RDATA[31:0], RRESP[1:0], RLAST, RVALID, RDADY	41
低功耗接口	CSYSREQ, CSYSACK, CACTIVE	3

4. 阅读AMBA APB总线的协议并设计一个APB接口的GPIO模块

```

module GPIO(
    input        pclk,
    input        presetn,
    input        pen,
    input        pwrite,
    input        psel,
    input  [ 9:0] paddr,
    output [31:0] prdata,
    input  [31:0] pwrdata,
    input  [31:0] gpio_i,
    input  [31:0] gpio_o,
    output [31:0] gpio_o_e
);

    reg [31:0] reg_gpio_i;
    reg [31:0] reg_gpio_o;
    reg [31:0] reg_gpio_o_e;
    reg [31:0] reg_gpio_i_r;

    // read channel
    always @ (posedge pclk) begin
        if(!presetn) begin
            reg_gpio_i  <= 32'd0
            reg_gpio_i_r <= 32'd0;
        end
        else begin

```

```

        reg_gpio_i    <= reg_gpio_i_r;
        reg_gpio_i_r <= gpio_i;
    end
end
assign prdata = paddr==10'd0 ? reg_gpio_o    :
                paddr==10'd1 ? reg_gpio_o_e :
                                reg_gpio_i    ;

// write channel
always @(posedge pclk) begin
    if(!presetn) begin
        reg_gpio_o    <= 32'd0;
        reg_gpio_o_e <= 32'd0;
    end
    else if(pen & pwrite & psel) begin
        if(paddr == 10'd1)
            reg_gpio_o_e <= pwrdata;
        else if (paddr == 10'd0)
            reg_gpio_o    <= pwrdata;
        end
    end
end
assign gpio_o    = reg_gpio_o;
assign gpio_o_e = reg_gpio_o_e;
endmodule

```

5. DRAM的寻址包含哪几部分

首先通过片选确定要访问哪一个芯片，选定芯片后，为了读取特定单元格的数据，要先确定bank，然后再进行行列寻址。在实际工作中，bank地址与行地址是同时发出的，之后再同时发送列地址和具体的操作命令（读或写）。

6. 假设一个处理器包含两个DDR 3 内存通道，每个通道为64位宽，内存地址线个数为15，片选个数为 4，计算该处理器实际支持的最大内存容量

每个通道为64位宽，可传递8B位宽的数据。根据DDR3协议规定，bank最多为3位，行地址最大为15位，列地址最多为10位，所以最大内存容量为：

$$2 * 8B * 4 * 2^3 * 2^{15} * 2^{10} = 16GB$$