中国科学院大学计算机组成原理实验课

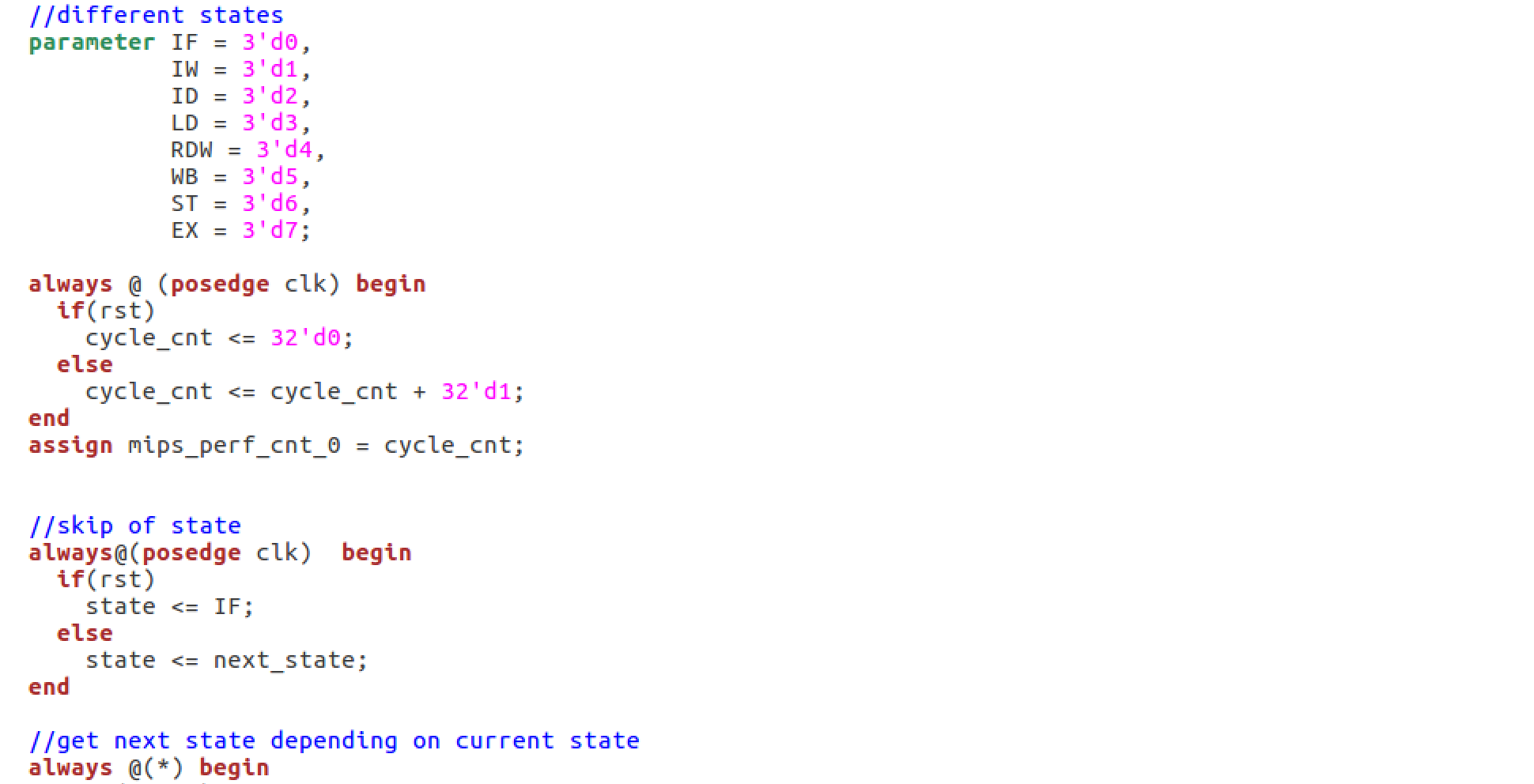
实 验 报 告

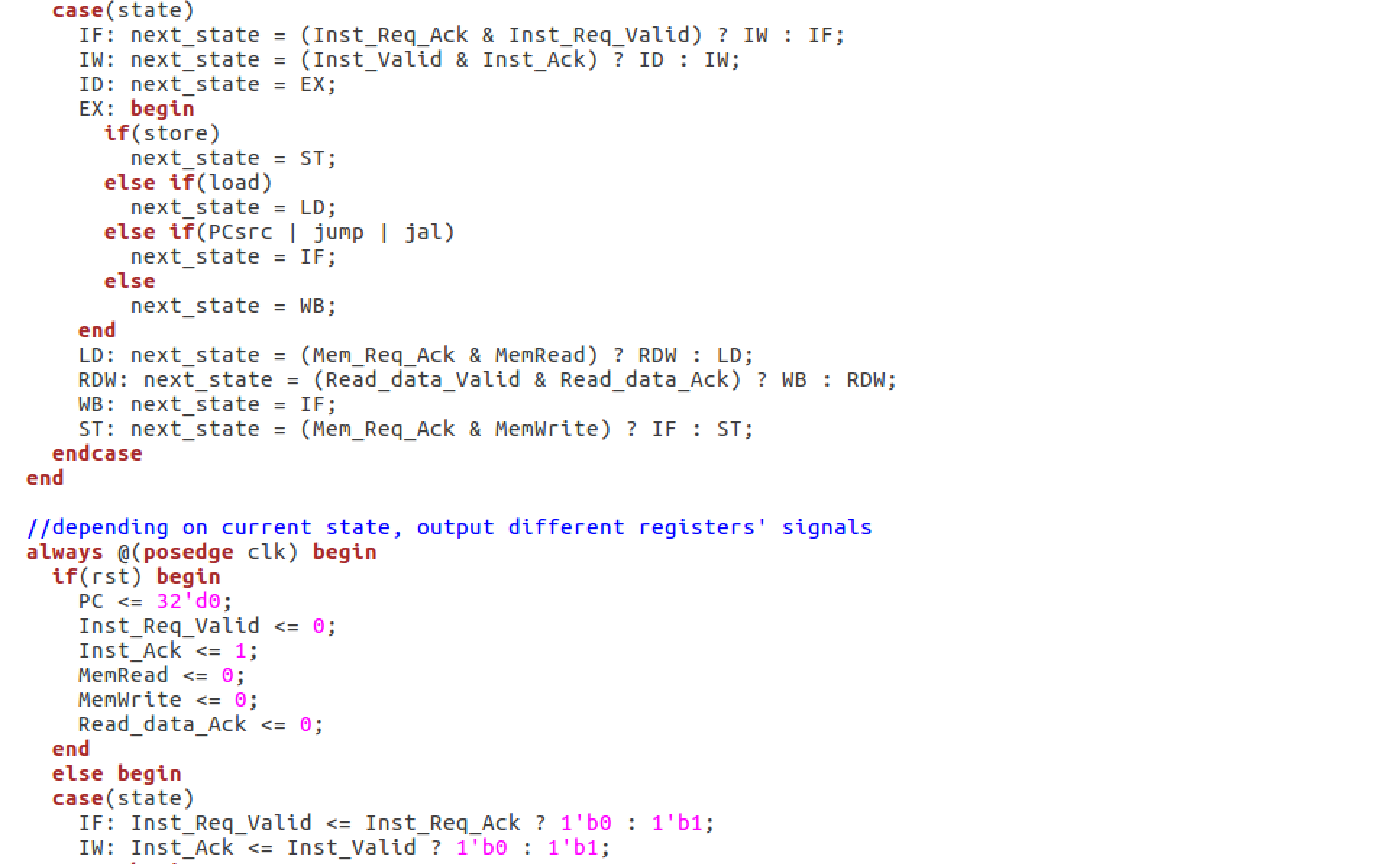
学号： 2016K8009915009 姓名： 钟赟 专业： 计算机科学与技术

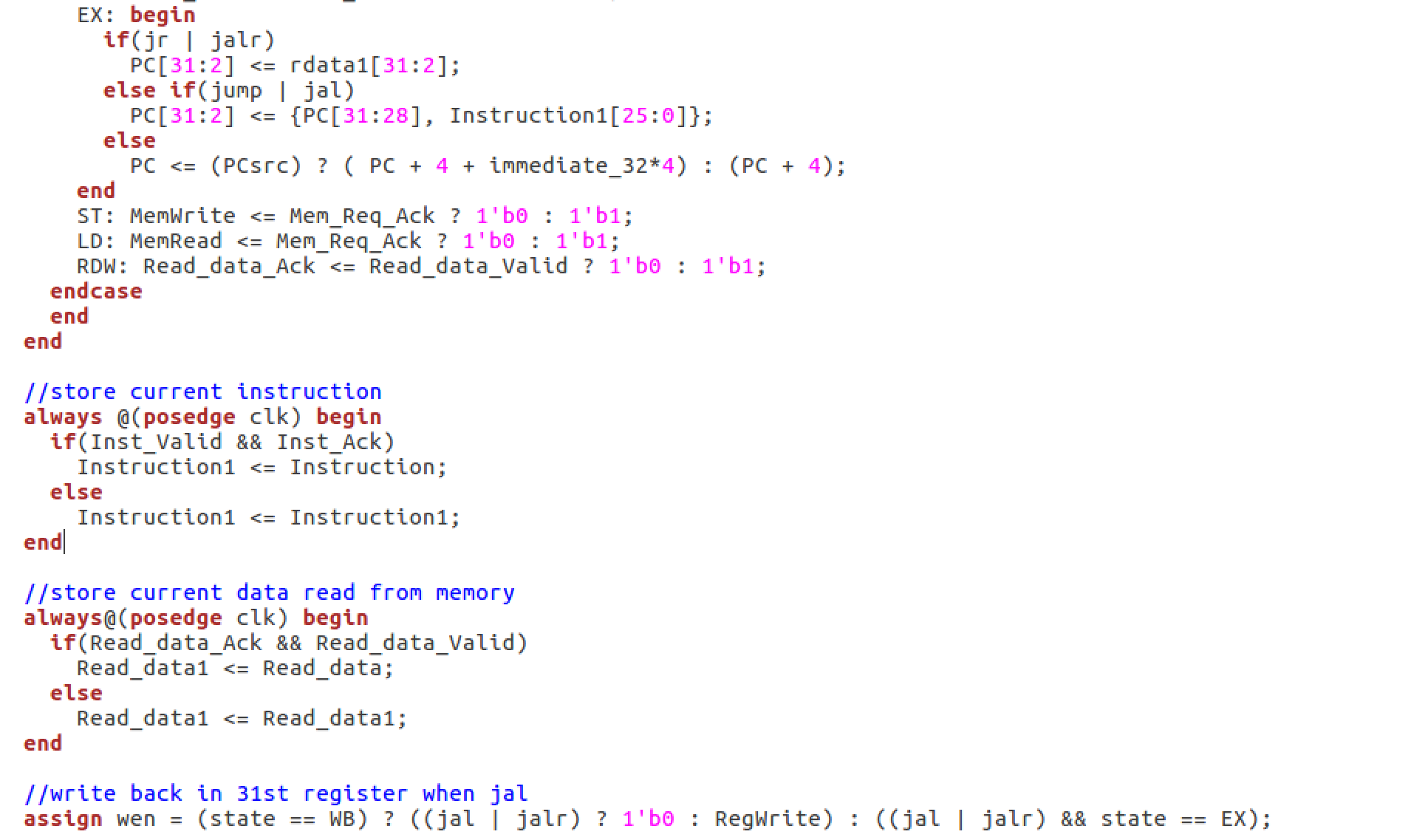
实验序号： 实验名称： 复杂处理器设计

1. 逻辑电路结构与仿真波形的截图及说明（比如关键RTL代码段{包含注释}及其对应的逻辑电路结构、相应信号的仿真波形和信号变化的说明等）
2. 关键代码段

mips\_cpu修改部分（主要修改为增加一个状态，以及跳转指令和寄存器写使能信号的修改）

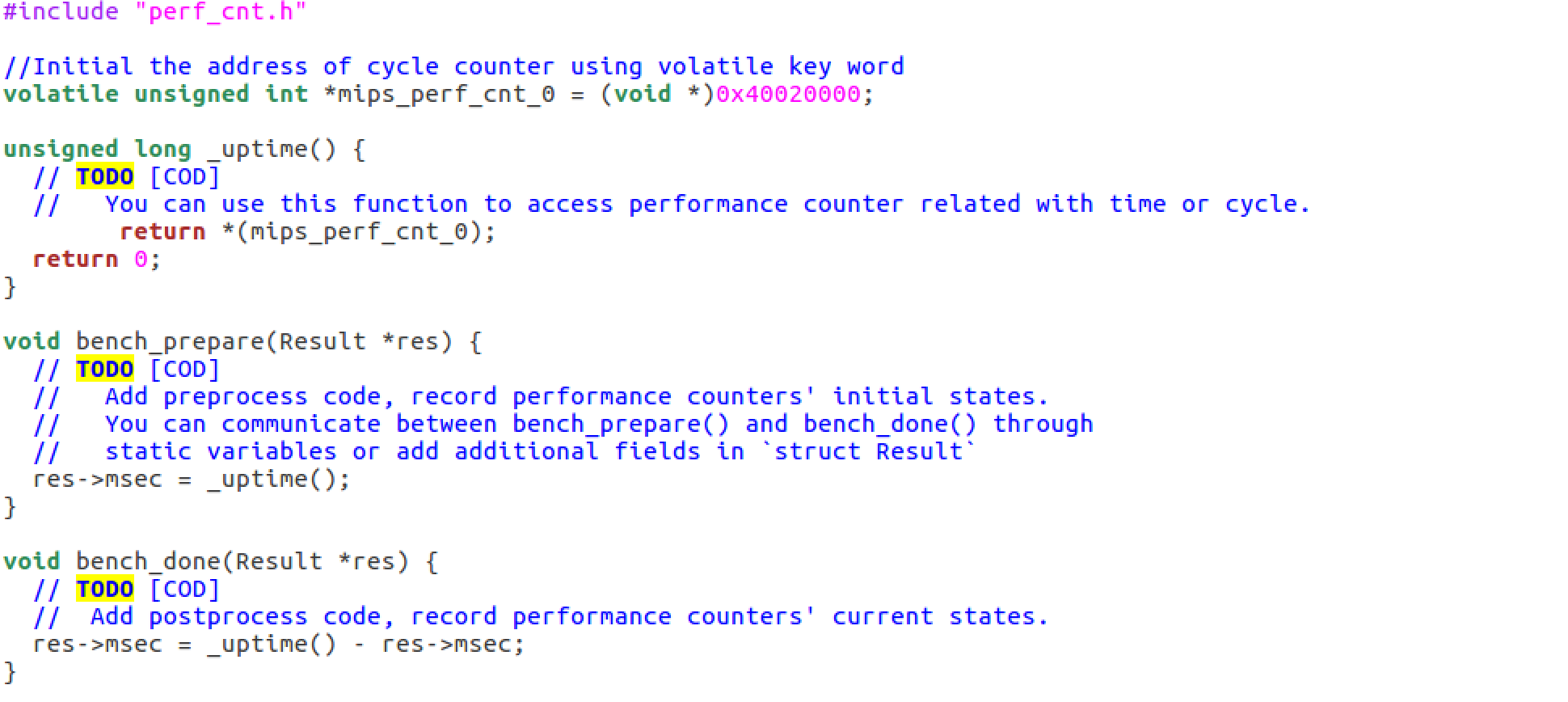






benchmark的修改:

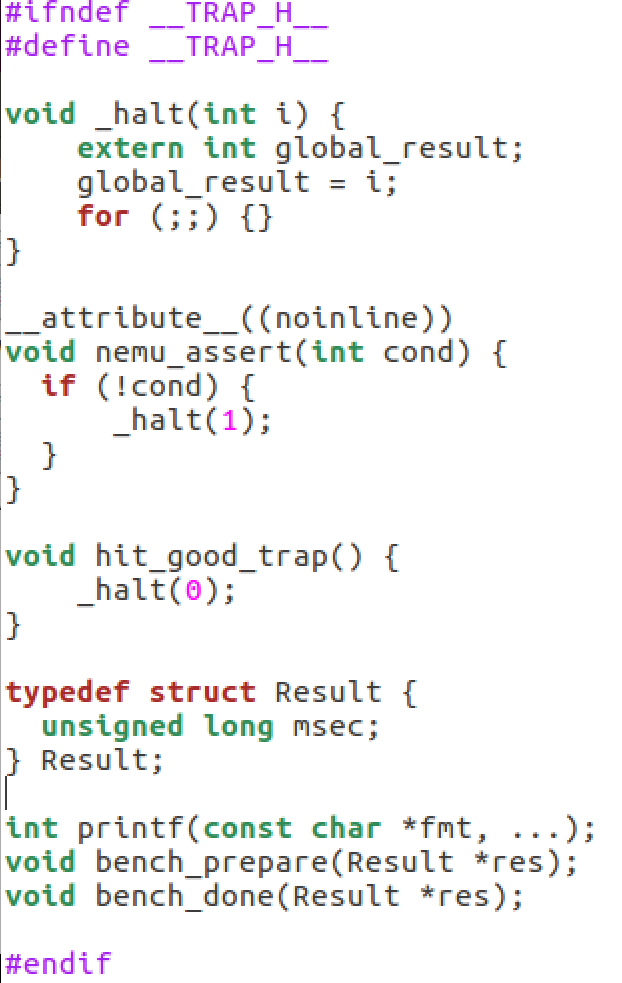
perf\_cnt.c



1. 仿真波形和逻辑电路结构与project4类似，故不再赘述。
2. 实验过程中遇到的问题、对问题的思考过程及解决方法（比如RTL代码中出现的逻辑bug，仿真、本地上板及云平台调试过程中的难点等）
3. 上板后发现只有advanced:04 recursion不能通过，通过对比benchmark反汇编发现只有recursion用了JALR指令，故锁定错误。错误在于JALR应该EX阶段回写寄存器，而不是在WB阶段。
4. 对讲义中思考题（如有）的理解和回答

思考题：如果想在main()函数中使用当 前C源码文件中未定义声明的 bench\_prepare()、bench\_done()和 printf()，还要做什么？

答：使用未定义声明的bench\_prepare()、bench\_done()和 printf()函数，需要提前在include头文件里声明，由于所有benchmark函数都包含”trap.h”，故我在medium和advanced组的include/trap.h头文件中定义了Result结构体，声明了bench\_prepare()、bench\_done()和 printf()函数。



1. 对于此次实验的心得、感受和建议（比如实验是否过于简单或复杂，是否缺少了某些你认为重要的信息或参考资料，对实验项目的建议，对提供帮助的同学的感谢，以及其他想与任课老师交流的内容等）

讲义中有一处错误（如下图），经过上板结果证明，JALR指令应在EX阶段将返回地址写入寄存器，而非WB阶段。



另外，此次实验行为仿真耗时将近一小时，debug不太方便。

最后感谢老师和助教的帮助和指导，使我在不知不觉中自学了verilog语言，以及比语言更重要的计算机组成原理框架和硬件思维，感谢同学在共同讨论中和我共同进步，感谢感谢男票一学期以来在写代码和debug过程中无微不至的陪伴和理解，希望我们未来依然携手前进！