

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
Cursos de Graduação: Engenharia de Computação e Ciência da
Computação

TRABALHO 1

Prof. S. Bampi

Disciplina: **INF01058 - Circuitos Digitais**

Turma A

TRABALHO PRÁTICO I - Simulação elétrica de portas lógicas CMOS

Realizar em Laboratório em 2 Sessões : Sessão 1 e 2.

OBJETIVO: O aluno deverá se familiarizar com e executar o simulador elétrico de circuitos integrados, o SPICE OPUS. O aluno fará a especificação de circuitos digitais com transistores PMOS e NMOS, com a sintaxe do “Spice” e executará as simulações solicitadas. Neste exercício não será feito o layout físico da portas lógicas.

Aula/Sessão 1) Aprendizado do Simulador / Interface / Sintaxe de entrada e de comandos / Medidas DC e transientes.

A simulação elétrica de um inversor CMOS básico deverá ser realizada pelo aluno, com $V_{dd}=3.3V$ e $T=T_{ambiente}$, que documentará no Relatório do Trabalho os seguintes resultados:

- 1- Curva da função de transferência DC : V_{out} vs. V_{in} (curva). Cálculo das Margens de ruído High e Low, extraídas a partir das curvas de função de transferência DC.
- 2- Valores (em ps = 10^{-12} s) dos tempos de resposta para o inversor projetado (para condições de carga tais que $F_{an-in} = F_{an-out} = 1$), tal como definidos em aula, a saber: T_{pnl} , T_{plh} , T_{rise} e T_{fall} .
- 3- Potência consumida por um inversor apenas, à frequência de chaveamento de $F_o = 200$ MHz, utilizando o método explanado abaixo.
- 4- Cálculo da energia média (em pJ) consumida por um (e apenas um) par de transições $L \rightarrow H$ e $H \rightarrow L$ na saída de um inversor.

Metodologia: Explicada no Laboratório do Prédio 67.

- I. Utilize o comando “subcircuito” para instanciar portas lógicas no arquivo .cir
- II. Fixe as geometrias dos transistores (width, w e lenght, l) como solicitado pelo instrutor do Laboratório. Use $l = 0,35$ um para todos os transistores.
- III. Use o arquivo .lib do modelo Spice da tecnologia CMOS 0.35um para especificar a característica elétrica do PMOS-FET e o NMOS-FET.
- IV. Para caracterizar tempos de atraso de propagação e tempos de

transição lógica $L \rightarrow H \rightarrow L$, e também a potência de um inversor o aluno deve instanciar 3 inversores em série. Medir os atrasos no 2º. Inversor da cadeia (situação de fan-in = fan-out da porta). Especifique um capacitor de 50 fF (50 femto-Farad = 5×10^{-4} Farad) na carga **do último inversor da cadeia**.

Aprenda a especificar forma de onda periódica numa entrada lógica. Realize a simulação “tran”/transiente entre 0ns e tempo_final de 10ns, plote as 4 curvas solicitadas e extraia os intervalos de tempo pedidos.

=====

Aula/Sessão 2) Simulação transiente de uma porta CMOS NAND4, i.e F(A,B,C,D), com 2 inversores. Todas portas alimentadas com Vdd=3.3V.

- 1- Especifique o subcircuito (**.subkt**) com a lista de transistores de uma porta CMOS NAND4. W=5um para PMOS e W=3um para NMOS. Conecte um inversor_x na entrada D. Conecte um inversor_y na saída da NAND4, com W= 3um (NMOS) e W=5um (PMOS). Na saída deste inversor_y, conecte para GND um capacitor Cload=0.5pF = 5×10^{-13} Farad.
- 2- Coloque nas entradas (A,B,C) dos 3 transistores NMOS mais próximos da saída da NAND4 a tensão DC 3.3V.
- 3- Especifique um inversor_x CMOS com w= 3um (NMOS) e w=5um (PMOS) cuja saída conecta-se à entrada D, no transistor NMOS da NAND4 cujo terminal fonte esteja conectado a GND (e no PMOS respectivo da entrada D).
- 4- Faça uma simulação transiente com um pulso na entrada do inversor_x e meça as seguintes características de atraso, transiente e potência/energia:

Faça a simulação transiente e coloque no Relatório do Trabalho os seguintes resultados:

- i) Valores (em ps = 10^{-12} s) dos tempos de resposta para a porta NAND 4 , tendo o inversor_y como carga, a saber: $T_{p_{hl}}$, $T_{p_{lh}}$, T_{rise} e T_{fall} .
- ii)- Potência consumida pela porta NAND4, à frequência de chaveamento de $F_o = 200$ MHz, utilizando resultados da simulação transiente.
- iii) - Cálculo da energia média (em pJ) consumida por um (e apenas um) par de transições $L \rightarrow H$ e $H \rightarrow L$ na saída da NAND4.

Restrições a serem utilizadas nas simulações transientes: os tempos de subida de cada transição $L \rightarrow H$ e descida $H \rightarrow L$ nas entradas “pulse” especificados no arquivo .cir é de apenas 0,2ns = 200ps.

RELATÓRIO do Trabalho 1

Documento no Relatório: nome, versão do Simulador Elétrico que você utilizou.

Faça os seguintes gráficos / “plots”, e inclua-os no Relatório. Faça screenshots compactadas (não bitmaps) e faça gráficos claros, com legendas para ordenadas e abcissas:

- 1- Esquemático gráfico elétrico dos transistores da simulação A)
- 2- Plot das curvas da Aula 1 : Curva de transferência DC V_{out} vs. V_{in} do Inversor.
- 3- Tabela com os valores de V_{il} , V_{oh} , V_{ih} , V_{ol} e NM_{Low} e NM_{High} (em Volts) do Inversor.
- 4- Plot da entrada .pulse e das 3 saídas dos inversores. Abcissa é tempo (escala de 0,1 ns no eixo x).
- 5- Tabela com todos os valores extraídos em Laboratório: $T_{p_{hl}}$, $T_{p_{lh}}$, T_{rise} e T_{fall} , Potência consumida pelo inversor (μW) e energia consumida no inversor (Aula 1), em pJ.
- 6- Esquemático gráfico elétrico dos transistores simulados na Aula 2, incluindo a porta NAND4.
- 7- Plot da entrada .pulse e das saídas de: inversor_x, NAND4, inversor_y.
- 8- Tabela com todos os valores solicitados: $T_{p_{hl}}$, $T_{p_{lh}}$, T_{rise} e T_{fall} , Potência consumida apenas na porta NAND4 (em μW) e energia consumida apenas na NAND4 (Aula 2), em pJ.
- 9- Comente e explique no Relatório: porque os T_{rise} e T_{fall} na NAND4 são maiores ?

Coloque em Apêndice no seu Relatório: Lista dos arquivos **.cir** utilizados nas simulações das portas lógicas (INVersor e NAND4).

Conteúdo do arquivo .lib para o modelo dos transistores PMOS e NMOS.

ENTREGA do RELATÓRIO: Faça o Relatório individual (um por aluno(a)). Caso tenham compartilhado a bancada e as simulações, indiquem o nome de ambos que elaboraram o relatório conjunto. Equipe de no máximo 2 alunos(as) será aceita pelo instrutor.

Prazo para Relatório: Dia 05-04-2016 22h00 (faça o upload no moodle.inf.ufrgs.br)

BIBLIOGRAFIA BÁSICA

- Rabaey, J., Chandrakasan, A., Nikolic, B. - "Digital Integrated Circuits – A Design Perspective". Prentice Hall, 2003, 2a. Edição.
- Manuais no moodle da disciplina.

AVALIAÇÃO

A avaliação em INF058 será feita pela média $M = 0.4V1 + 0.4V2 + 0.2P$, onde

- V1 é a nota da primeira verificação
- V2 é a nota da segunda verificação
- P é a média atribuída aos trabalhos práticos de projeto do semestre.

O aluno poderá substituir a média ($0.4(V1+V2)$) pela nota do exame de recuperação. A prova de recuperação incluirá todo o conteúdo da disciplina. A Nota referente aos projetos e seus relatórios (P) não poderá ser recuperada.