

Trabalho 1

Sistemas Digitais

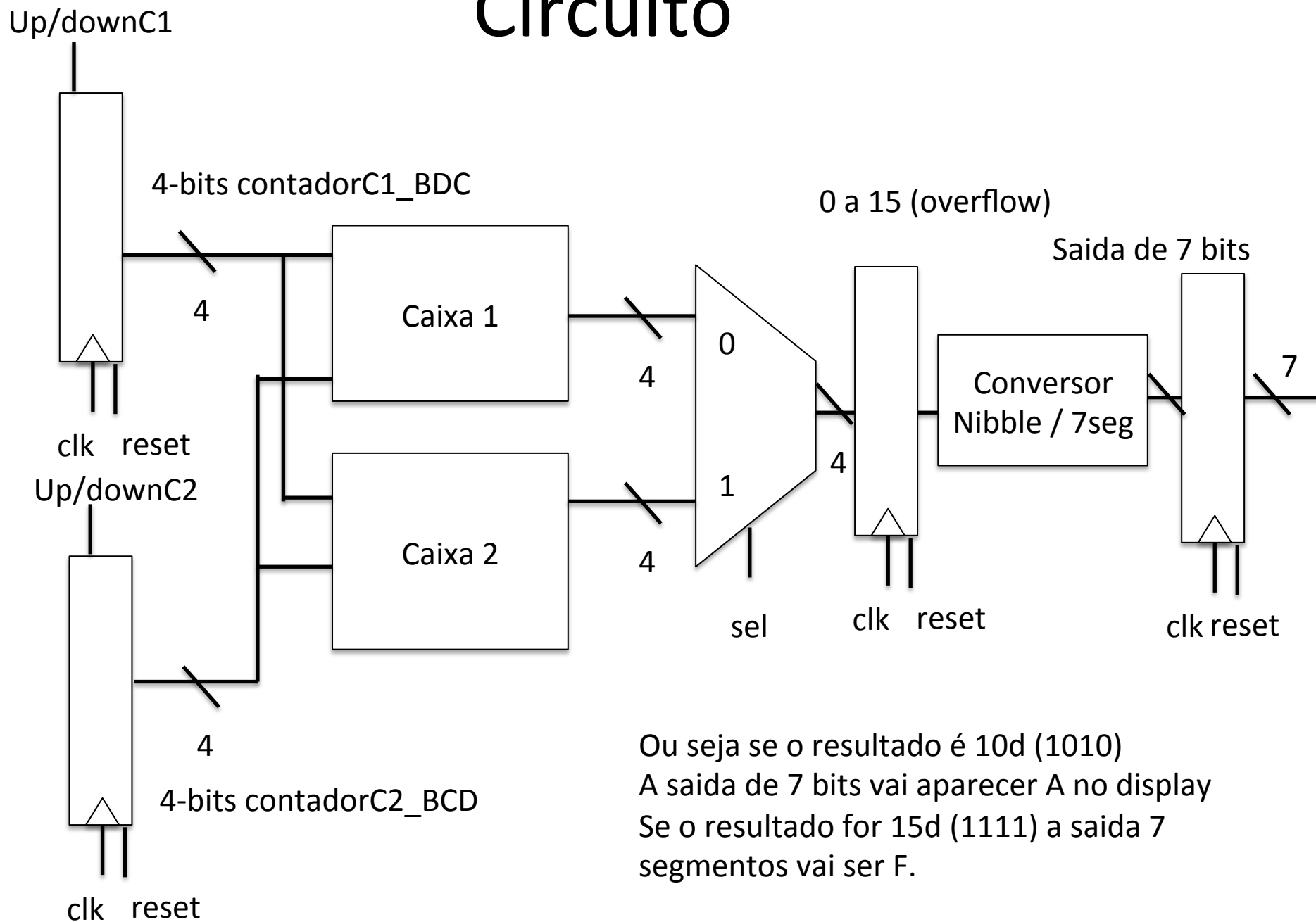
2017-1

Prof. Fernanda Lima Kastensmidt

Definição do Trabalho

- 1) Descrever em VHDL o seguinte circuito, observando o detalhe da implementação conforme o numero de matricula.
- 2) Criar um testbench que exercite a funcionalidade do circuito de maneira exaustiva ou próximo ao exaustivo.
- 3) Simular sem atraso e observar os resultados no simulador nas formas de onda. Quem quiser usar os comandos report e print, olhar slide sobre Testbench (Moodle)
- 3) Coletar os dados de área (# LUTs e #ffps) e desempenho em MHz do circuito para FPGA Spartan3E-100.

Circuito



Caixa 1:

- Subtrador de 4-bits unsigned do CoreGenerator para alunos com matriculas de final 0,2,4,6 e 8.
- Somador de 4-bits unsigned do CoreGenerator para alunos com matriculas de final 1,3,5,7,9.

** Notem que a latencia do somador ou subtrador do Coregenerator deve ser 0.*

Caixa 2:

- Somador de 4-bits implementado com o comando de (+) para alunos com matriculas de final 0,2,4,6 e 8.
- Subtrador de 4-bits implementado com o comando (-) para alunos com matriculas de final 1,3,5,7,9.

Entrega

No Moodle colocar um zip nomeado da seguinte forma **NOMEDOALUNO.ZIP**

Esse zip deve conter:

- 1) os arquivos VHDL e testbench
- 2) PDF de 1 a 2 folhas de relatório explicando a simulação, com screenshots e uma tabela com os dados de 4-LUTs e ffps e frequência estimada (MHz).