

**UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA**

**INF01175 - Sistemas Digitais para Computação - 2017/1
Prof. Dra. Fernanda Gusmão de Lima Kastensmidt**

Gustavo Madeira Santana - 252853 - gmsantana@inf.ufrgs.br

Trabalho Prático 1

Implementação e simulação VHDL de registradores e operadores aritméticos

1. Objetivos

O primeiro objetivo deste trabalho é implementar em VHDL o circuito indicado na figura 1, onde a caixa 1 representa um somador de 4 bits gerado pelo CoreGen e a caixa 2 é um subtrator simples.

O segundo objetivo é criar um *testbench* exaustivo a fim de verificar que o circuito implementado se comporta adequadamente em toda e qualquer situação.

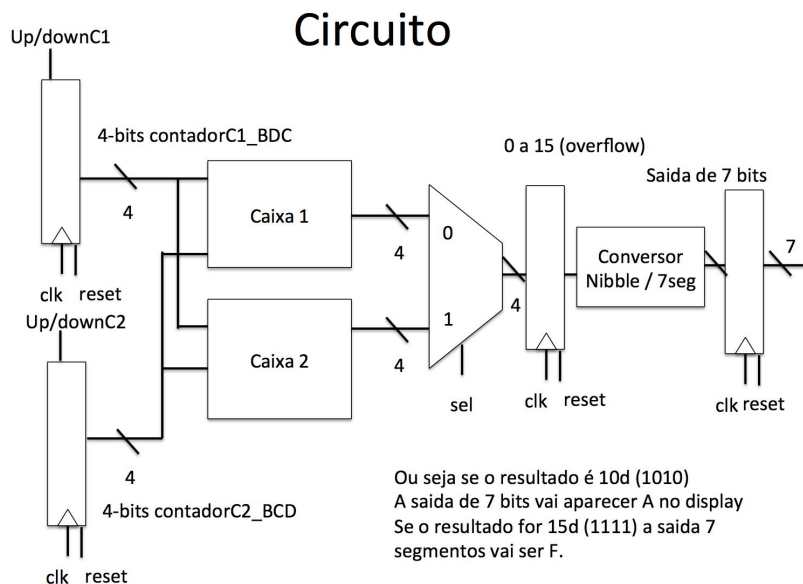


Figura 1 - circuito a ser implementado

2. Implementação

Cada componente foi implementado de forma independente e posteriormente instanciado em um arquivo top-level, que é o circuito principal. (ckt.vhd).

Os componentes implementados foram:

1. Registrador contador up/down (counter.vhd)
2. Registrador FFD (dff.vhd)
3. Mux 2:1 (mux21.vhd)
4. Conversor para display de 7 segmentos (segdisplay.vhd)

No arquivo *top-level* (figura 2) é instanciado todos os componentes e fios que fazem o roteamento dos sinais. Essa entidade, *ckt*, tem como entrada os sinais:

- Clock
- Reset
- Updown1 - direção do contador1
- Updown2 - direção do contador2
- Seletor - seleciona entrada do multiplexador

E como sinal de saída:

- Out_segdisplay - 7 bits para exibir valor hexadecimal no display

```
architecture behaviour of ckt is
    signal out_counter1, out_counter2, out_adder, out_subtractor, out_mux, out_r_mux : std_logic_vector(3 downto 0);
    signal d0, d1, d2 : std_logic_vector(3 downto 0); -- bcd values
    signal out_segdisplay : std_logic_vector(6 downto 0); -- segment display output
begin

    updown_counter1 : entity work.counter generic map(4) port map(clk, rst, updown1, out_counter1);
    updown_counter2 : entity work.counter generic map(4) port map(clk, rst, updown2, out_counter2);

    -- caixa 1 : adder coregen
    coregen_adder : entity work.adder port map (out_counter1, out_counter2, clk, not rst, out_adder);

    -- caixa 2 : subtractor
    sub_logic : out_subtractor <= out_counter1 - out_counter2;

    -- 2:1 mux : 0 = adder - 1 = subtractor
    mux21_add_mux : entity work.mux21 generic map(4,4) port map(out_adder, out_subtractor, selector, out_mux);
    register_mux : entity work.dff generic map(4) port map(clk, rst, out_mux, out_r_mux);

    -- bcd converter, 14 bits
    -- bcdconv : entity work.bcdconverter generic map(4) port map(out_r_mux, d0, d1, d2);
    display : entity work.segdisplay port map(rst, out_r_mux, out_segdisplay);
    register_data_out : entity work.dff generic map(7) port map(clk, rst, out_segdisplay, data_out);

end behaviour;
```

Figura 2 - implementação do circuito top-level, ckt.vhd

3. Simulação

Para testar o circuito foi implementado um *testbench* exaustivo (tb_ckt.vhd). Para auxiliar na visualização e depuração dos resultados, os sinais da saída das caixas 1, 2 e dos registradores foram incluídas na waveform.

Foi simulado todas as combinações possíveis dos registradores contadores. Ambos contando para cima, ambos contado para baixo, e um contando para cima e outro para baixo.

Para cada operação de soma ou subtração, o resultado obtido foi comparado com o "gold". O gold foi implementado usando os operadores '+' e '-'. Para fazer a comparação foi usado uma xor, uma vez que não é permitido comparar vetores diretamente. Em caso de diferença desses resultados, uma flag de erro é inicializada em '1'.

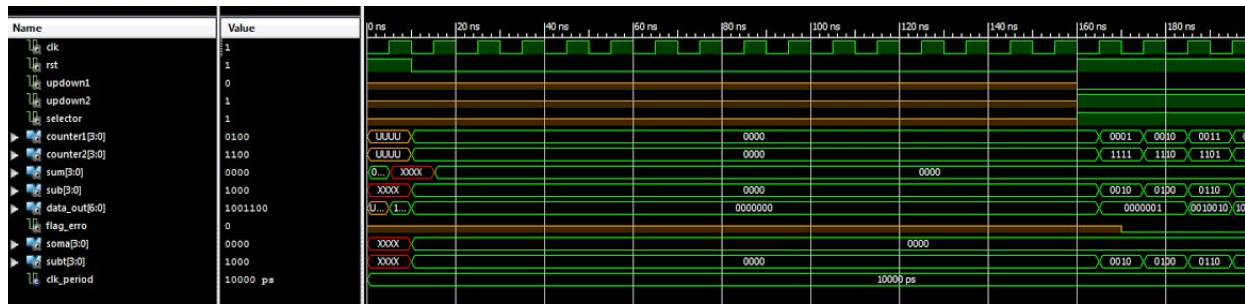


Figura 3 - simulação do testbench

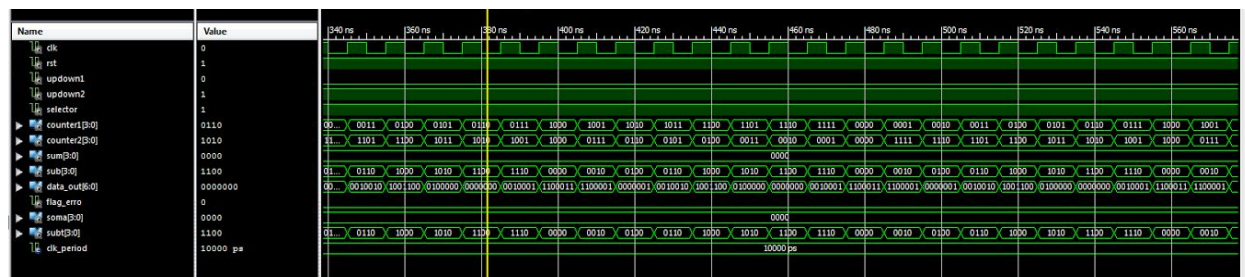


Figura 4 - simulação do testbench

4. Dados extraídos

4.1 Número de LUTs/FFs

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	
Number of Slice Flip Flops	23	1,920	1%	
Number of 4 input LUTs	37	1,920	1%	
Number of occupied Slices	20	960	2%	
Number of Slices containing only related logic	20	20	100%	
Number of Slices containing unrelated logic	0	20	0%	
Total Number of 4 input LUTs	37	1,920	1%	
Number of bonded IOBs	28	66	42%	
Number of BUFMUXs	1	24	4%	
Average Fanout of Non-Clock Nets	4.17			

4.2 Frequência máxima

Timing Summary:

Speed Grade: -4

Minimum period: 4.861ns (Maximum Frequency: 205.719MHz)