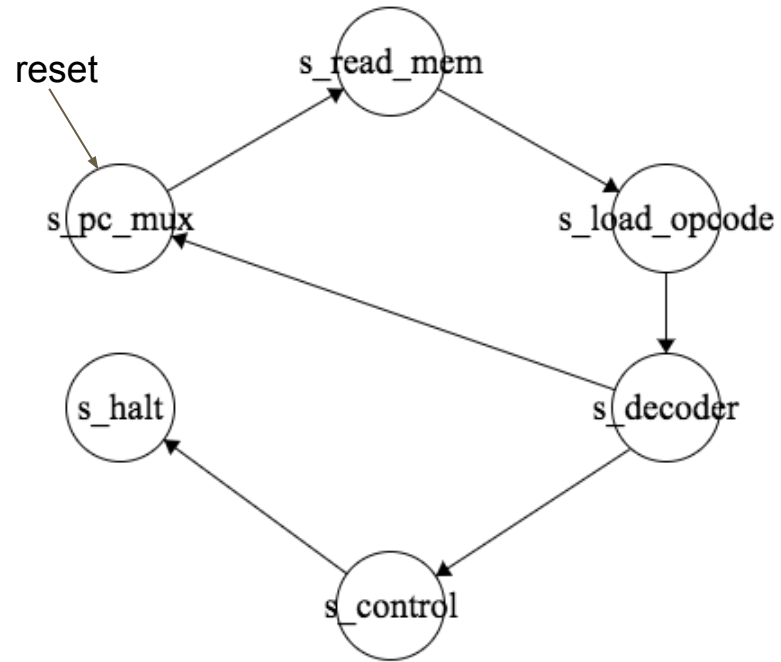

Sistemas Digitais

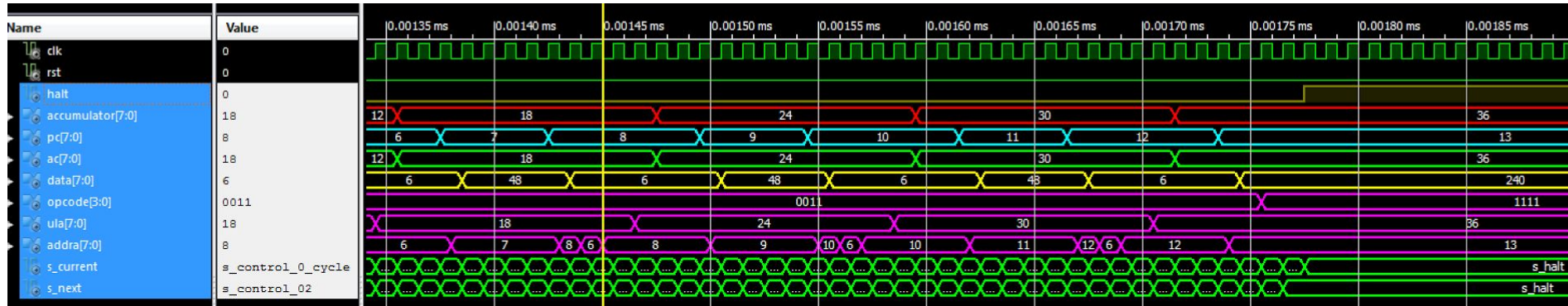
Neander em VHDL

Gustavo Madeira Santana
Henrique Mendes de Moura

Finite State Machine



Contador de 0 a 36 de 6 em 6 usando adição



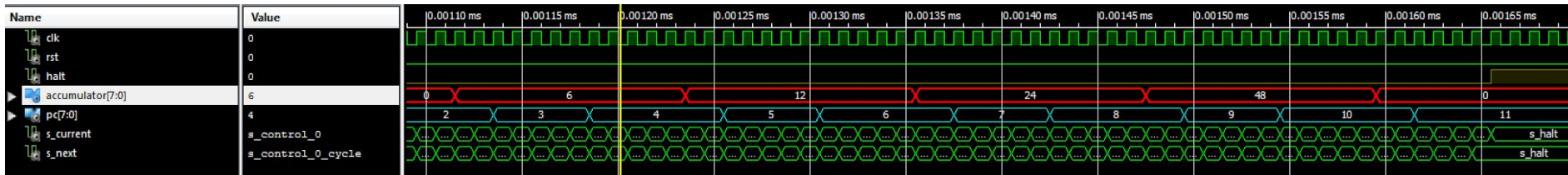
Soma de Matrizes

$$\begin{vmatrix} 2 & 4 \\ 4 & 4 \end{vmatrix} + \begin{vmatrix} 2 & 2 \\ 4 & 6 \end{vmatrix} = \begin{vmatrix} 4 & 6 \\ 8 & 10 \end{vmatrix}$$

Carrega o valor das matrizes dos endereços 128 ao 135
Salva resultado nos endereços 136, 137, 138 e 139



6×2^3 usando multiplicação e comparador



Dados de área e frequência

$F_{MAX} = 191.531\text{Mhz}$

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Total Number Slice Registers	55	1,920	2%
Number used as Flip Flops	31		
Number used as Latches	24		
Number of 4 input LUTs	109	1,920	5%
Number of occupied Slices	74	960	7%
Number of Slices containing only related logic	74	74	100%
Number of Slices containing unrelated logic	0	74	0%
Total Number of 4 input LUTs	109	1,920	5%
Number of bonded IOBs	11	83	13%
IOB Flip Flops	8		
Number of RAMB16s	1	4	25%
Number of BUFGMUXs	1	24	4%
Number of MULT18X18SIOs	1	4	25%
Average Fanout of Non-Clock Nets	2.95		

Resultado das simulações

Programa	Nº de Instruções	Ciclos de Relógio	Segundos (50 MHz)
Contador	10	90	1.80us
Soma de Matrizes	17	141	2.82us
6×2^3	6	83	1.65us

Perguntas