

实验三 简易模型机中组合部件的实现

一、实验目的

1. 了解简易模型机的内部结构和工作原理。
2. 分析模型机的功能，设计 ALU 和移位逻辑。
3. 分析模型机的工作原理，设计模型机控制信号产生逻辑。

二、实验背景

1. 简易模型机结构

计算机的工作过程可以看作是许多不同的数据流和控制流在机器各部分之间的流动，数据流所经过的路径称作机器的数据通路。数据通路不同，指令执行所经过的操作过程就不同，机器的结构也就不一样。本模型机的结构如图 1 所示：

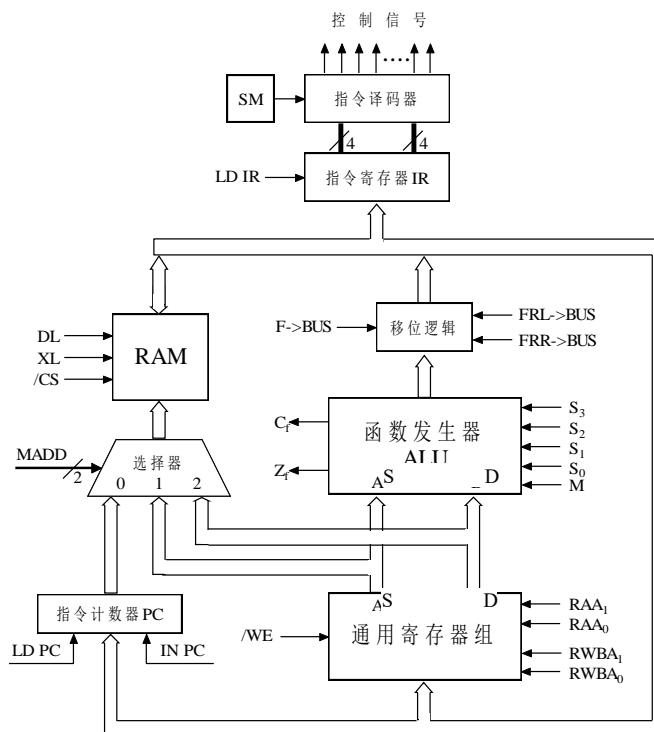


图 1 模型机的结构

2. ALU

算术逻辑运算类指令：

ADD R1, R2

SUB R1, R2

OR R1, R2

NOT R1

这类指令的执行过程为：

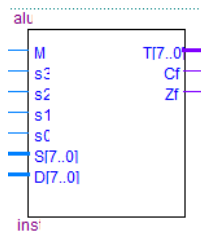
由R2的编码通过RAA1、RAA0从通用寄存器组S口读出R2的内容,由R1的编码通过RWBA1、RWBA0从通用寄存器组D口读出R1的内容,在S3~S0和M的控制下,实现运算,经移位逻辑送入总线BUS;由/WE控制和R1的编码选择RWBA1、RWBA0,将BUS上的数据写入通用寄存器R1。其中ADD和SUB指令影响状态位Cf和Zf。

指令具体功能如下：

汇编符号	功能	编码
ADD R1, R2	$(R1) + (R2) \rightarrow R1$	1001 R1 R2
SUB R1, R2	$(R1) - (R2) \rightarrow R1$	0110 R1 R2
OR R1, R2	$(R1) \vee (R2) \rightarrow R1$	1011 R1 R2
NOT R1	$\neg (R1) \rightarrow R1$	0101 R1 XX

ALU根据S3-S1和M控制信号需要实现ADD、SUB、OR、NOT运算,ADD、SUB指令影响状态位Cf和Zf。另外,ALU在MOVA、MOVB、RSR、RSL和OUT五条指令执行时,将输入S或D口的数据传输至输出T,提供将数据传输至BUS总线的数据通路。

ALU模块的输入输出引脚如下图所示：



3. 移位逻辑

移位指令：

RSR R1

RSL R1

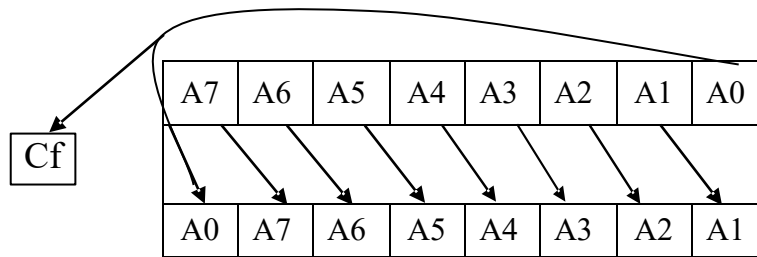
这类指令的执行过程为：

由R1的编码通过RWBA1、RWBA0从通用寄存器组D口读出R1的内容,在S3~S0和M的控制下通过ALU,经移位逻辑循环右移或循环左移后送入总线BUS;再由/WE控制和R1的编码选择RWBA1、RWBA0,将BUS上的数据写入通用寄存器R1。

指令具体功能如下：

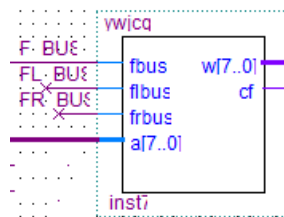
汇编符号	功能	编码
RSR R1	$(R1)$ 循环右移一位 $\rightarrow R1$	1010 R1 00
RSL R1	$(R1)$ 循环左移一位 $\rightarrow R1$	1010 R1 11

RSR 循环移位操作具体如下：



移位逻辑需要实现RSR、RSL操作，还需提供MOVA、MOVB、ADD、SUB、OR、NOT、OUT指令执行时,将数据传输至BUS总线的通路。

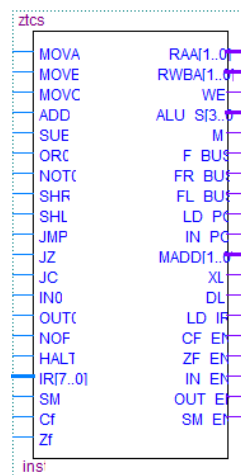
移位逻辑的输入输出引脚如下图所示：



4. 控制信号产生逻辑

控制信号产生逻辑接收指令译码器的输出，配合 SM、IR[7..0]以及状态位 Cf 和 Zf，产生每个模块所需要的控制信号。

控制信号产生逻辑的输入输出引脚如下图所示：



三、实验内容

1. 用 VHDL 语言设计模型机的 ALU 模块；
2. 用 VHDL 语言设计模型机的移位模块；
3. 用 VHDL 语言设计模型机的控制信号产生逻辑。

四、实验要求

1. 进实验室前，请写一份预习报告；如有疑问，可在学习通平台相互讨论。

2. 预习报告内容有：

- ALU 模块的 VHDL 程序；
- 移位逻辑的 VHDL 程序；
- 控制信号产生逻辑的 VHDL 程序。

3. 在文本编辑区使用 VHDL 硬件描述语言设计逻辑电路，再利用波形编辑区进行仿真，以此验证电路的逻辑功能是否正确，最后在 Tool 下用 netlist viewer 查看 RTL viewer，以查看实现的 RTL 电路图。

5. 实验结束前，由指导老师检查了仿真波形后方可离开。

6、最后撰写实验报告，提交到学习通平台，并在平台上分享设计的警告、资源消耗以及 RTL 视图。

7、评判各种实现方案，并打分。

五、思考题

1. 移位逻辑不工作时，输出应该为何值？为什么？
2. ALU 的输出 Cf 和 Zf 应该如何处理？
3. 如何产生正确的控制信号以及具体的编程实现？