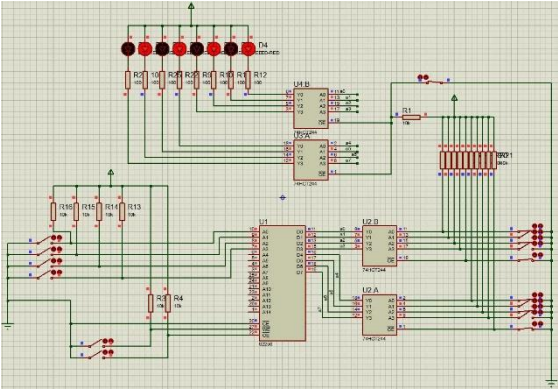


C 级任务：HM62256电路 (80%)

1.设计 HM62256 测试电路并对其仿真验证

测试电路：



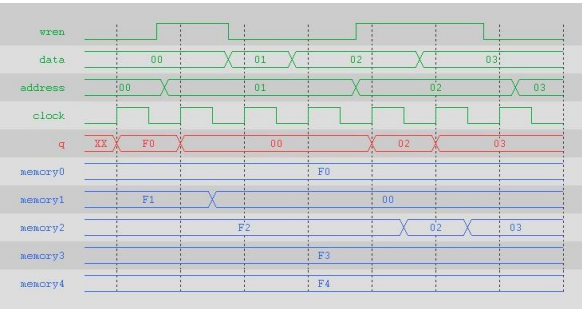
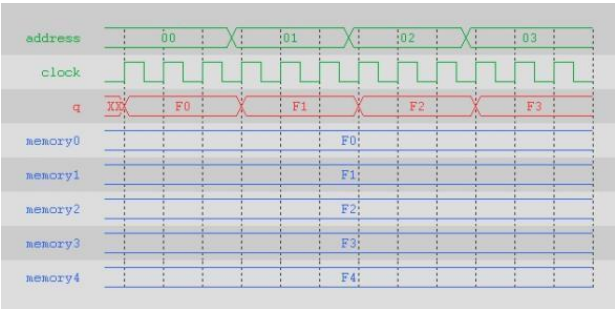
仿真验证实现 HM62256 的读写功能，记录操作步骤和实验结果

验证步骤如下：

- 1. 写入：首先将地址开关设置为A0A3=0000，开关全闭合，数据输入开关设置为A7A0=10101010，开关相间闭合；然后将WE设置为低电平，输出信号OE设置为高电平，控制三态门的开关闭合，写入地址为0x0，数据输入为10101010；可以看到LED灯组显示为暗亮暗亮暗亮暗亮，表示写入数据10101010。
- 2. 读取0x0地址：紧接着，依次将WE设置为低电平，三态门控制信号开关打开，LED灯熄灭。最后将输出信号OE设置为低电平，开关闭合的一瞬间可以看到LED显示为暗亮暗亮暗亮暗亮，表示读取成功。
- 3. 实验结论：读写操作成功。

2.定制开发一个1-port RAM的IP核

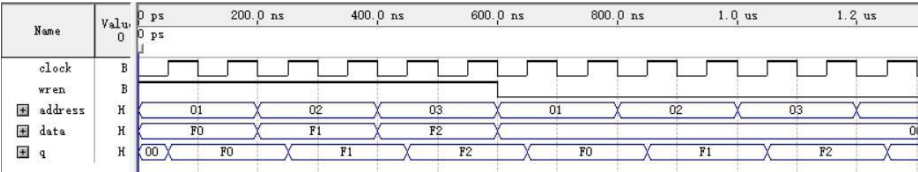
分析并说明生成目录下的 html 波形报告 (目标cycloneII 系列)



左图为读取操作波形图，在时钟上升沿且使能为0时读取。第1、2、3个时钟上升沿读取地址00的值F0并输出；第4、5、6个时钟上升沿读取地址01的值F1并输出；之后以相同的原理在时钟上升沿读取输出 F2、F3。

右图为写操作波形图，在时钟上升沿且wren 有效时将输入加载到输出端，然后在同周期的下降沿写入。第2个时钟周期的上升沿将数据输入加载到输出，下降沿的时候将输入00写入memory1；同理在第5个和第6个时钟周期的上升沿将数据输入加载到输出，下降沿将输入的02和03写入 memory2。

仿真验证其读写功能，记录波形图并说明



- 1. 0~600ns: wren=1, 进行写入操作。在第 1、3、5 个时钟上升沿分别将 F0、F1、F2 写入地址 01、02、03。
- 2. 600ns 后: wren=0, 进行读取操作。在第 7、9、11 个时钟上升沿分别读地址01、02、03 的值 F0、F1、F2。最后可以看到地址 01、02、03 写入的数据和读取的数据一致，读写功能验证正确。

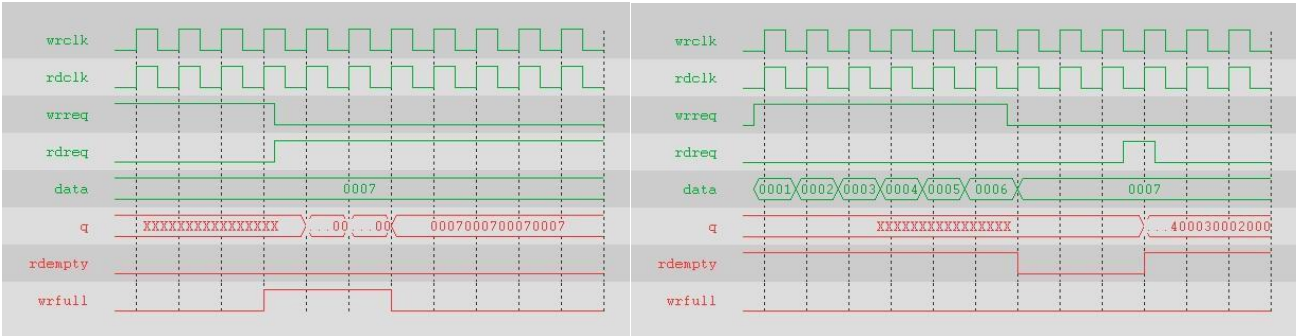
B 级任务：异步 FIFO (90%)

1.分析并说明生成目录下的 html 波形报告

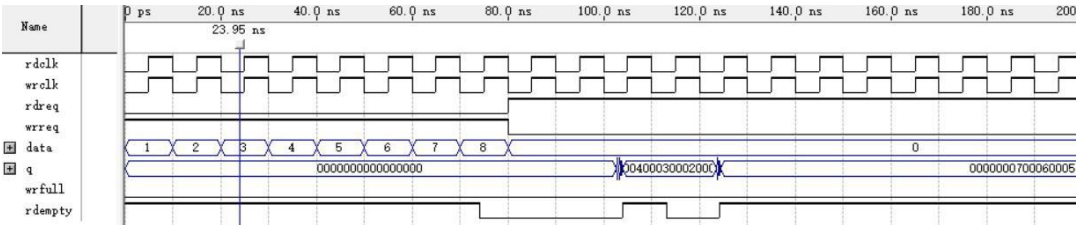
左图为 FIFO 的读写操作，在上升沿且 wrreq 有效时进行写操作；在上升沿且 rdreq 有效时进行读操作。在前 6

个时钟上升沿，wrreq 有效，读入 6 个周期的 data(0001-0006)到FIFO 中，接着在第 10 个时钟上升沿，rdreq 信号有效，倒着输出输入的六个数据(0006-0001)。

右图是当 FIFO 写满后，即 wrfull 信号有效，此时不能继续写，开始读出数据；还有一个与读操作有关的信 rdempty，用于判断此时是否为空，空时不能进行读操作，否则出错。但是需要注意空/满标志的产生并不一定出现在FIFO 真的空/满时才出现。可能 FIFO 还未空/满时就出现了空/满标志。rdempty 在读时非空 rdempty 置低位，读出数据；wrfull 在第 4 个时钟上升沿，数据被写入 FIFO 直到写满， wrfull 信号有效，阻止 FIFO 继续写入， rdreq 有效后数据被读出， wrfull 延后两个周期变为 0。



2.VWF 波形输入完成仿真验证功能

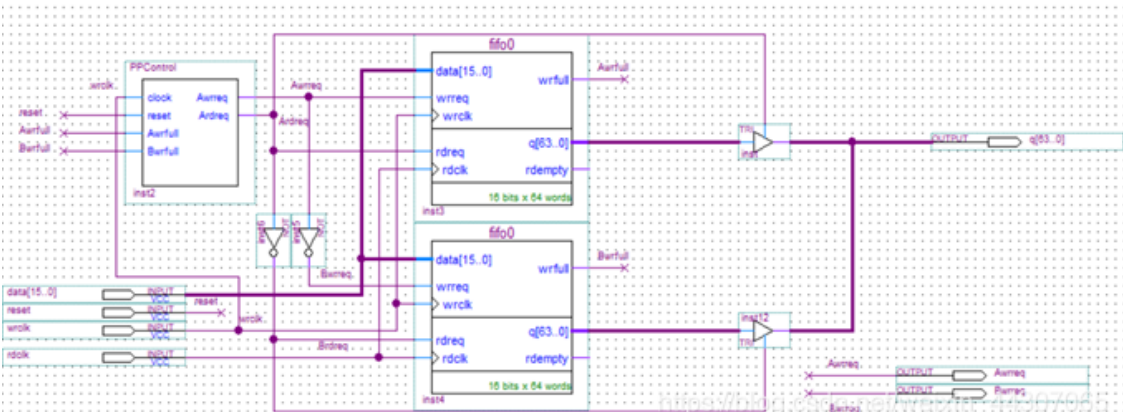
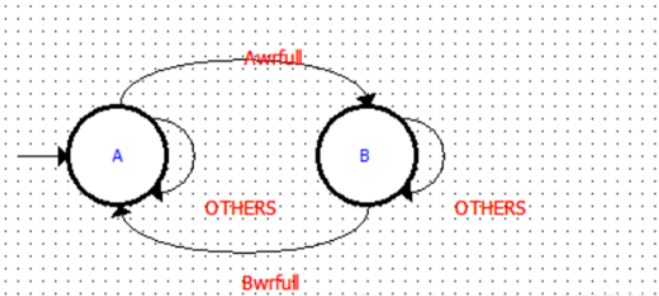


在前 8 个周期， wrreq=1，输入为 1、2、3、4、5、6、7、8(16进制低四位)，接下来输入全为 0；输入 8 个周期的数据到 FIFO 后， wrreq=0、rdreq=1， 读出先入先出的 FIFO 数据， rdred 有效后延时 2 个周期开始输出数据，FIFO 波形验证正确。

A 级任务：双FIFO缓冲 (100%)

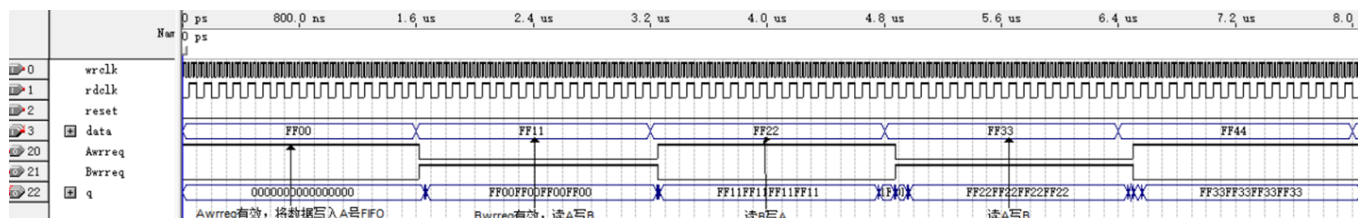
- 1. 用状态机设计控制模块，包括A和B两状态，分别表示A号FIFO执行写入和B号FIFO执行写入，状态机输入为两块FIFO的写满信号Awrfull, Bwrfull，当Awrfull有效时表示A号FIFO写满因此从A转换到B状态， Bwrfull有效时表示B号FIFO写满因此从B转换到A状态。
- 2. 状态机的输出：输出包括Awrreq和Ardreq分别作为A号FIFO的写使能和读使能。当处于A状态时Awrreq=1， Ardreq=0表示写A；当处于B状态时Awrreq=0， Ardreq=1；表示读A；另外对于B号FIFO的使能信号可以对 Awrreq和Ardreq取反得到。
- 3. 状态图以及顶层实现如图：

Output Port	Output Value	In State
Awrreq	1	A
Ardreq	0	A
Awrreq	0	B
Ardreq	1	B





4. 仿真：设置写时钟频率40MHz，读时钟频率10MHz，为了能看清时钟大小关系我将FIFO的容量改为了64，因此只读64bit

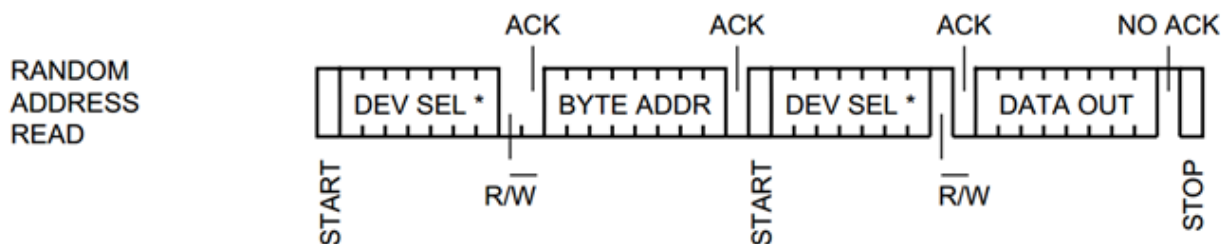


仿真分析：

在01.6us，Awrrreq有效，写A读B，将FF00写入A号FIFO，由于B为空所以读取数据显示0000；1.6us~3.2us，Bwrreq有效，写B读A，将FF11写入B号FIFO，读取A中数据FF00FF00FF00；3.2us~4.8us，Awrrreq有效，写A读B，将FF22写入A号FIFO，读取B中数据FF11FF11FF11……依次类推，周而复始，完成验证。

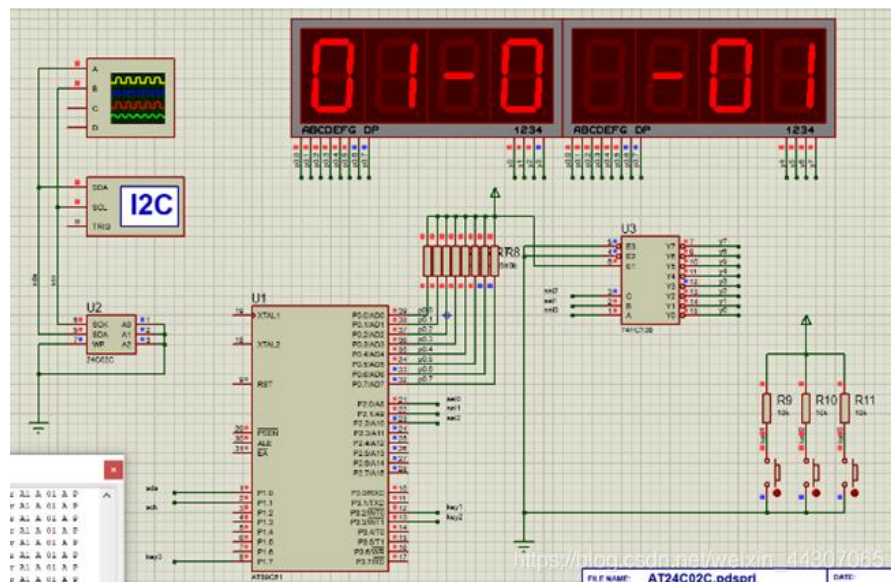
## S级任务：总线时序 (110%)

### 1.理解IIC总线读取任意地址数据的时序



首先scl保持高电平，sda下拉，开始start。主机发送器件的7位地址码+写方向“0”（“伪写”），发送完释放SDA线并在SCL线上产生第9个时钟信号。被选中的器件确认是自己的地址后，在SDA线上产生应答信号。然后，主机再发一个字节的要读出器件的存储区的首地址，收到应答后，主机重复一次起始信号发出器件地址和读方向（“1”），收到器件应答后就可以读出数据字节，每读出一个字节，主机都要回复应答信号。当最后一个字节数据读完后，主机返回以“非应答”（高电平）发出终止信号以结束读出操作。

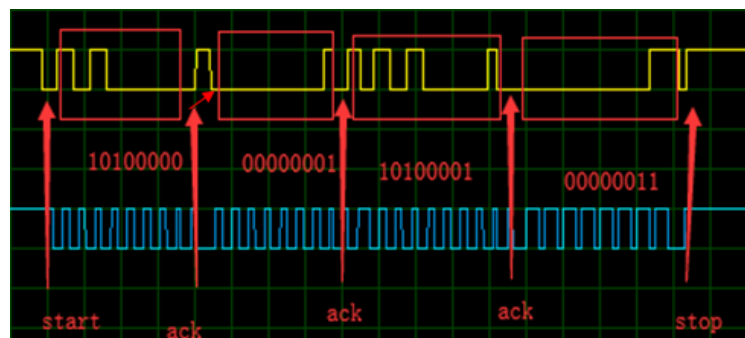
### 2.将所提供hex文件装入单片机中，启动仿真，掌握读写操作



读写操作：

控制右下角的3个按钮来执行读/写操作，第3个按钮控制24C02C存储区的地址，第2个按钮控制将要写入的数据，第1个按钮按下代表执行写操作。数码管高两位代表24C02C存储区的地址，第4和5位代表输入的数据，低2位代表24C02C指定地址上读出的数据。因此，只需要控制按键3指定地址，按键2指定输入数据，最后按动按键1即可在相应地址上存入数据；只需要控制按键3指定地址，即可在数码管的低2位看到数据输出。

### 3.参考IIC debugger中的数据如图C所示，抓取此时示波器中对应波形，逐条记录说明执行操作的过程



C图是一任意读过程，SDA由高变低，start；首先单片机发送7位地址码1010000+伪写0组成8个字节A0，表示AT24C02C地址。AT24C02C确认是自己的地址之后应答；接着单片机收到应答，发送存储区地址01H。AT24C02C应答，单片机重复一次起始信号并发出器件地址和读方向位（“1”）得到A1。

AT24C02C应答，并且从01H取出数据03H，发送。

单片机发出终止信号结束读出操作stop。

4.VHDL设计一个基于IIC总线的读取非易失存储器24C02C任意地址数据的接口电路，完成仿真

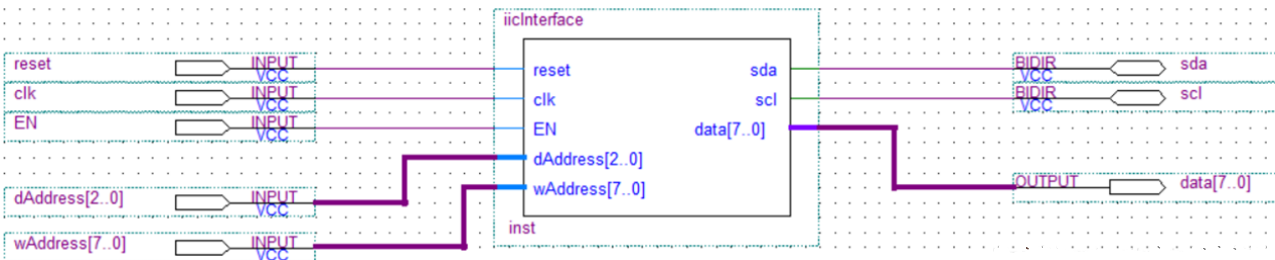
设计思路：（具体实现在打包的工程文件中）

首先给随机读的时序划分状态有idle，sart，发送存储器地址状态，接收地址状态，read\_data读状态ack\_for\_read\_data，响应读状态，stop停止状态等等；对于每一个状态都与时序意义对应，并且每一个状态的进入都要满足时序要求。然后输入端口有clk时钟，reset，EN，以及存储器地址信号dAddress[2:0]；字地址信号dAddress[7:0]；对于地址这些并行数据可以通过一个计数变量count来进行计数，每次计数时可以向sda输送一个数据位。

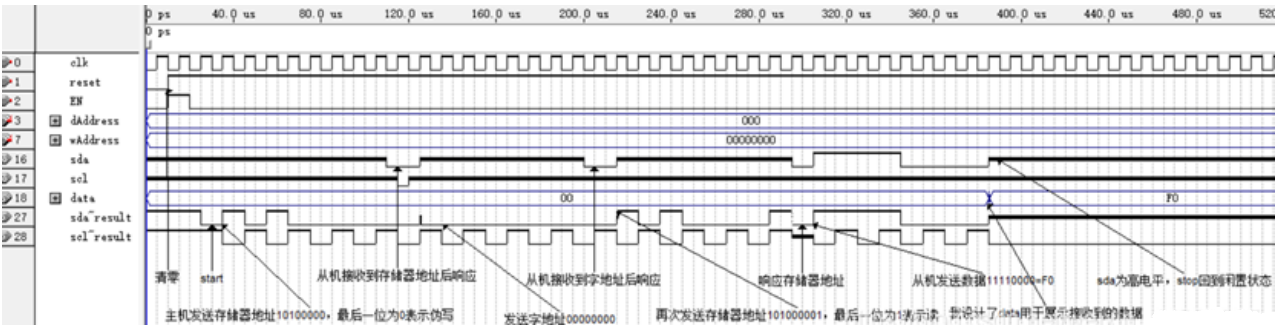


实现如下： vhd1.txt

顶层图：



仿真验证：



波形分析：

首先设置清零，然后EN有效开始随机读时序，sart时sda拉低，接下来发送存储器件地址10100000，选中000号24C02C，最后一位0表示伪写；接下来24C02C确认是自己的地址发送响应，sda拉低；紧接着主机接收到响应后发送字地址00000000；24C02C接收到字地址之后发送响应；接到响应之后主机再次发送存储器件地址10100001，最后一位1表示读取；从机接收到后响应；并且发送字地址00000000的数据11110000；主机成功读取到这个数据F0。最后主机反馈sda为高电平表示不再读取，此时从机也不在发送数据，回到闲置状态，sda和scl拉高。

结论：

通过验证，接口电路读取到24C02C地址00H的数据F0，并在data端显示，设计电路时序满足随机读取要求。

实验总结：

知识技能：通过本次实验我学习到了怎样利用 html 波形报告进行波形分析，相对于平时的波形，html 波形报告更易读；还学会了储存器元件的定制。

主要特色：本次实验的主要特色是对于存储器的学习和使用。

可扩展之处：本次实验的可扩展之处在于对于双 FIFO 缓冲及 IIC 串行总线时序任务。

人文心得体会：习近平总书记在第十九届中央政治局第二十五次集体学习中强调，“保护知识产权就是保护创新”。加大知识产权保护力度，让知识产权深入经济社会各个层面、各个领域。知识产权保护工作关系国家对外开放大局，只有严格保护知识产权，才能优化营商环境、建设更高水平开放型经济新体制。知识产权保护工作关系国家安全，只有严格保护知识产权，才能有效保护我国自主研发的关键核心技术、防范化解重大风险。我们在日常生活中也要树立牢固的知识产权保护意识。